

硕士研究生入学考试初试专业课资料

计算机专业考研

统考真题——计算机组成原理部分 (2009-2012 年)



2009 年计算机统考——计算机组成原理部分	2
2009 年计算机统考——计算机组成原理部分解析	5
2010 年计算机统考——计算机组成原理部分	8
2010 年计算机统考——计算机组成原理部分解析	11
2011 年计算机统考——计算机组成原理部分	14
2011 年计算机统考——计算机组成原理部分解析	17
2012 年计算机统考——计算机组成原理部分	19
2012 年计算机统考——计算机组成原理部分解析	22

王道论坛友情分享, 请勿用于商业用途!

2009 年计算机统考——计算机组成原理部分

一、单项选择题：每小题 2 分。

11. 冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中, CPU 区分它们的依据是_____。

- A. 指令操作码的译码结果
- B. 指令和数据的寻址方式
- C. 指令周期的不同阶段
- D. 指令和数据所在的存储单元

12. 一个 C 语言程序在一台 32 位机器上运行。程序中定义了三个变量 x、y 和 z, 其中 x 和 z 为 int 型, y 为 short 型。当 $x=127$, $y=-9$ 时, 执行赋值语句 $z=x+y$ 后, x、y 和 z 的值分别是_____。

- A. $x=0000007FH$, $y=FFF9H$, $z=00000076H$
- B. $x=0000007FH$, $y=FFF9H$, $z=FFFF0076H$
- C. $x=0000007FH$, $y=FFF7H$, $z=FFFF0076H$
- D. $x=0000007FH$, $y=FFF7H$, $z=00000076H$

13. 浮点数加、减运算过程一般包括对阶、尾数运算、规格化、舍入和判溢出等步骤。设浮点数的阶码和尾数均采用补码表示, 且位数分别为 5 位和 7 位 (均含 2 位符号位)。若有两个数 $X=2^7 \times 29/32$, $Y=2^5 \times 5/8$, 则用浮点加法计算 $X+Y$ 的最终结果是_____。

- A. 00111 1100010
- B. 00111 0100010
- C. 01000 0010001
- D. 发生溢出

14. 某计算机的 Cache 共有 16 块, 采用 2 路组相联映射方式 (即每组 2 块)。每个主存块大小为 32B, 按字节编址。主存 129 号单元所在主存块应装入到的 Cache 组号是_____。

- A. 0
- B. 1
- C. 4
- D. 6

15. 某计算机主存容量为 64KB, 其中 ROM 区为 4KB, 其余为 RAM 区, 按字节编址。现要用 $2K \times 8$ 位的 ROM 芯片和 $4K \times 4$ 位的 RAM 芯片来设计该存储器, 则需要上述规格的 ROM 芯片数和 RAM 芯片数分别是_____。

- A. 1、15
- B. 2、15
- C. 1、30
- D. 2、30

16. 某机器字长为 16 位, 主存按字节编址, 转移指令采用相对寻址, 由两个字节组成, 第一字节为操作码字段, 第二字节为相对位移量字段。假定取指令时, 每取一个字节 PC 自动加 1。若某转移指令所在主存地址为 2000H, 相对位移量字段的内容为 06H, 则该转移指令成功转移后的目标地址是_____。

- A. 2006H
- B. 2007H
- C. 2008H
- D. 2009H

17. 下列关于 RISC 的叙述中, 错误的是_____。

- A. RISC 普遍采用微程序控制器
- B. RISC 大多数指令在一个时钟周期内完成
- C. RISC 的内部通用寄存器数量相对 CISC 多
- D. RISC 的指令数、寻址方式和指令格式种类相对 CISC 少

18. 某计算机的指令流水线由四个功能段组成, 指令流经各功能段的时间 (忽略各功能段之间的缓存时间) 分别为 90ns、80ns、70ns、和 60ns, 则该计算机的 CPU 时钟周期至少是_____。

- A. 90ns
- B. 80ns
- C. 70ns
- D. 60ns

19. 相对于微程序控制器, 硬布线控制器的特点是_____。

- A. 指令执行速度慢, 指令功能的修改和扩展容易

- B. 指令执行速度慢, 指令功能的修改和扩展难
- C. 指令执行速度快, 指令功能的修改和扩展容易
- D. 指令执行速度快, 指令功能的修改和扩展难

20. 假设某系统总线在一个总线周期中并行传输 4B 信息, 一个总线周期占用 2 个时钟周期, 总线时钟频率为 10MHz, 则总线带宽是_____。

- A. 10MB/s B. 20MB/s C. 40MB/s D. 80MB/s

21. 假设某计算机的存储系统由 Cache 和主存组成, 某程序执行过程中访存 1000 次, 其中访问 Cache 缺失 (未命中) 50 次, 则 Cache 的命中率是_____。

- A. 5% B. 9.5% C. 50% D. 95%

22. 下列选项中, 能引起外部中断的事件是_____。

- A. 键盘输入 B. 除数为 0
C. 浮点运算下溢 D. 访存缺页

二、综合应用题

43. (8 分) 某计算机的 CPU 主频为 500MHz, CPI 为 5 (即执行每条指令平均需 5 个时钟周期)。假定某外设的数据传输率为 0.5MB/s, 采用中断方式与主机进行数据传送, 以 32 位为传输单位, 对应的中断服务程序包含 18 条指令, 中断服务的其他开销相当于 2 条指令的执行时间。请回答下列问题, 要求给出计算过程。

(1) 在中断方式下, CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少?

(2) 当该外设的数据传输率达到 5MB/s 时, 改用 DMA 方式传送数据。假定每次 DMA 传送块大小为 5000B, 且 DMA 预处理和后处理的总开销为 500 个时钟周期, 则 CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少? (假设 DMA 与 CPU 之间没有访存冲突)

44. (13 分) 某计算机字长为 16 位, 采用 16 位定长指令字结构, 部分数据通路结构如图 A-2 所示, 图中所有控制信号为 1 时表示有效、为 0 时表示无效。例如, 控制信号 MDRinE 为 1 表示允许数据从 DB 打入 MDR, MDRin 为 1 表示允许数据从内总线打入 MDR。假设 MAR 的输出一直处于使能状态。加法指令 “ADD (R1), R0” 的功能为 $(R0) + ((R1)) \rightarrow (R1)$,

即将 R0 中的数据与 R1 的内容所指主存单元的数据相加，并将结果送入 R1 的内容所指主存单元中保存。

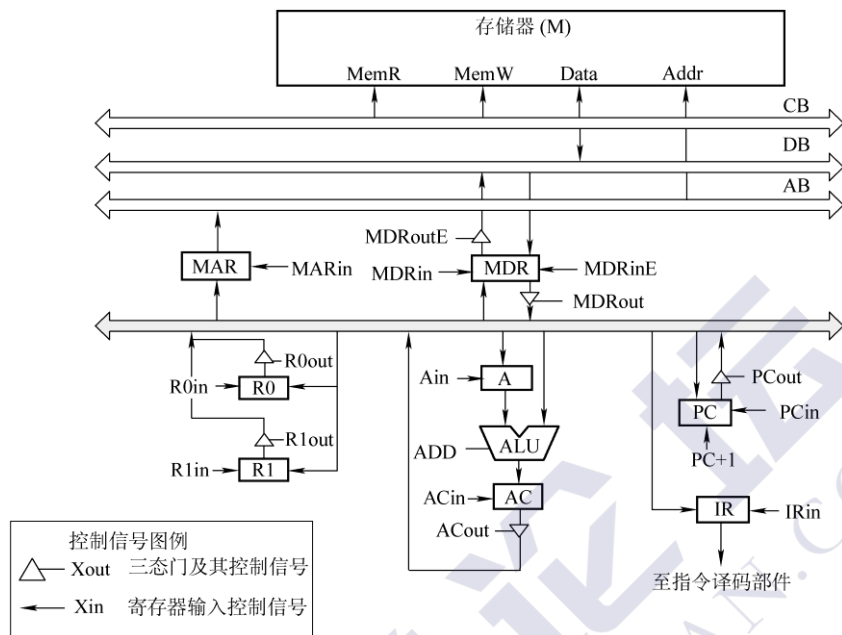


图 A-2

表 A-1 给出了上述指令取指和译码阶段每个节拍（时钟周期）的功能和有效控制信号，请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。

表 A-1

时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MDR)$ $PC \leftarrow (PC)+1$	MemR, MDRinE, PC+1
C3	$IR \leftarrow (MDR)$	MDRout, IRin
C4	指令译码	无

2009 年计算机统考——计算机组成原理部分解析

一、单项选择题

11. C. 考查指令的执行过程。

通常完成一条指令可分为取指阶段和执行阶段。在取指阶段通过访问存储器可将指令取出; 在执行阶段通过访问存储器可以将操作数取出。这样, 虽然指令和数据都是以二进制代码形式存放在存储器中, 但 CPU 可以判断在取指阶段访问存储器取出的二进制代码是指令; 在执行阶段访存取出的二进制代码是数据。

12. D. 考查符号位的扩展。

结合题干及选项可知, int 为 32 位, short 为 16 位; 又 C 语言的数据在内存中为补码形式, 故 x、y 的机器数写为 0000007FH、FFF7H。

执行 $z=x+y$ 时, 由于 x 是 int 型, y 为 short 型, 故需将 y 的类型强制转换为 int, 在机器中通过符号位扩展实现, 由于 y 的符号位为 1, 故在 y 的前面添加 16 个 1, 即可将 y 强制转换为 int 型, 其十六进制形式为 FFFFFFF7H。

然后执行加法, 即 $0000007FH+FFFFFFF7H=00000076H$, 其中最高位的进位 1 自然丢弃。故选 D。

13. D. 考查浮点加法运算。

根据题意, X 可记为 00, 111; 00, 11101 (分号前为阶码, 分号后为尾数), Y 可记为 00, 101; 00, 10100。

首先对阶, X、Y 阶码相减, 即 $00, 111-00, 101=00, 111+11, 0111=00, 010$, 可知 X 的阶码比 Y 的阶码大 2, 根据小阶向大阶看齐的原则, 将 Y 的阶码加 2, 尾数右移 2 位, 可得 Y 为 00, 111; 00, 00101。

尾数相加, 即 $00, 11101+00, 00101=01, 00010$, 尾数相加结果符号位为 01, 故需进行右规。

规格化, 将尾数右移 1 位, 阶码加 1, 得 X+Y 为 01, 000; 00, 1000, 阶码符号位为 01, 说明发生溢出。

14. C. 考查 Cache 与主存的映射方式。

由于 Cache 共有 16 块, 采用 2 路组相联, 因此共有 8 组, 0, 1, 2, ..., 7。主存的某一字块按模 8 映射到 Cache 某组的任一字块中, 即主存的第 0, 8, 16... 字块可以映射到 Cache 第 0 组 2 个字块的任一字块中, 而 129 号单元是位于第 4 块主存块中, 因此将映射到 Cache 第 4 组 2 个字块的任一字块中。

注意: 由于在计算机系统结构中和计算机组成原理的某些教材中介绍的组相联跟此处的组相联并不相同, 导致部分考生理解错题目。考生应以真题为准, 以后再出现类似题目, 应以此种解答为标准。

15. D. 考查存储器的扩展。

首先确定 ROM 的个数, ROM 区为 4KB, 选用 $2K \times 8$ 位的 ROM 芯片, 需要 $\frac{4K \times 8}{2K \times 8} = 2$ 片,

采用字扩展方式; 60KB 的 RAM 区, 选用 $4K \times 4$ 位的 RAM 芯片, 需要 $\frac{60K \times 8}{4K \times 4} = 30$ 片, 采用

字和位同时扩展方式。

16. C. 考查相对寻址。

相对寻址 $EA=(PC)+A$, 首先要求的是取指令后 PC 的值。转移指令由两个字节组成, 每

取一个字节 PC 自动加 1, 因此取指令后 PC 值为 2002H, 故 $EA=(PC)+A=2002H+06H=2008H$ 。

17. A。考查 RISC 的特性。

相对于 CISC 计算机, RISC 计算机的特点是指令条数少; 指令长度固定, 指令格式和寻址种类少; 只有取数/存数指令访问存储器, 其余指令的操作均在寄存器之间进行; CPU 中通用寄存器多; 大部分指令在一个或者小于一个机器周期内完成; 以硬布线逻辑为主, 不用或者少用微程序控制。

18. A。考查流水线中时钟周期的特性。

时钟周期应以最长的执行时间为准, 否则用时长的流水段的功能将不能正确完成。

19. D。考查硬布线控制器的特点。

硬布线控制器的速度取决于电路延迟, 所以速度快; 微程序控制器采用了存储程序原理, 每条指令都要访控存, 所以速度慢。硬布线控制器采用专门的逻辑电路实现, 修改和扩展困难。

20. B。考查总线的基本概念。

总线带宽是指单位时间内总线上可传输数据的位数, 通常用每秒钟传送信息的字节数来衡量, 单位可用字节/秒 (B/s) 表示。根据题意可知, 在 $2 \times (1/10\text{MHz})$ 秒内传输了 4B, 所以 $4B \times 10\text{MHz} / 2 = 20\text{MB/s}$ 。

21. D。考查 Cache 的命中率。

命中率 = Cache 命中的次数 / 所有访问次数, 有了这个公式这道题就很容易看出, 要注意的一点是看清题, 题中说明的是缺失 50 次, 而不是命中 50 次, 仔细审题是做对题的第一步。

22. A。考查中断的分类。

选项中能引起外部中断的只能是输入设备键盘。

二、综合应用题

43. 解答:

(1) 按题意, 外设每秒传送 0.5MB, 中断时每次传送 4B。中断方式下, CPU 每次用于数据传送的时钟周期为 $5 \times 18 + 5 \times 2 = 100$ 。

为达到外设 0.5MB/s 的数据传输率, 外设每秒申请的中断次数为 $0.5\text{MB} / 4\text{B} = 125\,000$ 。

1s 内用于中断的开销为 $100 \times 125\,000 = 12\,500\,000 = 12.5\text{M}$ 个时钟周期。

CPU 用于外设 I/O 的时间占整个 CPU 时间的百分比为 $12.5\text{M} / 500\text{M} = 2.5\%$ 。

(2) 当外设数据传输率提高到 5MB/s 时, 改用 DMA 方式传送, 每次 DMA 传送 5 000B, 1s 内需产生的 DMA 次数为 $5\text{MB} / 5\,000\text{B} = 1\,000$ 。

CPU 用于 DMA 处理的总开销为 $1\,000 \times 500 = 500\,000 = 0.5\text{M}$ 个时钟周期。

CPU 用于外设 I/O 的时间占整个 CPU 时间的百分比为 $0.5\text{M} / 500\text{M} = 0.1\%$ 。

【评分说明】

如果考生只给出正确的计算结果, 未给出计算过程, 每个给 2 分。

44. 解答:

题干已给出取值和译码阶段每个节拍的功能和有效控制信号, 我们应以弄清楚取指阶段中数据通路的信息流动作为突破口, 读懂每个节拍的功能和有效控制信号。然后应用到解题思路中, 包括划分执行步骤、确定完成的功能、需要的控制信号。

先分析题干中提供的示例 (本部分解题时不做要求):

取指令的功能是根据 PC 的内容所指主存地址, 取出指令代码, 经过 MDR, 最终送至 IR。这部分和后面的指令执行阶段的取操作数、存运算结果的方法是相通的。

C1: $(PC) \rightarrow MAR$

在读写存储器前, 必须先将地址 (这里为 (PC)) 送至 MAR 。

C2: $M(MAR) \rightarrow MDR, (PC) + 1 \rightarrow PC$

读写的数据必须经过 MDR , 指令取出后 PC 自增 1。

C3: $(MDR) \rightarrow IR$

然后将读到 MDR 中指令代码送至 IR 进行后续操作。

指令“ $ADD(R1), R0$ ”的操作数一个在主存中, 一个在寄存器中, 运算结果在主存中。根据指令功能, 要读出 $R1$ 的内容所指的主存单元, 必须先将 $R1$ 的内容送至 MAR , 即 $(R1) \rightarrow MAR$ 。而读出的数据必须经过 MDR , 即 $M(MAR) \rightarrow MDR$ 。

因此, 将 $R1$ 的内容所指主存单元的数据读出到 MDR 的节拍安排如下:

C5: $(R1) \rightarrow MAR$

C6: $M(MAR) \rightarrow MDR$

ALU 一端是寄存器 A , MDR 或 $R0$ 中必须有一个先写入 A 中, 如 MDR 。

C7: $(MDR) \rightarrow A$

然后执行加法操作, 并将结果送入寄存器 AC 。

C8: $(A) + (R0) \rightarrow AC$

之后将加法结果写回到 $R1$ 的内容所指主存单元, 注意 MAR 中的内容没有改变。

C9: $(AC) \rightarrow MDR$

C10: $(MDR) \rightarrow M(MAR)$

有效控制信号的安排并不难, 只需看数据是流入还是流出, 如流入寄存器 X 就是 X_{in} , 流出寄存器 X 就是 X_{out} 。还需注意其他特殊控制信号, 如 $PC+1$ 、 Add 等。

于是得到参考答案如下:

时钟	功能	有效控制信号
C5	$MAR \leftarrow (R1)$	$R1_{out}, MAR_{in}$
C6	$MDR \leftarrow M(MAR)$	$MemR, MDR_{inE}$
C7	$A \leftarrow (MDR)$	MDR_{out}, A_{in}
C8	$AC \leftarrow (A) + (R0)$	$R0_{out}, Add, AC_{in}$
C9	$MDR \leftarrow (AC)$	AC_{out}, MDR_{in}
C10	$M(MAR) \leftarrow (MDR)$	$MDR_{outE}, MemW$

本题答案不唯一, 如果在 $C6$ 执行 $M(MAR) \rightarrow MDR$ 的同时, 完成 $(R0) \rightarrow A$ (即选择将 $(R0)$ 写入 A), 并不会发生总线冲突, 这种方案可节省 1 个节拍, 见下表。

时钟	功能	有效控制信号
C5	$MAR \leftarrow (R1)$	$R1_{out}, MAR_{in}$
C6	$MDR \leftarrow M(MAR), A \leftarrow (R0)$	$MemR, MDR_{inE}, R0_{out}, A_{in}$
C7	$AC \leftarrow (MDR) + (A)$	MDR_{out}, Add, AC_{in}
C8	$MDR \leftarrow (AC)$	AC_{out}, MDR_{in}
C9	$M(MAR) \leftarrow (MDR)$	$MDR_{outE}, MemW$

2010 年计算机统考——计算机组成原理部分

一、单项选择题

12. 下列选项中, 能缩短程序执行时间的措施是_____。

- I. 提高 CPU 时钟频率 II. 优化数据通路结构
III. 对程序进行编译优化

A. 仅 I 和 II B. 仅 I 和 III C. 仅 II 和 III D. I、II 和 III

13. 假定有 4 个整数用 8 位补码分别表示 $r1=FEH$, $r2=F2H$, $r3=90H$, $r4=F8H$, 若将运算结果存放在一个 8 位寄存器中, 则下列运算中会发生溢出的是_____。

- A. $r1 \times r2$ B. $r2 \times r3$
C. $r1 \times r4$ D. $r2 \times r4$

14. 假定变量 i 、 f 和 d 的数据类型分别为 int 、 float 和 double (int 用补码表示, float 和 double 分别用 IEEE754 单精度和双精度浮点数格式表示), 已知 $i=785$, $f=1.5678e3$, $d=1.5e100$. 若在 32 位机器中执行下列关系表达式, 则结果为“真”的是_____。

- I. $i==(int)(float)i$ II. $f==(float)(int)f$
III. $f==(float)(double)f$ IV. $(d+f)-d==f$
A. 仅 I 和 II B. 仅 I 和 III C. 仅 II 和 III D. 仅 III 和 IV

15. 假定用若干个 $2K \times 4$ 位的芯片组成一个 $8K \times 8$ 位的存储器, 则地址 $0B1FH$ 所在芯片的最小地址是_____。

- A. $0000H$ B. $0600H$ C. $0700H$ D. $0800H$

16. 下列有关 RAM 和 ROM 的叙述中, 正确的是_____。

- I. RAM 是易失性存储器, ROM 是非易失性存储器
II. RAM 和 ROM 都采用随机存取方式进行信息访问
III. RAM 和 ROM 都可用作 Cache
IV. RAM 和 ROM 都需要进行刷新

A. 仅 I 和 II B. 仅 II 和 III
C. 仅 I、II 和 IV D. 仅 II、III 和 IV

17. 下列命中组合情况中, 一次访问过程中不可能发生的是_____。

- A. TLB 未命中, Cache 未命中, Page 未命中
B. TLB 未命中, Cache 命中, Page 命中
C. TLB 命中, Cache 未命中, Page 命中
D. TLB 命中, Cache 命中, Page 未命中

18. 下列寄存器中, 汇编语言程序员可见的是_____。

- A. 存储器地址寄存器 (MAR) B. 程序计数器 (PC)
C. 存储器数据寄存器 (MDR) D. 指令寄存器 (IR)

19. 下列选项中, 不会引起指令流水线阻塞的是_____。

- A. 数据旁路 (转发) B. 数据相关
C. 条件转移 D. 资源冲突

20. 下列选项中的英文缩写均为总线标准的是_____。

- A. PCI、CRT、USB、EISA
B. ISA、CPI、VESA、EISA
C. ISA、SCSI、RAM、MIPS
D. ISA、EISA、PCI、PCI-Express

21. 单级中断系统中, 中断服务程序内的执行顺序是_____。

- I. 保护现场 II. 开中断 III. 关中断 IV. 保存断点
V. 中断事件处理 VI. 恢复现场 VII. 中断返回
- A. I -> V -> VI -> II -> VII B. III -> I -> V -> VII
C. III -> IV -> V -> VI -> VII D. IV -> I -> V -> VI -> VII

22. 假定一台计算机的显示存储器用 DRAM 芯片实现, 若要求显示分辨率为 1600×1200 , 颜色深度为 24 位, 帧频为 85Hz, 显存总带宽的 50% 用来刷新屏幕, 则需要的显存总带宽至少约为_____。

- A. 245Mbit/s B. 979Mbit/s
C. 1 958Mbit/s D. 7 834Mbit/s

二、综合应用题

43. (11 分) 某计算机字长为 16 位, 主存地址空间大小为 128KB, 按字编址。采用单字长指令格式, 指令各字段定义如图 B-4 所示。

转移指令采用相对寻址方式, 相对偏移量用补码表示, 寻址方式定义见表 B-1。

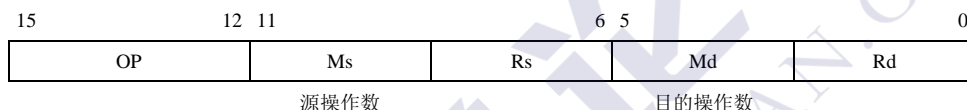


图 B-4

表 B-1

Ms/Md	寻址方式	助记符	含义
000B	寄存器直接	Rn	操作数=(Rn)
001B	寄存器间接	(Rn)	操作数=((Rn))
010B	寄存器间接、自增	(Rn)+	操作数=((Rn)), (Rn)+1→Rn
011B	相对	D(Rn)	转移目标地址=(PC)+(Rn)

注: (X) 表示存储器地址 X 或寄存器 X 的内容。

请回答下列问题:

(1) 该指令系统最多可有多少条指令? 该计算机最多有多少个通用寄存器? 存储器地址寄存器 (MAR) 和存储器数据寄存器 (MDR) 至少各需要多少位?

(2) 转移指令的目标地址范围是多少?

(3) 若操作码 0010B 表示加法操作(助记符为 add), 寄存器 R4 和 R5 的编号分别为 100B 和 101B, R4 的内容为 1234H, R5 的内容为 5678H, 地址 1234H 中的内容为 5678H, 地址 5678H 中的内容为 1234H, 则汇编语言为 “add(R4), (R5)+” (逗号前为源操作数, 逗号后为目的操作数) 对应的机器码是什么 (用十六进制表示)? 该指令执行后, 哪些寄存器和存储单元中的内容会改变? 改变后的内容是什么?

44. (12 分) 某计算机的主存地址空间大小为 256MB, 按字节编址。指令 Cache 和数据 Cache 分离, 均有 8 个 Cache 行, 每个 Cache 行大小为 64B, 数据 Cache 采用直接映射方式。现有两个功能相同的程序 A 和 B, 其伪代码如下:

```
程序 A:  
int a[256][256]  
.....  
int sum_array1()  
{  
    int i,j,sum=0;  
    for(i=0;i<256;i++)  
        for(j=0;j<256;j++)  
            sum+=a[i][j];  
    return sum;  
}
```

```
程序 B:  
int a[256][256]  
.....  
int sum_array2()  
{  
    int i,j,sum=0;  
    for(j=0;j<256;j++)  
        for(i=0;i<256;i++)  
            sum+=a[i][j];  
    return sum;  
}
```

假定 int 类型数据用 32 位补码表示, 程序编译时 i、j、sum 均分配在寄存器中, 数组 a 按行优先方式存放, 其首地址为 320 (十进制数)。请回答下列问题, 要求说明理由或给出计算过程。

- (1) 若不考虑用于 Cache 一致性维护和替换算法的控制位, 则数据 Cache 的总容量为多少?
- (2) 数组元素 a[0][31]和 a[1][1]各自所在的主存块对应的 Cache 行号分别是多少 (Cache 行号从 0 开始)?
- (3) 程序 A 和 B 的数据访问命中率各是多少? 哪个程序的执行时间更短?



2010 年计算机统考——计算机组成原理部分解析

一、单项选择题

12. D. 考查计算机的性能指标。

I. CPU 的时钟频率, 也就是 CPU 主频率, 一般说来, 一个时钟周期内完成的指令数是固定的, 所以主频越高, CPU 的速度也就越快, 程序的执行时间就越短。

II. 数据在功能部件之间传送的路径称为数据通路, 数据通路的功能是实现 CPU 内部的运算器和寄存器以及寄存器之间的数据交换。优化数据通路结构, 可以有效提高计算机系统的吞吐量, 从而加快程序的执行。

III. 计算机程序需要先转化成机器指令序列才能最终得到执行, 通过对程序进行编译优化可以得到更优的指令序列, 从而使得程序的执行时间也越短。

13. B. 考查定点数的运算。

用补码表示时 8 位寄存器所能表示的整数范围为 $-128 \sim +127$ 。由于 $r1 = -2$, $r2 = -14$, $r3 = -112$, $r4 = -8$, 则 $r2 \times r3 = 1568$, 结果溢出。

14. B. 考查不同精度的数在计算机中的表示方法及其相互转换。

由于 $(int) f = 1$, 小数点后面 4 位丢失, 故 II 错。IV 的计算过程是先将 f 转化为双精度浮点数据格式, 然后进行加法运算, 故 $(d+f) - d$ 得到的结果为双精度浮点数据格式, 而 f 为单精度浮点数据格式, 故 IV 错。

15. D. 考查存储器的组成和设计。

用 $2K \times 4$ 位的芯片组成一个 $8K \times 8$ 位存储器, 每行中所需芯片数为 2, 每列中所需芯片数为 4, 各行芯片的地址分配如下。

第一行 (2 个芯片并联): $0000H \sim 07FFH$ 。

第二行 (2 个芯片并联): $0800H \sim 0FFFH$ 。

第三行 (2 个芯片并联): $1000H \sim 17FFH$ 。

第四行 (2 个芯片并联): $1800H \sim 1FFFH$ 。

于是地址 $0B1FH$ 所在芯片的最小地址即为 $0800H$ 。

16. A. 考查半导体随机存取存储器。

一般 Cache 采用高速的 SRAM 制作, 比 ROM 速度快很多, 因此 III 是错误的, 排除法即可选 A。RAM 需要刷新, 而 ROM 不需要刷新。

17. D. 考查 TLB、Cache 及 Page 之间的关系。

TLB 即为快表, 快表只是慢表 (Page) 的小小副本, 因此 TLB 命中, 必然 Page 也命中, 而当 Page 命中, TLB 则未必命中, 故 D 不可能发生; 而 Cache 的命中与否与 TLB、Page 的命中与否并无必然联系。

18. B. 考查 CPU 内部寄存器的特性。

汇编程序员可以通过指定待执行指令的地址来设置 PC 的值, 而 IR、MAR、MDR 是 CPU 的内部工作寄存器, 对程序员不可见。

19. A. 考查指令流水线的基本概念。

有三种相关可能引起指令流水线阻塞: ①结构相关, 又称资源相关; ②数据相关; ③控制相关, 主要由转移指令引起。

数据旁路技术, 其主要思想是不必待某条指令的执行结果送回到寄存器, 再从寄存器中取出该结果, 作为下一条指令的源操作数, 而是直接将执行结果送到其他指令所需要的地方, 这样可以使流水线不发生停顿。

20. **D**。考查典型的总线标准。

目前典型的总线标准有: ISA、EISA、VESA、PCI、PCI-Express、AGP、USB、RS-232C 等。

21. **A**。考查中断处理过程。

单级中断系统中, 不允许中断嵌套。中断的处理过程为: ①关中断; ②保存断点; ③识别中断源; ④保存现场; ⑤中断事件处理 (开中断、执行中断服务程序、关中断); ⑥恢复现场; ⑦开中断; ⑧中断返回。其中, ①~③由硬件完成, ④~⑧由中断服务程序完成。

22. **D**。考查显示器的相关概念。

刷新所需带宽=分辨率×色深×帧频=1600×1200×24bit×85Hz=3916.8Mbit/s, 显存总带宽的 50% 用来刷屏, 于是需要的显存总带宽为 3916.8Mbit/s/0.5=7833.6Mbit/s≈7834Mbit/s。

二、综合应用题

43. 解答:

(1) 操作码占 4 位, 则该指令系统最多可有 $2^4=16$ 条指令; 操作数占 6 位, 寻址方式占 3 位, 于是寄存器编号占 3 位, 则该机最多有 $2^3=8$ 个通用寄存器; 主存容量为 128KB, 按字编址, 计算机字长为 16 位, 划分为 $128KB/2B=2^{16}$ 个存储单元, 故 MDR 和 MAR 至少各需 16 位。

(2) PC 和 Rn 可表示的地址范围均为 $0\sim 2^{16}-1$, 而主存地址空间为 2^{16} , 故转移指令的目标地址范围为 0000H~FFFFH ($0\sim 2^{16}-1$)。

(3) 汇编语句 “add (R4), (R5)+”, 对应的机器码为 0010 0011 0001 0101B=2315H。

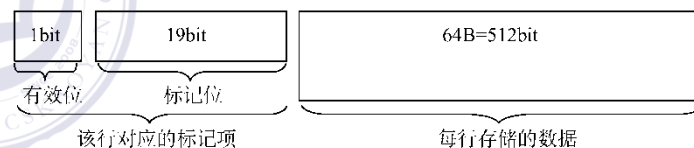
该指令执行后, 寄存器 R5 和存储单元 5678H 的内容会改变。执行后, R5 的内容从 5678H 变成 5679H。存储单元 5678H 中的内容变成该加法指令计算的结果 $5678H+1234H=68ACH$ 。

44. 解答:

(1) 每个 Cache 行对应一个标记项, 如下图所示。

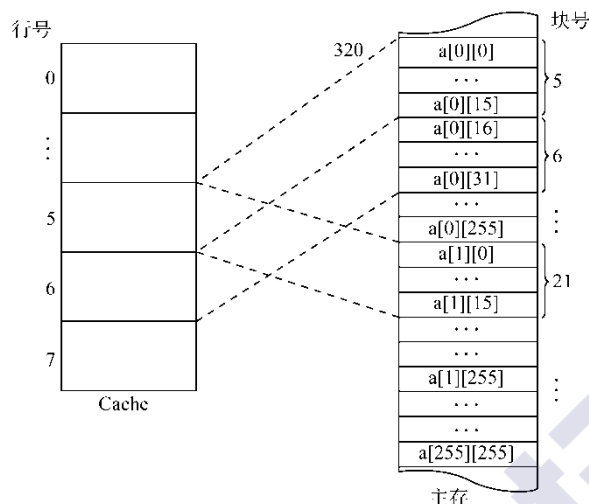
有效位	脏位	替换控制位	标记位
-----	----	-------	-----

不考虑用于 Cache 一致性维护和替换算法的控制位。地址总长度为 28 位 ($2^{28}=256M$), 块内地址 6 位 ($2^6=64$), Cache 块号 3 位 ($2^3=8$), 故 Tag 的位数为 $28-6-3=19$ 位, 还需使用一个有效位, 故题中数据 Cache 行的结构如下图所示。



数据 Cache 共有 8 行, 因此数据 Cache 的总容量为 $8\times(64+20/8)B=532B$ 。

(2) 数组 a 在主存的存放位置及其与 Cache 之间的映射关系如下图所示。



数组按行优先方式存放, 首地址为 320, 数组元素占 4 个字节。 $a[0][31]$ 所在的主存块对应的 Cache 行号为 $(320+31 \times 4)/64=6$; $a[1][1]$ 所在的主存块对应的 Cache 行号为 $(320+256 \times 4+1 \times 4)/64 \% 8=5$ 。

【另解】 由 (1) 可知主存和 Cache 的地址格式如下图所示。



数组按行优先方式存放, 首地址 320, 数组元素占 4 个字节。 $a[0][31]$ 的地址为 $320+31 \times 4=1011\ 1100B$, 故其对应的 Cache 行号为 $110B=6$; $a[1][1]$ 的地址为 $320+256 \times 4+1 \times 4=1348=101\ 0100\ 0100B$, 故其对应的 Cache 行号为 $101B=5$ 。

(3) 数组 a 的大小为 $256 \times 256 \times 4B=2^{18}B$, 占用 $2^{18}/64=2^{12}$ 个主存块, 按行优先存放, 程序 A 逐行访问数组 a , 共需访问的次数为 2^{16} 次, 未命中次数为 2^{12} 次 (即每个字块的第一个数未命中), 因此程序 A 的命中率为 $(2^{16}-2^{12})/2^{16} \times 100\%=93.75\%$ 。

【另解】 数组 a 按行存放, 程序 A 按行存取。每个字块中存放 16 个 int 型数据, 除访问的第一个不命中, 随后的 15 个全都命中, 访问全部字块都符合这一规律, 且数组大小为字块大小的整数倍, 故程序 A 的命中率为 $15/16=93.75\%$ 。

程序 B 逐列访问数组 a , Cache 总容量为 $64B \times 8=512B$, 数组 a 一行的大小为 $1KB$, 正好是 Cache 容量的 2 倍, 可知不同行的同一列数组元素使用的是同一个 Cache 单元, 故逐列访问每个数据时, 都会将之前的字块置换出, 也即每次访问都不会命中, 命中率为 0。由于从 Cache 读数据比从主存读数据快很多, 所以程序 A 的执行比程序 B 快得多。

2011 年计算机统考——计算机组成原理部分

一、单项选择题

12. 下列选项中, 描述浮点数操作速度指标的是_____。
- A. MIPS B. CPI C. IPC D. MFLOPS
13. float 型数据通常用 IEEE 754 单精度浮点数格式表示。若编译器将 float 型变量 x 分配到一个 32 位浮点寄存器 FR1 中, 且 $x = -8.25$, 则 FR1 的内容是_____。
- A. C104 0000H B. C242 0000H C. C184 0000H D. C1C2 0000H
14. 下列各类存储器中, 不采用随机存取方式的是_____。
- A. EPROM B. CDROM C. DRAM D. SRAM
15. 某计算机存储器按字节编址, 主存地址空间大小为 64MB, 现用 4MB×8 位的 RAM 芯片组成 32MB 的主存储器, 则存储器地址寄存器 MAR 的位数至少是_____。
- A. 22 位 B. 23 位 C. 25 位 D. 26 位
16. 偏移寻址通过将某个寄存器内容与一个形式地址相加而生成有效地址。下列寻址方式中, 不属于偏移寻址方式的是_____。
- A. 间接寻址 B. 基址寻址 C. 相对寻址 D. 变址寻址
17. 某机器有一个标志寄存器, 其中有进位/借位标志 CF、零标志 ZF、符号标志 SF 和溢出标志 OF, 条件转移指令 bgt (无符号整数比较大小时转移) 的转移条件是_____。
- A. $CF + OF = 1$ B. $\overline{SF} + ZF = 1$ C. $\overline{CF} + ZF = 1$ D. $\overline{CF} + \overline{SF} = 1$
18. 下列给出的指令系统特点中, 有利于实现指令流水线的是_____。
- I. 指令格式规整且长度一致 II. 指令和数据按边界对齐存放
- III. 只有 Load/Store 指令才能对操作数进行存储访问
- A. 仅 I、II B. 仅 II、III C. 仅 I、III D. I、II、III
19. 假定不采用 Cache 和指令预取技术, 且机器处于“开中断”状态, 则在下列有关指令执行的叙述中, 错误的是_____。
- A. 每个指令周期中 CPU 都至少访问内存一次
- B. 每个指令周期一定大于或等于一个 CPU 时钟周期
- C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
- D. 当前程序在每条指令执行结束时都可能被外部中断打断
20. 在系统总线的数据线上, 不可能传输的是_____。
- A. 指令 B. 操作数
- C. 握手 (应答) 信号 D. 中断类型号
21. 某计算机有五级中断 $L_4 \sim L_0$, 中断屏蔽字为 $M_4M_3M_2M_1M_0$, $M_i = 1$ ($0 \leq i \leq 4$) 表示对 L_i 级中断进行屏蔽。若中断响应优先级从高到低的顺序是 $L_4 \rightarrow L_0 \rightarrow L_2 \rightarrow L_1 \rightarrow L_3$, 则 L_1 的中断处理程序中设置的中断屏蔽字是_____。
- A. 11110 B. 01101 C. 00011 D. 01010
22. 某计算机处理器主频为 50MHz, 采用定时查询方式控制设备 A 的 I/O, 查询程序运行一次所用的时钟周期数至少为 500。在设备 A 工作期间, 为保证数据不丢失, 每秒需对其查询至少 200 次, 则 CPU 用于设备 A 的 I/O 的时间占整个 CPU 时间的百分比至少是_____。
- A. 0.02% B. 0.05% C. 0.20% D. 0.50%

二、综合应用题

43. (11 分) 假定在一个 8 位字长的计算机中运行如下 C 程序段:

```
unsigned int  x=134;
unsigned int  y=246;
int  m=x;
int  n=y;
unsigned int  z1=x-y;
unsigned int  z2=x+y;
int  k1=m-n;
int  k2=m+n;
```

若编译器编译时将 8 个 8 位寄存器 R1~R8 分别分配给变量 x、y、m、n、z1、z2、k1 和 k2。请回答下列问题。(提示: 带符号整数用补码表示。)

- (1) 执行上述程序段后, 寄存器 R1、R5 和 R6 的内容分别是什么(用十六进制表示)?
- (2) 执行上述程序段后, 变量 m 和 k1 的值分别是多少(用十进制表示)?
- (3) 上述程序段涉及带符号整数加/减、无符号整数加/减运算, 这四种运算能否利用同一个加法器辅助电路实现? 简述理由。
- (4) 计算机内部如何判断带符号整数加/减运算的结果是否发生溢出? 上述程序段中, 哪些带符号整数运算语句的执行结果会发生溢出?

44. (12 分) 某计算机存储器按字节编址, 虚拟(逻辑)地址空间大小为 16MB, 主存(物理)地址空间大小为 1MB, 页面大小为 4KB; Cache 采用直接映射方式, 共 8 行; 主存与 Cache 之间交换的块大小为 32B。系统运行到某一时刻时, 页表的部分内容和 Cache 的部分内容分别如题 44-a 图、题 44-b 图所示, 图中页框号及标记字段的内容为十六进制形式。

虚页号	有效位	页框号	...
0	1	06	...
1	1	04	...
2	1	15	...
3	1	02	...
4	0	—	...
5	1	2B	...
6	0	—	...
7	1	32	...

题 44-a 图 页表的部分内容

行号	有效位	标记	...
0	1	020	...
1	0	—	...
2	1	01D	...
3	1	105	...
4	1	064	...
5	1	14D	...
6	0	—	...
7	1	27A	...

题 44-b 图 Cache 的部分内容

请回答下列问题。

(1) 虚拟地址共有几位, 哪几位表示虚页号? 物理地址共有几位, 哪几位表示页框号(物理页号)?

(2) 使用物理地址访问 Cache 时, 物理地址应划分成哪几个字段? 要求说明每个字段的位数及在物理地址中的位置。

(3) 虚拟地址 001C60H 所在的页面是否在主存中? 若在主存中, 则该虚拟地址对应的物理地址是什么? 访问该地址时是否 Cache 命中? 要求说明理由。

(4) 假定为该机配置一个 4 路组相联的 TLB 共可存放 8 个页表项, 若其当前内容(十六进制)如题 44-c 图所示, 则此时虚拟地址 024BACH 所在的页面是否存在主存中? 要求说明理由。

组号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号
0	0	—	—	1	001	15	0	—	—	1	012	1F
1	1	013	2D	0	—	—	1	008	7E	0	—	—

题 44-c 图 TLB 的部分内容



2011 年计算机统考——计算机组成原理部分解析

一、单项选择题

12. D。考查计算机的性能指标。

MFLOPS 指每秒百万条浮点数运算。

13. A。考查浮点数的表示。

x 的二进制表示为 $-1000.01 = -1.000\ 01 \times 2^{11}$, 根据 IEEE 754, 标准隐藏最高位的“1”, 又 $E-127=3$, 所以 $E=130=1000\ 0010B$, 还因数据存储顺序为 1 位数符+8 位阶码 (含阶符)+23 位尾数。

故, FR1 内容为 1 10000 0010 0000 10000 0000 0000 0000 000

即, 1100 0001 0000 0100 0000 0000 0000 0000=C104000H。

14. B。考查随机存取存储器。

随机存取方式是指存储器的任何一个存储单元的内容都可以存取, 而且存取时间与存储单元的物理位置无关。选项 A、C、D 均采用随机存取方式, CD-ROM 即光盘, 采用串行存取方式。

15. D。考查存储器的编制。

按字节编址, 64MB 的主存地址空间, MAR 的寻址范围是 64M, 故而是 26 位, 而实际的主存的空间不能代表 MAR 的位数。

16. A。考查寻址方式。

间接寻址不需要寄存器, $EA=(A)$ 。基址寻址: $EA=A+\text{基址寄存器内容}$; 相对寻址: $EA=A+PC$ 内容; 变址寻址: $EA=A+\text{变址寄存器内容}$ 。

17. C。考查条件转移指令。

无符号整数比较 $A>B$ 的情况, bgt 指令会将两个无符号数进行比较, 也就是将 A 和 B 相减。A-B 无进位/借位, 也不为 0 (为 0 时表示两数相同), 故而 CF 和 ZF 均为 0。

18. D。考查指令流水线的优化。

指令定长、对齐、仅 Load/Store 指令访存, 以上 3 个都是 RISC 的特征, 使取指令、取操作数操作简化且时间长度固定, 能够有效地简化流水线的复杂度。

19. C。考查指令周期。

A 由于没有采用指令预取技术, 故而取指令要访存; B 时钟周期对指令是不可分割的; C 空指令能够使 PC 寄存器自动加 1, 故而不正确; D 在指令执行结束时刻, CPU 查询是否有中断请求, 故而可能被中断。

20. C。考查总线的特点。

数据线可能传输指令, 当取指令时, 指令便是在数据线上传输的; 操作数显然在数据线上传输。中断类型号是用以指出中断向量地址的, CPU 响应中断请求后, 将中断应答信号 (INTR) 发回到数据总线上, CPU 从数据总线上读取中断类型号后, 就可以通过这个中断类型号在中断向量表上找到该设备的中断服务程序入口地址, 转入中断服务程序, 而握手 (应答) 信号应该在通信总线上传输。

21. D。考查中断屏蔽字。

高优先级置 0 表示可被中断, 比该中断优先级低 (相等) 的置 1 表示不可被中断, 只能屏蔽 L_3 和其自身。

22. C。考查程序查询方式。

每秒 200 次查询, 每次 500 个时钟周期, 则每秒最少占用 $200 \times 500 = 10\ 0000$ 个时钟周

期, 占 CPU 时间比为 $10\ 0000 \div 50M = 0.20\%$ 。

二、综合应用题

43. 解答:

(1) $134 = 128 + 6 = 1000\ 0110B$, 所以 x 的机器数为 $1000\ 0110B$, 故 $R1$ 的内容为 $86H$ 。

$246 = 255 - 9 = 1111\ 0110B$, 所以 y 的机器数为 $1111\ 0110B$ 。 $x - y$: $1000\ 0110 + 0000\ 1010 = (0)1001\ 0000$, 括弧中为加法器的进位, 故 $R5$ 的内容为 $90H$ 。

$x + y$: $1000\ 0110 + 1111\ 0110 = (1)0111\ 1100$, 括弧中为加法器的进位, 故 $R6$ 的内容为 $7CH$ 。

(2) m 的机器数与 x 的机器数相同, 皆为 $86H = 1000\ 0110B$, 解释为带符号整数 m (用补码表示) 时, 其值为 $-111\ 1010B = -122$ 。

$m - n$ 的机器数与 $x - y$ 的机器数相同, 皆为 $90H = 1001\ 0000B$, 解释为带符号整数 $k1$ (用补码表示) 时, 其值为 $-111\ 0000B = -112$ 。

(3) 能。 n 位加法器实现的是模 2^n 无符号整数加法运算。对于无符号整数 a 和 b , $a + b$ 可以直接用加法器实现, 而 $a - b$ 可用 a 加 b 的补数实现, 即 $a - b = a + [-b]_{\text{补}} \pmod{2^n}$, 所以 n 位无符号整数加/减运算都可在 n 位加法器中实现。

由于带符号整数用补码表示, 补码加/减运算公式为: $[a + b]_{\text{补}} = [a]_{\text{补}} + [b]_{\text{补}} \pmod{2^n}$, $[a - b]_{\text{补}} = [a]_{\text{补}} + [-b]_{\text{补}} \pmod{2^n}$, 所以 n 位带符号整数加/减运算都可在 n 位加法器中实现。

(4) 带符号整数加/减运算的溢出判断规则为: 若加法器的两个输入端 (加法) 的符号相同, 且不同于输出端 (和) 的符号, 则结果溢出, 或加法器完成加法操作时, 若次高位的进位和最高位的进位不同, 则结果溢出。

最后一条语句执行时会发生溢出。因为 $1000\ 0110 + 1111\ 0110 = (1)0111\ 1100$, 括弧中为加法器的进位, 根据上述溢出判断规则, 可知结果溢出。

44. 解答:

(1) 虚拟地址为 24 位, 其中高 12 位为虚页号。物理地址为 20 位, 其中高 8 位为物理页号。

(2) 20 位物理地址中, 最低 5 位为块内地址, 中间 3 位为 Cache 行号, 高 12 位为标志。

(3) 在主存中。虚拟地址 $001C60H = 0000\ 0000\ 0001\ 1100\ 0110\ 0000B$, 故虚页号为 $0000\ 0000\ 0001B$, 查看 $0000\ 0000\ 0001B = 001H$ 处的页表项, 由于对应的有效位为 1, 故虚拟地址 $001C60H$ 所在的页面在主存中。

页表 $001H$ 处的页框号 (物理页号) 为 $04H = 0000\ 0100B$, 与页内偏移 $1100\ 0110\ 0000B$ 拼接成物理地址: $0000\ 0100\ 1100\ 0110\ 0000B = 04C60H$ 。

对于物理地址 $0000\ 0100\ 1100\ 0110\ 0000B$, 所在主存块只能映射到 Cache 的第 3 行 (即第 $011B$ 行); 由于该行的有效位=1, 标记 (值为 $105H$) $\neq 04CH$ (物理地址高 12 位), 故访问该地址时 Cache 不命中。

(4) 虚拟地址 $024BACH = 0000\ 0010\ 0100\ 1011\ 1010\ 1100B$, 故虚页号为 $0000\ 0010\ 0100B$; 由于 TLB 只有 $8/4 = 2$ 个组, 故虚页号中高 11 位为 TLB 标记, 最低 1 位为 TLB 组号, 它们的值分别为 $0000\ 0010\ 010B$ (即 $012H$) 和 $0B$, 因此, 该虚拟地址所对应物理页面只可能映射到 TLB 的第 0 组。

由于组 0 中存在有效位=1、标记=012H 的项, 所以访问 TLB 命中, 即虚拟地址 $024BACH$ 所在的页面在主存中。

2012 年计算机统考——计算机组成原理部分

一、单项选择题

12. 假定基准程序 A 在某计算机上的运行时间为 100 秒, 其中 90 秒为 CPU 时间, 其余为 I/O 时间。若 CPU 速度提高 50%, I/O 速度不变, 则运行基准程序 A 所耗费的时间是_____。

- A. 55 秒 B. 60 秒 C. 65 秒 D. 70 秒

13. 假定编译器规定 int 和 short 型长度分别为 32 位和 16 位, 执行下列 C 语言语句:

```
unsigned short x=65530;
```

```
unsigned int y=x;
```

得到 y 的机器数为_____。

- A. 0000 7FFAH B. 0000 FFFAH C. FFFF 7FFAH D. FFFF FFFAH

14. float 类型 (即 IEEE754 单精度浮点数格式) 能表示的最大正整数是_____。

- A. $2^{126}-2^{103}$ B. $2^{127}-2^{104}$ C. $2^{127}-2^{103}$ D. $2^{128}-2^{104}$

15. 某计算机存储器按字节编址, 采用小端方式存放数据。假定编译器规定 int 型和 short 型长度分别为 32 位和 16 位, 并且数据按边界对齐存储。某 C 语言程序段如下:

```
struct{
    int a;
    char b;
    short c;
} record;
record.a=273;
```

若 record 变量的首地址为 0xC008, 则地址 0xC008 中内容及 record.c 的地址分别为_____。

- A. 0x00、0xC00D B. 0x00、0xC00E
C. 0x11、0xC00D D. 0x11、0xC00E

16. 下列关于闪存 (Flash Memory) 的叙述中, 错误的是_____。

- A. 信息可读可写, 并且读、写速度一样快
B. 存储元由 MOS 管组成, 是一种半导体存储器
C. 掉电后信息不丢失, 是一种非易失性存储器
D. 采用随机访问方式, 可替代计算机外部存储器

17. 假设某计算机按字编址, Cache 有 4 个行, Cache 和主存之间交换的块大小为 1 个字。若 Cache 的内容初始为空, 采用 2 路组相联映射方式和 LRU 替换策略。访问的主存地址依次为 0, 4, 8, 2, 0, 6, 8, 6, 4, 8 时, 命中 Cache 的次数是_____。

- A. 1 B. 2 C. 3 D. 4

18. 某计算机的控制器采用微程序控制方式, 微指令中的操作控制字段采用字段直接编码法, 共有 33 个微命令, 构成 5 个互斥类, 分别包含 7、3、12、5 和 6 个微命令, 则操作控制字段至少有_____。

- A. 5 位 B. 6 位 C. 15 位 D. 33 位

19. 某同步总线的时钟频率为 100MHz, 宽度为 32 位, 地址/数据线复用, 每传输一个地址或数据占用一个时钟周期。若该总线支持突发 (猝发) 传输方式, 则一次“主存写”总线事务传输 128 位数据所需要的时间至少是_____。

- A. 20ns B. 40ns C. 50ns D. 80ns

20. 下列关于 USB 总线特性的描述中, 错误的是_____。

- A. 可实现外设的即插即用和热拔插
- B. 可通过级联方式连接多台外设
- C. 是一种通信总线, 连接不同外设
- D. 同时可传输 2 位数据, 数据传输率高

21. 下列选项中, 在 I/O 总线的数据线上传输的信息包括_____。

- I. I/O 接口中的命令字 II. I/O 接口中的状态字 III. 中断类型号
- A. 仅 I、II B. 仅 I、III C. 仅 II、III D. I、II、III

22. 响应外部中断的过程中, 中断隐指令完成的操作, 除保护断点外, 还包括_____。

- I. 关中断 II. 保存通用寄存器的内容 III. 形成中断服务程序入口地址并送

PC

- A. 仅 I、II B. 仅 I、III C. 仅 II、III D. I、II、III

二、综合应用题

43. 假定某计算机的 CPU 主频为 80MHz, CPI 为 4, 平均每条指令访存 1.5 次, 主存与 Cache 之间交换的块大小为 16B, Cache 的命中率为 99%, 存储器总线宽带为 32 位。请回答下列问题。

1) 该计算机的 MIPS 数是多少? 平均每秒 Cache 缺失的次数是多少? 在不考虑 DMA 传送的情况下, 主存带宽至少达到多少才能满足 CPU 的访存要求?

2) 假定在 Cache 缺失的情况下访问主存时, 存在 0.0005% 的缺页率, 则 CPU 平均每秒产生多少次缺页异常? 若页面大小为 4KB, 每次缺页都需要访问磁盘, 访问磁盘时 DMA 传送采用周期挪用方式, 磁盘 I/O 接口的数据缓冲寄存器为 32 位, 则磁盘 I/O 接口平均每秒发出的 DMA 请求次数至少是多少?

3) CPU 和 DMA 控制器同时要求使用存储器总线时, 哪个优先级更高? 为什么?

4) 为了提高性能, 主存采用 4 体低位交叉存储模式, 工作时每 1/4 个存储周期启动一个体。若每个体的存储周期为 50ns, 则该主存能提供的最大带宽是多少?

44. 某 16 位计算机中, 带符号整数用补码表示, 数据 Cache 和指令 Cache 分离。题 44 表给出了指令系统中部分指令格式, 其中 Rs 和 Rd 表示寄存器, mem 表示存储单元地址, (x) 表示寄存器 x 或存储单元 x 的内容。

表 指令系统中部分指令格式

名称	指令的汇编格式	指令功能
加法指令	ADD Rs, Rd	(Rs)+(Rd)->Rd
算术/逻辑左移	SHL Rd	$2 \times (Rd) \rightarrow Rd$
算术右移	SHR Rd	$(Rd)/2 \rightarrow Rd$
取数指令	LOAD Rd, mem	(mem)->Rd
存数指令	STORE Rs, mem	(Rs)->mem

该计算机采用 5 段流水方式执行指令, 各流水段分别是取指(IF)、译码/读寄存器(ID)、执行/计算有效地址(EX)、访问存储器(M)和结果写回寄存器(WB), 流水线采用“按序发射, 按序完成”方式, 没有采用转发技术处理数据相关, 并且同一个寄存器的读和写操作不能在同一个时钟周期内进行。请回答下列问题:

1) 若 int 型变量 x 的值为 -513, 存放在寄存器 R1 中, 则执行指令“SHL R1”后, R1 的内容是多少? (用十六进制表示)

2) 若某个时间段中, 有连续的 4 条指令进入流水线, 在其执行过程中没有发生任何阻塞, 则执行这 4 条指令所需的时钟周期数为多少?

3) 若高级语言程序中某赋值语句为 $x=a+b$, x、a 和 b 均为 int 型变量, 它们的存储单元地址分别表示为 [x]、[a] 和 [b]。该语句对应的指令序列及其在指令流水线中的执行过程如下图所示。

I1 LOAD R1, [a]
I2 LOAD R2, [b]
I3 ADD R1, R2
I4 STORE R2, [x]

	时间单元													
指令	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I ₁	IF	ID	EX	M	WB									
I ₂		IF	ID	EX	M	WB								
I ₃			IF				ID	EX	M	WB				
I ₄							IF				ID	EX	M	WB

图 指令序列及其执行过程示意图

则这 4 条指令执行过程中, I₃ 的 ID 段和 I₄ 的 IF 段被阻塞的原因各是什么?

4) 若高级语言程序中某赋值语句为 $x=x*2+a$, x 和 a 均为 unsigned int 类型变量, 它们的存储单元地址分别表示为 [x]、[a], 则执行这条语句至少需要多少个时钟周期? 要求模仿题 44 图画出这条语句对应的指令序列及其在流水线中的执行过程示意图。



2012 年计算机统考——计算机组成原理部分解析

一、单项选择题

12. D。考查计算机性能指标的计算。

程序 A 的运行时间为 100 秒, 除去 CPU 运行时间 90 秒, 剩余 10 秒为 I/O 时间。CPU 提速后运行基准程序 A 所耗费的时间是 $T=90/1.5+10=70$ 秒。

【误区】 CPU 速度提高 50%, 则 CPU 运行时间减少一半。错误!

13. B。考查 C 语言中的类型转换。

将一个 16 位 unsigned short 转换成一个 32 位的 unsigned int, 新表示形式的所有附加位都用 0 进行填充。X 的 16 进制表示为 FFFA, 所以 y 的十六进制表示为 0000 FFFA。

14. D。考查 IEEE754 浮点数的性质。

IEEE 754 标准的单精度浮点数, 是尾数采用隐藏位策略的原码表示, 且阶码用移码表示的浮点数。规格化的短浮点数的真值为: $(-1)^S \times 1.f \times 2^{E-127}$, S 为符号位, E 的取值为 1~254 (8 位表示), f 为 23 位; 故 float 类型能表示的最大整数是 $1.111\dots 1 \times 2^{254-127} = 2^{127} \times (2-2^{-23}) = 2^{128} - 2^{104}$ 。

15. D。考查字符串的存储方式。

计算机存储器按字节编址, 采用小端方式存放数据, 即以数据的最低有效字节地址表示数据地址。在存储器中, 数据结构按边界对齐方式顺序存储, 因此 int 型数据的地址必须是 4 的倍数, short 型数据地址必须是 2 的倍数。所以 record.c 的地址不可能为 0xC00D。而 273 的十六进制表示为 0x00000111, 故地址 0xC008 中内容应为低字节 0x11, 如下表所示。

地址	0xC008	0xC009	0xC00A	0xC00B
内容	record.a (0x11)	record.a (0x01)	record.a (0x00)	record.a (0x00)
地址	0xC00C	0xC00D	0xC00E	0xC00F
内容	record.b	-	record.c	record.c

【注意】 本题要考虑到 C 程序中的结构体 Struct 按边界对齐的问题, 具体请参看王道《统考命题思路分析》, 这里限于篇幅, 不详细讲述。

16. A。考查闪存 (Flash Memory) 的性质。

闪存是 EEPROM 的进一步发展, 可读可写, 用 MOS 管的浮栅上有无电荷来存储信息, 它依然是 ROM 的一种, 故写速度比读速度要慢不少 (硬件常识)。闪存是一种非易失性存储器, 它采用随机访问方式。现在常见的 SSD 固态硬盘, 即由 Flash 芯片组成。

17. C。考查组相联映射的 Cache 置换过程。

地址映射采用 2 路组相联, 则主存地址为 0~1、4~5、8~9 可映射到第 0 组 Cache 中, 主存地址为 2~3、6~7 可映射到第 1 组 Cache 中。Cache 置换过程如下表所示。

走向	0	4	8	2	0	6	8	6	4	8
第 0 组	块 0	0	4	4	8	8	0	0	8	4
	块 1	<u>0</u>	<u>4</u>	<u>8</u>	8	<u>0</u>	<u>8*</u>	8	<u>4</u>	<u>8*</u>
第 1 组	块 2					2	2	2	2	2
	块 3				<u>2</u>	2	<u>6</u>	<u>6*</u>	6	6

注: *表示本次访问命中。

18. C。考查微指令的编码方式。

操作控制字段采用字段直接编码法, 将微命令字段分成若干个小字段, 互斥类微命令可组合在同一字段。根据微命令字段分段的原则: ①互斥性微命令分在同一段内, 相容性微命令分在不同段内; ②一般每个小段要留出一个状态, 表示本字段不发出任何微命令。5 个互

斥类分别需要 3、2、4、3、3 共 15 位。

19. C。考查总线传输性能的计算。

总线频率为 100MHz, 则时钟周期为 10ns。总线宽度与存储字长都是 32 位, 故每次传送一个 32 位存储字。猝发式发送可以连续传送地址连续的数据。故总的传送时间为: 传送地址 10ns, 传送 128 位数据 40ns, 共需 50ns。

20. D。考查 USB 总线的特性 (常识)。

USB 总线 (通用串行总线) 的特点有: ①即插即用; ②热插拔; ③有很强的连接能力, 采用菊花链形式将所有外设连接起来, 且不损失带宽; ④有很好的可扩充性, 一个 USB 控制器可扩充高达 127 个外部周边 USB 设备; ⑤高速传输, 速度可达 480Mbps。所以 A、B、C 都符合 USB 总线的特点。对于选项 D, USB 是串行总线, 不能同时传输两位数据。

21. D。考查 I/O 总线的特点。

I/O 接口与 CPU 之间的 I/O 总线有数据线、命令线和地址线。命令线和地址线都是单向传输的, 从 CPU 传送给 I/O 接口, 而 I/O 接口中的命令字、状态字以及中断类型号均是由 I/O 接口发往 CPU 的, 故只能通过 I/O 总线的数据线传输。

22. B。考查中断隐指令。

在响应外部中断的过程中, 中断隐指令完成的操作包括: ①关中断; ②保护断点; ③引出中断服务程序 (形成中断服务程序入口地址并送 PC), 所以只有 I、III 正确。II 中的保存通用寄存器的内容是在进入中断服务程序后首先进行的操作。

二、综合应用题

43. 解答:

(1) 平均每秒 CPU 执行的指令数为: $80M/4=20M$, 故 MIPS 数为 20; (1 分)

平均每条指令访存 1.5 次, 故平均每秒 Cache 缺失的次数 $=20M \times 1.5 \times (1-99\%)=300k$; (1 分)

当 Cache 缺失时, CPU 访问主存, 主存与 Cache 之间以块为传送单位, 此时, 主存带宽为 $16B \times 300k/s = 4.8MB/s$ 。在不考虑 DMA 传输的情况下, 主存带宽至少达到 4.8MB/s 才能满足 CPU 的访存要求。 (2 分)

(2) 题中假定在 Cache 缺失的情况下访问主存, 平均每秒产生缺页中断 $300000 \times 0.0005\%=1.5$ 次。因为存储器总线宽度为 32 位, 所以每传送 32 位数据, 磁盘控制器发出一次 DMA 请求, 故平均每秒磁盘 DMA 请求的次数至少为 $1.5 \times 4KB/4B=1.5K=1536$ 。 (2 分)

(3) CPU 和 DMA 控制器同时要求使用存储器总线时, DMA 请求优先级更高; (1 分)

因为 DMA 请求得不到及时响应, I/O 传输数据可能会丢失。 (1 分)

(4) 4 体交叉存储模式能提供的最大带宽为 $4 \times 4B/50ns=320MB/s$ 。 (2 分)

44. 解答:

(1) x 的机器码为 $[x]_{补}=1111\ 1101\ 1111B$, 即指令执行前 $(R1)=FDFFH$, 右移 1 位后为 1111 1110 1111 1111B, 即指令执行后 $(R1)=FEFFH$ 。 (2 分)

【评分说明】仅正确写出指令执行前的 $(R1)$ 可给 1 分。

(2) 至少需要 $4+(5-1)=8$ 个时钟周期数。 (2 分)

(3) I_3 的 ID 段被阻塞的原因: 因为 I_3 与 I_1 和 I_2 都存在数据相关, 需等到 I_1 和 I_2 将结果写回寄存器后, I_3 才能读寄存器内容, 所以 I_3 的 ID 段被阻塞。 (1 分)

I_4 的 IF 段被阻塞的原因: 因为 I_4 的前一条指令 I_3 在 ID 段被阻塞, 所以 I_4 的 IF 段被阻塞。 (1 分)

(4) 因 $2 \times x$ 操作有左移和加法两种实现方法, 故 $x = x \times 2 + a$ 对应的指令序列为

```

I1  LOAD    R1, [x]
I2  LOAD    R2, [a]
I3  SHL     R1          //或者  ADD    R1, R1
I4  ADD     R1, R2
I5  STORE   R2, [x]
    
```

【评分说明】指令正确给 2 分; 其他正确答案同样给分; 部分正确, 酌情给分。

这 5 条指令在流水线中执行过程如下图所示。(3 分)

	时间单元																
指令	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
I1	IF	ID	EX	M	WB												
I2		IF	ID	EX	M	WB											
I3			IF			ID	EX	M	WB								
I4						IF				ID	EX	M	WB				
I5										IF				ID	EX	M	WB

故执行 $x = x \times 2 + a$ 语句最少需要 17 个时钟周期。(1 分)

