

2009-2020 计算机考研 408 真题

计算机组成原理部分

刘童鞋 2021 年 6 月 整理

注：文中答案来源网络仅供参考。

2020 年统考 408 真题-组成原理部分

1. 下列给出的部件中其位数（宽度）一定与机器字长相同的是（ ）。

- I. ALU II. 指令寄存器 III. 通用寄存器 IV. 浮点寄存器
A、I, II B、I, III C、II, III D、II, III, IV

2. 已知带符号整数用补码表示，float 型数据用 IEEE 754 标准表示，假定变量 x 的类型只能是 int 或 float。当 x 的机器数为 C800 0000H 时，x 的值可能是（ ）。

- A、 -7×2^{27} B、 -2^{16} C、 2^{17} D、 25×2^{27}

3. 在按字节编址，采用小端方式的 32 位计算机中，按边界对齐方式为以下 C 语言结构型变量 a 分配存储空间。

```
Struct record{  
    short    x1;  
    int      x2;  
} a;
```

若 a 的首地址为 2020 FE00H，a 的成员变量 x2 的机器数为 1234 0000H，则其中 34H 所在存储单元的地址是（ ）。

- A、2020 FE03H B、2020 FE04H C、2020 FE05H D、2020 FE06H

4. 下列关于 TLB 和 Cache 的叙述中错误的是（ ）。

- A、命中率与程序局部性有关；
B、缺失后都需要去访问主存；
C、缺失处理都可以由硬件实现；
D、都由 DRAM 存储器组成。

5. 某计算机采用 16 位定长指令字格式，操作码位数和寻址方式位数固定，指令系统有 48 条指令，支持直接、间接、立即、相对 4 种寻址方式，单地址指令中直接寻址方式可寻址范围是（ ）。

- A、0~225； B、0~1023； C、-128~127； D、-512~511

6. 下列给出的处理器类型中理想情况下 CPI 为 1 的是（ ）。

- I、单周期 CPU； II、多周期 CPU；
III、基本流水线 CPU； IV 超标量流水线 CPU
A、I, II； B、I,III； C、II,IV； D、III,IV；

7. 下列关于“自陷”（Trap，也称陷阱）的叙述中错误的是（ ）。

- A、自陷是通过陷阱指令预先设定的一类外部中断事件；

- B、自陷可用于实现程序调试时的断点设置和单步跟踪；
- C、自陷发生后 CPU 将转去执行操作系统内核相应程序；
- D、自陷处理完成后返回到陷阱指令的下一条指令执行。

8. QPI 总线是一种点对点全工双周同步串行总线，总线上的设备可同时接收和发送信息，每个方向可同时传输 20 位信息(16 位数据+4 位校验位)，每个 QPI 数据包有 80 位信息，分 2 个时钟周期传送，每个时钟周期传递 2 次，因此 QPI 总线带宽为每秒传送次数*2B*2。若 QPI 时钟频率为 2.4GHz，则总线带宽为（ ）。

- A、4.8 B、9.6 C、19.2 D、38.4 （单位 GB/s）

9. 下列事件中属于外部中断事件的是（ ）。

- I、访存时缺页； II、定时器延时（不确定）； III、网络数据包到达

10. 外部中断包括不可屏蔽中断（NMI）和可屏蔽中断，下列关于外部中断的叙述中错误的是（ ）。

- A、CPU 处于关中断状态时也能响应 NMI 请求；
- B、一旦可屏蔽中断请求信号有效，CPU 将立即响应；
- C、不可屏蔽中断的优先级比可屏蔽中断的优先级高；
- D、可通过中断屏蔽字改变可屏蔽中断的处理优先级。

11. 若设备采用周期挪用 DMA 方式进行输入输出，每次 DMA 传送的数据块大小为 512 字节，相应的 I/O 接口中有一个 32 位数数据缓冲寄存器，对于数据输入过程，下列叙述中错误的是（ ）。

- A、每准备好 32 位数据，DMA 控制器就发出一次总线请求；
- B、相对于 CPU，DMA 控制器的总线使用权的优先级更高；
- C、在整个数据块的传送过程中，CPU 不可以访问主存储器；
- D、数据块传送结束时，会产生“DMA 传送结束”的中断请求。

12. 有实现 $x*y$ 的两个 C 语言函数如下：

```
unsigned umul ( unsigned x , unsigned y )  
{ return x*y; }
```

```
int imul ( int x, int y )  
{ return x * y; }
```

假定某计算机 M 中 ALU 只能进行加减运算和逻辑运算。请回答：

（1）若 M 的指令系统中没有乘法指令，但有加法、减法和位移等指令，则在 M 上也能实现上述两个函数中的乘法运算，为什么？

（2）若 M 的指令系统中有乘法指令，则基于 ALU、位移器、寄存器以及相应控制逻辑

辑实现乘法指令时，控制逻辑的作用是什么？

(3) 针对以下 3 种情况：(a) 没有乘法指令；(b) 有使用 ALU 和位移器实现的乘法指令；(c) 有使用阵列乘法器实现的乘法指令，函数 `umul()` 在哪种情况下执行时间最长？哪种情况下执行的时间最短？说明理由

(4) n 位整数乘法指令可保存 $2n$ 位乘积，当仅取低 n 位作为乘积时，其结果可能会发生溢出。当 $n=32, x=2^{31}-1, y=2$ 时，带符号整数乘法指令和无符号整数乘法指令得到的 $x*y$ 的 $2n$ 位乘积分别是什么（用十六进制表示）？此时函数 `umul()` 和 `imul()` 的返回结果是否溢出？对于无符号整数乘法运算，当仅取乘积的低 n 位作为乘法结果时，如何用 $2n$ 位乘积进行溢出判断？

13. 假定主存地址为 32 位，按字节编址，指令 Cache 和数据 Cache 与主存之间均采用 8 路组相联映射方式，直写 (Write Through) 写策略和 LRU 替换算法，主存块大小为 64B，数据区容量各为 32KB。开始时 Cache 均为空，请回答下列问题：

(1) Cache 每一行中标记 (Tag)、LRU 位各占几位？是否有修改位？

(2) 有如下 C 语言程序段：

```
for ( k = 0 ; k < 1024 ; k++ )
```

```
    S[k] = 2 * s[k];
```

若数组 S 及其变量 k 均为 `int` 型，`int` 型数据占 4B，变量 k 分配在寄存器中，数组 s 在主存中的起始地址为 0080 00C0H，则该程序段执行过程中，访问数组 S 的数据 Cache 缺失次数为多少？

(3) 若 CPU 最先开始的访问操作是读取主存单元 0001 003H 中的指令，简要说明从 Cache 中访问该指令的过程，包括 Cache 缺失处理过程。

- | | | | | |
|------|------|------|----------|-------|
| 1. B | 2. A | 3. D | 4. D | 5. A |
| 6. B | 7. A | 8. C | 9. I/III | 10. B |
11. C

12. 解答:

(1) 乘法运算也可以通过加法操作和移位操作实现, $x * y$ 可视为 y 个 x 或 x 个 y 相加的结果。

(2) 实现相加和移位的控制。

(3) 最长: a 最短: c

a) 情况下执行时间最长, 需要利用其他指令来实现乘法功能

b) 情况下使用了 ALU 与位移器, 由多次相加及位移操作串行实现乘法操作

c) 情况使用阵列乘法器做并行乘法运算, 时间显然最快

(4) 带符号整数指令乘法: $7FFF\ FFFFH * 2 = 0000\ 0000\ FFFF\ FFEH$

无符号整数指令乘法: $7FFF\ FFFFH * 2 = 0000\ 0000\ FFFF\ FFEH$

umul()返回 FFFF FFEH 未溢出。

imul()返回 FFFF FFEH 有溢出(结果成了负数)。

高 n 位全 0 则未产生溢出, 否则产生溢出。

13. 解答:

(1) 主存地址为 32 位, 其中 6 位为块内地址

标记: $32 - 6 - 6 = 20$ 位

LRU: 3 位

直写策略无修改位

(2) 在该程序的执行过程中, 产生一次缺失时会更新 Cache 中的 16 块, 之后的 15 次访问均命中 Cache, 故平均每 16 次访问 Cache 就会产生一次缺失, K 的范围为 1024, 即共 1024 次访问 Cache, Cache 缺失次数 $= 1024 / 16 = 64$ 次

(3) CPU 访指的大致过程:

CPU 发出读请求时, 若访存地址在 Cache 中命中, 就将此地址转换成 Cache 地址, 直接对 Cache 进行读操作, 与主存无关; 若 Cache 不命中, 则仍需访问主存, 并把此字所在的一块一次性从主存调入 Cache, 若此时 Cache 已满, 就根据 LRU 替换算法, 用这个块替换 Cache 中的一块信息。

2019 年统考 408 真题-组成原理部分

1. 下列关于冯·诺依曼结构计算机基本思想的叙述中，错误的是（ ）。

- A. 程序的功能都通过中央处理器执行指令实现
- B. 指令和数据都用二进制表示，形式上无差别
- C. 指令按地址访问，数据都在指令中直接给出
- D. 程序执行前，指令和数据需预先存放在存储器中

2. 考虑以下 C 语言代码：

```
unsigned short usi = 65535;
```

```
short si = usi;
```

执行上述程序段后，si 的值是（ ）。

- A. -1 B. -32767 C. -32768 D. -65535

3. 下列关于缺页处理的叙述中，错误的是

- A. 缺页是在地址转换时 CPU 检测到的一种异常
- B. 缺页处理由操作系统提供的缺页处理程序来完成
- C. 缺页处理程序根据页故障地址从外存读入所缺失的页
- D. 缺页处理完成后回到发生缺页的指令的下一条指令执行

4. 某计算机采用大端方式，按字节编址。某指令中操作数的机器数为 1234 FF00H，该操作数采用基址寻址方式，形式地址(用补码表示)为 FF12H，基址寄存器内容为 F000 0000H，则该操作数的 LSB(最低有效字节)所在的地址是（ ）。

- A. F000 FF12H B. F000 FF15H C. EFFF FF12H D. EFFF FF15H

5. 下列有关处理器时钟脉冲信号的叙述中，错误的是（ ）。

- A. 时钟脉冲信号由机器脉冲源发出的脉冲信号经整形和分频后形成
- B. 时钟脉冲信号的宽度称为时钟周期，时钟周期的倒数为机器主频
- C. 时钟周期以相邻状态单元间组合逻辑电路的最大延迟为基准确定
- D. 处理器总是在每来一个时钟脉冲信号时就开始执行一条新的指令

6 某指令功能为 $R[r2] \leftarrow R[r1] + M[R[r0]]$ ，其两个源操作数分别采用寄存器、寄存器间接寻址方式。对于下列给定部件，该指令在取数及执行过程中需要用到的是（ ）。

I. 通用寄存器组(GPRs)

II. 算术逻辑单元(ALU)

III. 存储器(Memory)

IV. 指令译码器(ID)

- A. 仅 I、II B. 仅 I、II、III C. 仅 II、III、IV D. 仅 I、III、IV

7. 在采用“取指、译码/取数、执行、访存、写回”5 段流水线的处理器中，执行如下指令

序列，其中 s0、s1、s2、s3 和 t2 表示寄存器编号。

I1: add s2, s1, s0 //R[s2]←R[s1]+R[s0]

I2: load s3, 0(t2) //R[s3]←M[R[t2]+0]

I3: add s2, s2, s3 //R[s2]←R[s2]+R[s3]

I4: store s2, 0(t2) //M[R[t2]+0]←R[s2]

下列指令对中，不存在数据冒险的是（ ）。

- A. I1 和 I3 B. I2 和 I3 C. I2 和 I4 D. I3 和 I4

8. 假定一台计算机采用 3 通道存储器总线，配套的内存条型号为 DDR3-1333，即内存条所接插的存储器总线的工作频率为 1333 MHz、总线宽度为 64 位，则存储器总线的总带宽大约是（ ）。

- A. 10.66 GB/s B. 32 GB/s C. 64 GB/s D. 96 GB/s

9. 下列关于磁盘存储器的叙述中，错误的是（ ）。

- A. 磁盘的格式化容量比非格式化容量小
B. 扇区中包含数据、地址和校验等信息
C. 磁盘存储器的最小读写单位为 1 字节
D. 磁盘存储器由磁盘控制器、磁盘驱动器和盘片组成

10. 某设备以中断方式与 CPU 进行数据交换，CPU 主频为 1 GHz，设备接口中的数据缓冲寄存器为 32 位，设备的数据传输率为 50kB/s。若每次中断开销(包括中断响应和中断处理)为 1000 个时钟周期，则 CPU 用于该设备输入/输出的时间占整个 CPU 时间的百分比最多是（ ）。

- A. 1.25% B. 2.5% C. 5% D. 12.5%

11. 下列关于 DMA 方式的叙述中，正确的是（ ）。

- I. DMA 传送前由设备驱动程序设置传送参数
II. 数据传送前由 DMA 控制器请求总线使用权
III. 数据传送由 DMA 控制器直接控制总线完成
IV. DMA 传送结束后的处理由中断服务程序完成

- A. 仅 I、II B. 仅 I、III、IV C. 仅 II、III、IV D. I、II、III、IV

12. (16 分)已知 $f(n)=n! =n \times (n-1) \times (n-2) \times \cdots \times 2 \times 1$ ，计算 $f(n)$ 的 C 语言函数 $f1$ 的源程序及其在 32 位计算机 M 上的部分机器级代码如下：

```
int f1( int n ) {
1  00401000    55                push  ebp

    if ( n > 1 )
11 00401018    83 7D 08 01    cmp    dword ptr [ebp+8],1
12 0040101C    7E 17                jle    f1+35h (00401035)
        return n * f1(n-1);
13 0040101E    8B 45 08    mov    eax,dword ptr [ebp+8]
14 00401021    83 E8 01    sub    eax,1
15 00401024    50                push   eax
16 00401025    E8 D6 FF FF FF call   f1 (00401000)

19 00401030    0F AF C1    imul   eax,ecx
20 00401033    EB 05                jmp    f1+3Ah (0040103a)
    else return 1;
21 00401035    B8 01 00 00 00 mov    eax,1

26 00401040    3B EC                cmp    ebp,esp

30 0040104A    C3                ret
```

其中，机器级代码行包括行号、虚拟地址、机器指令和汇编指令，计算机 M 按字节编址，int 型数据占 32 位。请回答下列问题：

- (1) 计算 $f(10)$ 需要调用函数 $f1$ 多少次？执行哪条指令会递归调用 $f1$ ？
- (2) 上述代码中，哪条指令是条件转移指令？哪几条指令一定会使程序跳转执行？
- (3) 根据第 16 行 `call` 指令，第 17 行指令的虚拟地址应是多少？已知第 16 行 `call` 指令采用相对寻址方式，该指令中的偏移量应是多少(给出计算过程)？已知第 16 行 `call` 指令的后 4 字节为偏移量，M 采用大端还是小端方式？
- (4) $f(13)=6\,227\,020\,800$ ，但 $f1(13)$ 的返回值为 $1\,932\,053\,504$ ，为什么两者不相等？要使 $f1(13)$ 能返回正确的结果，应如何修改 $f1$ 源程序？
- (5) 第 19 行 `imul eax,ecx` 表示有符号数乘法，乘数为 $R[ecx]$ 和 $R[ecx]$ ，当乘法器输出的高、低 32 位乘积之间满足什么条件时，溢出标志 $OF=1$ ？要使 CPU 在发生溢出时转异常处理，编译器应在 `imul` 指令后加一条什么指令？

13. (7 分)对于题 12, 若计算机 M 的主存地址为 32 位, 采用分页存储管理方式, 页大小为 4KB, 则第 1 行 push 指令和第 30 行 ret 指令是否在同一页中(说明理由)? 若指令 Cache 有 64 行, 采用 4 路组相联映射方式, 主存块大小为 64B, 则 32 位主存地址中, 哪几位表示块内地址? 哪几位表示 Cache 组号? 哪几位表示标记(tag)信息? 读取第 16 行 call 指令时, 只可能在指令 Cache 的哪一组中命中(说明理由)?

1. C 2. A 3. D 4. D 5. D
6. B 7. C 8. B 9. C 10. A
11. D

12. 解答:

(1) 计算 f(10) 需要调用函数 f1 共 10 次执行第 16 行 call 指令会递归调用 f1。

(2) 第 12 行 jle 指令是条件转移指令。第 16 行 call 指令、第 20 行 jmp 指令、第 30 行 ret 指令一定会使程序跳转执行。

(3) 第 16 行 call 指令的下一条指令的地址为 $0040\ 1025H+5=0040\ 102AH$ ，故第 17 行指令的虚拟地址是 $0040\ 102AH$ 。call 指令采用相对寻址方式，即目标地址=(PC)+偏移量，call 指令的目标地址为 $0040\ 1000H$ ，所以偏移量=目标地址-(PC)= $00401000H-0040\ 102AH=FFFF\ FFD6H$ 。根据第 16 行 call 指令的偏移量字段为 $D6\ FF\ FF\ FF$ ，可确定 M 采用小端方式。

(4) 因为 $f(13)=6\ 227\ 020\ 800$ ，大于 32 位 int 型数据可表示的最大值，因而 f1(13) 的返回值是一个发生了溢出的结果。

为使 f1(13) 能返回正确结果，可将函数 f1 的返回值类型改为 double(或 long long 或 long double 或 float)。

(5) 若乘积的高 33 位为非全 0 或非全 1，则 OF=1

编译器应该在 imul 指令后加一条“溢出陷阱指令”，使得 CPU 自动查询溢出标志 OF，当 OF=1 时调出“溢出异常处理程序”。

13. 解答:

第 1 行指令和第 30 行指令的代码在同一页。

因为页大小为 4KB，所以虚拟地址的高 20 位为虚拟页号。第 1 行指令和第 30 行指令的虚拟地址高 20 位都是 $00401H$ ，因此两条指令在同一页中。

Cache 组数为 $64/4=16$ ，因此，主存地址划分中，低 6 位为块内地址、中间 4 位为组号(组索引)、高 22 位为标记。

读取第 16 行 call 指令时，只可能在指令 Cache 第 0 组中命中。

因为页大小为 4KB，所以虚拟地址和物理地址的最低 12 位完全相同，因而 call 指令虚拟地址 $0040\ 1025H$ 中的 $025H=0000\ 0010\ 0101B=00\ 0000\ 100101B$ 为物理地址的低 12 位，故对应 Cache 组号为 0。

2018 年统考 408 真题-组成原理部分

1. 冯诺依曼结构计算机中数据采用二进制编码表示，其主要原因（ ）。
I .二进制的运算规则简单
II .制造两个稳态的物理器件较容易
III .便于用逻辑门电路实现算术运算
A. 仅 I 、 II B. 仅 I 、 III C. 仅 II 、 III D. I 、 II 和 III
2. 假定带符号整数采用补码表示，若 `int` 型变量 `x` 和 `y` 的机器数分别是 `FFFF FDFH` 和 `0000 0041H`，则 `x`、`y` 的值以及 `x-y` 的机器数分别是（ ）。
A. `x = -65, y = 41, x-y` 的机器数溢出
B. `x = -33, y = 65, x-y` 的机器数为 `FFFF FF9DH`
C. `x = -33, y = 65, x-y` 的机器数为 `FFFF FF9EH`
D. `x = -65, y = 41, x-y` 的机器数为 `FFFF FF96H`
3. IEEE 754 单精度浮点格式表示的数中，最小的规格化正数是（ ）。
A. 1.0×2^{-126} B. 1.0×2^{-127} C. 1.0×2^{-128} D. 1.0×2^{-149}
4. 某 32 位计算机按字节编址，采用小端(Little Endian) 方式。若语令 “`inti = 0;`” 对应指令的机器代码为 “`C7 45 FC 00 00 00 00`，” 则语句 “`int i = - 64;`” 对应指令的机器代码是（ ）。
A. `C7 45 FC C0 FF FF FF`
B. `C7 45 FC 0C FF FF FF`
C. `C7 45 FC FF FF FF C0`
D. `C7 45 FC FF FF FF 0C`
5. 整数 `x` 的机器数为 `1101 1000`，分别对 `x` 进行逻辑右移 1 位和算术右移位操作，得到的机器数各是（ ）。
A. `1110 1100`、`1110 1100`
B. `0110 1100`、`1110 1100`
C. `1110 1100`、`0110 1100`
D. `0110 1100`、`0110 1100`
6. 假定 DRAM 芯片中存储阵列的行数为 `r`、列数为 `c`，对于一个 $2K \times 1$ 位的 DRAM 芯片，为保证其地址引脚数最少，并尽量减少刷新开销，则 `r`、`c` 的取值分别是（ ）。
A. 2048、 1 B. 64 、 32 C. 32、 64 D. 1 、 2048

7.按字节编址的计算机中，某 double 型数组 A 的首地址为 2000H，使用变址寻址和循环结构访问数组 A，保存数组下标的变址寄存器初值为 0，每次循环取一个数组元素，其偏移地址为变址值乘以 sizeof(double)，取完后变址寄存器内容自动加 1。若某次循环所取元素的地址为 2100H，则进入该次循环时变址寄存器的内容是（ ）。

- A. 25 B. 32 C. 64 D. 100

8.减法指令“sub R1, R2, R3”的功能为“(R1) - (R2) → R3”，该指令执行后将生成进位/借位标志 CF 和溢出标志 OF。若 (R1) = FFFF FFFFH，(R2) = FFFF FFF0H，则该减法指令执行后，CF 与 OF 分别为（ ）。

- A. CF=0, OF=0 B. CF=1, OF=0
C. CF=0, OF=1 D. CF=1, OF=1

9. 若某计算机最复杂指令的执行需要完成 5 个子功能，分别由功能部件 A~E 实现，各功能部件所需时间分别为 80ps、50ps、50ps、70ps 和 50ps，采用流水线方式执行指令，流水段寄存器延时为 20ps，则 CPU 时钟周期至少为（ ）。

- A. 60 ps B. 70 ps C. 80 ps D. 100 ps

10.下列选项中，可提高同步总线数据传输率的是（ ）。

- I .增加总线宽度 II.提高总线工作频率
III .支持突发传输 IV.采用地址 /数据线复用
A. 仅 I、II B. 仅 I、II、III
C. 仅III、IV D. I、II、III和IV

11.下列关于外部 I/O 中断的叙述中，正确的是（ ）。

- A. 中断控制器按所接收中断请求的先后次序进行中断优先级排队
B. CPU 响应中断时，通过执行中断隐指令完成通用寄存器的保护
C. CPU 只有在处于中断允许状态时，才能响应外部设备的中断请求
D. 有中断请求时，CPU 立即暂停当前指令执行，转去执行中断服务程序

12. (8 分)假定计算机的主频为 500MHz，CPI 为 4。现有设备 A 和 B，其数据传输率分别为 2MB/s 和 40MB/s，对应 I/O 接口中各有一个 32 位数据缓冲寄存器。请回答下列问题，要求给出计算过程。

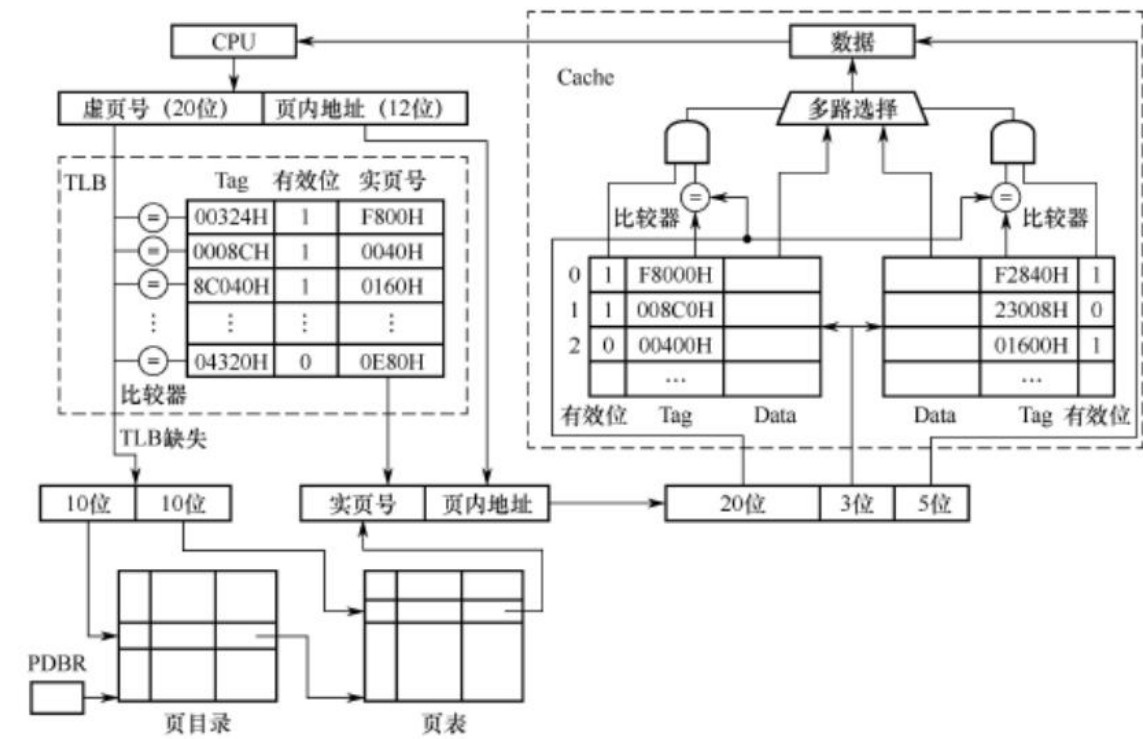
(1) 若设备 A 采用定时查询 I/O 方式，每次输入/输出都至少执行 10 条指令。设备 A 最多间隔多长时间查询一次才能不丢失数据？CPU 用于设备 A 输入/输出的时间占 CPU 总时间的百分比至少是多少？

(2) 在中断 I/O 方式下，若每次中断响应和中断处理的总时钟周期数至少为 400，则设备 B 能否采用中断 I/O 方式？为什么？

(3) 若设备 B 采用 DMA 方式，每次 DMA 传送的数据块大小 1000B，CPU 用于 DMA 预处理和后处理的总时钟周期数为 500，则 CPU 用于设备 B 输入/输出的时间占 CPU 总时间的百分比最多是多少？

13. (15 分)某计算机采用页式虚拟存储管理方式，按字节编址。CPU 进行存储访问的过程如题 13 图所示。根据题 13 图回答下列问题。

- (1) 主存物理地址占多少位？
- (2) TLB 采用什么映射方式？ TLB 用 SRAM 还是 DRAM 实现？
- (3) Cache 采用什么映射方式？ 若 Cache 采用 LRU 替换算法和回写（Write Back）策略，则 Cache 每行中除数据（Data）、Tag 和有效位外，还应有哪些附加位？ Cache 总容量是多少？ Cache 中有效位的作用是什么？
- (4) 若 CPU 给出的虚拟地址为 0008 C040H ，则对应的物理地址是多少？ 是否在 Cache 命中？ 说明理由，若 CPU 给出的虚拟地址为 0007 C260H ，则该地址所在主存块映射到的



Cache 组号是多少？

题 13 图

- | | | | | |
|------|------|------|------|-------|
| 1. D | 2. C | 3. A | 4. A | 5. B |
| 6. C | 7. B | 8. A | 9. D | 10. B |
11. C

12. 解答:

(1) 程序定时向缓存端口查询数据, 由于缓存端口大小有限, 必须在传输完端口大小的数据时访问端口, 以防止部分数据没有被及时读取而丢失。设备 A 准备 32 位数据所用时间为 $4B/2MB=2\mu s$, 所以最多每隔 $2\mu s$ 必须查询一次, 每秒的查询次数至少 $1s/2\mu s=5\times 10^5$, 用于设备 A 输入/输出的时间至少为 $5\times 10^5\times 10\times 4=2\times 10^7$ 个时钟周期, 占整个 CPU 时间的百分比至少是 $2\times 10^7/500M=4\%$

(2) 中断响应和中断处理的时间为 $400\times (1/500M)=0.8\mu s$, 这时只需判断设备 B 准备 32 位数据要多久, 如果准备数据的时间小于中断响应和中断处理的时间, 那么数据就会被刷新、造成丢失。经过计算, 设备 B 准备 32 位数据所用时间为 $4B/40MB=0.1\mu s$, 因此, 设备 B 不适合采用中断 I/O 方式。

(3) 在 DMA 方式中, 只有预处理和后处理需要 CPU 处理, 数据的传送过程是由 DMA 控制。设备 B 每秒的 DMA 次数最多为 $40MB/1000B=40000$, CPU 用于设备 B 输入/输出的时间最多为 $40000\times 500=2\times 10^7$ 个时钟周期, 占 CPU 总时间的百分比最多为 $2\times 10^7/500M=4\%$

13. 解答:

(1) 物理地址由实页号和页内地址拼接, 因此其位数为 $16+12=28$; 或直接可得 $20+3+5=28$ 。

(2) TLB 采用全相联映射, 可以把页表内容调入任一块空 TLB 项中, TLB 中每项都有一个比较器, 没有映射规则, 只要空闲就行。TLB 采用静态存储器 SRAM, 读写速度快, 但成本高, 多用于容量较小的高速缓冲存储器。

(3) 图中可以看到, Cache 中每组有两行, 故采用 2 路组相联映射方式。

因为是 2 路组相联并采用 LRU 替换算法, 所以每行 (或每组) 需要 1 位 LRU 位; 因为采用回写策略, 所以每行有 1 位修改位 (脏位), 根据脏位判断数据是否被更新, 如果脏位为 1 则需要写回内存。

28 位物理地址中 Tag 字段占 20 位, 组索引字段占 3 位, 块内偏移地址占 5 位, 故 Cache 共有 $2^3=8$ 组, 每组 2 行, 每行有 $2^5=32B$; 故 Cache 总容量为 $8\times 2\times (20+1+1+1+32\times 8)=4464$ 位=558 字节。Cache 中有效位用来指出所在 Cache 行中的信息是否有效。

(4) 虚拟地址分为两部分: 虚页号、页内地址; 物理地址分为两部分: 实页号、页内地址。利用虚拟地址的虚页号部分去查找 TLB 表 (缺失时从页表调入), 将实页号取出后和虚拟地址的页内地址拼接, 就形成了物理地址。虚页号 008CH 恰好在 TLB 表中对应实页号 0040H (有效位为 1, 说明存在), 虚拟地址的后 3 位为页内地址 040H, 则对应的物理地址是 0040040H。

物理地址为 0040040H，其中高 20 位 00400H 为标志字段，低 5 位 00000B 为块内偏移量，中间 3 位 010B 为组号 2，因此将 00400H 与 Cache 中的第 2 组两行中的标志字段同时比较，可以看出，虽然有一个 Cache 行中的标志字段与 00400H 相等，但对应的有效位为 0，而另一 Cache 行的标志字段与 00400H 不相等，故访问 Cache 不命中。

因为物理地址的低 12 位与虚拟地址低 12 位相同，即为 0010 0110 0000B。根据物理地址的结构，物理地址的后八位 01100000B 的前三位 011B 是组号，因此该地址所在的主存映射到 Cache 组号为 3。

2017 年统考 408 真题-组成原理部分

1. 假定计算机 M1 和 M2 具有相同的指令集体系结构(ISA)，主频分别为 1.5 GHz 和 1.2 GHz，在 M1 和 M2 上运行某基准程序 P，平均 CPI 分别为 2 和 1，则程序 P 在 M1 和 M2 上运行时间的比值是 ()。

- A. 0.4 B. 0.625 C. 1.6 D. 2.5

2. 某计算机主存按字节编址，由 4 个 64M×8 位的 DRAM 芯片采用交叉编址方式构成，并与宽度为 32 位的存储器总线相连，主存每次最多读写 32 位数据。若 double 型变量 x 的主存地址为 804 001AH，则读取 x 需要的存储周期数是 ()。

- A. 1 B. 2 C. 3 D. 4

3. 某 C 语言程序段如下：

```
for(i=0; i<=9; i++)
{
    temp=1;
    for(j=0; j<=i; j++)
        temp *= a[j];
    sum += temp;
}
```

下列关于数组 a 的访问局部性的描述中，正确的是 ()。

- A. 时间局部性和空间局部性皆有
B. 无时间局部性，有空间局部性
C. 有时间局部性，无空间局部性
D. 时间局部性和空间局部性皆无

4. 下列寻址方式中，最适合按下标顺序访问一维数组元素的是 ()。

- A. 相对寻址 B. 寄存器寻址 C. 直接寻址 D. 变址寻址

5. 某计算机按字节编址，指令字长固定且只有两种指令格式，其中三地址指令 29 条，二地址指令 107 条，每个地址字段为 6 位，则指令字长至少应该是 ()。

- A. 24 位 B. 26 位 C. 28 位 D. 32 位

6. 下列关于超标量流水线特性的叙述中，正确的是 ()。

- I. 能缩短流水线功能段的处理时间
II. 能在一个时钟周期内同时发射多条指令
III. 能结合动态调度技术提高指令执行并行性
A. 仅 II B. 仅 I、III C. 仅 II、III D. I、II 和 III

7. 下列关于主存储器(MM)和控制存储器(CS)的叙述中, 错误的是 ()。

- A. MM 在 CPU 外, CS 在 CPU 内
- B. MM 按地址访问, CS 按内容访问
- C. MM 存储指令和数据, CS 存储微指令
- D. MM 用 RAM 和 ROM 实现, CS 用 ROM 实现

8. 下列关于指令流水线数据通路的叙述中, 错误的是 ()。

- A. 包含生成控制信号的控制部件
- B. 包含算术逻辑运算部件(ALU)
- C. 包含通用寄存器组和取指部件
- D. 由组合逻辑电路和时序逻辑电路组合而成

9. 下列关于多总线结构的叙述中, 错误的是 ()。

- A. 靠近 CPU 的总线速度较快
- B. 存储器总线可支持突发传送方式
- C. 总线之间须通过桥接器相连
- D. PCI - Express×16 采用并行传输方式

10. I/O 指令实现的数据传送通常发生在 ()。

- A. I/O 设备和 I/O 端口之间
- B. 通用寄存器和 I/O 设备之间
- C. I/O 端口和 I/O 端口之间
- D. 通用寄存器和 I/O 端口之间

11. 下列关于多重中断系统的叙述中, 错误的是 ()。

- A. 在一条指令执行结束时响应中断
- B. 中断处理期间 CPU 处于关中断状态
- C. 中断请求的产生与当前指令的执行无关
- D. CPU 通过采样中断请求信号检测中断请求

12. (13 分)已知

$$f(n) = \sum_{i=0}^n 2^i = 2^{n+1} - 1 = \underbrace{11 \dots 11}_B (n+1 \text{ 位})$$

计算 $f(n)$ 的 C 语言函数 $f1$ 如下:

```
1  int f1( unsigned n)
2  {    int sum=1, power=1;
3      for(unsigned i=0; i<= n -1; i++)
4      {    power * = 2;
5          sum += power;
6      }
7      return sum ;
8  }
```

将 $f1$ 中的 `int` 都改为 `float`, 可得到计算 $f(n)$ 的另一个函数 $f2$ 。假设 `unsigned` 和 `int` 型数据都占 32 位, `float` 采用 IEEE 754 单精度标准。

请回答下列问题:

(1) 当 $n = 0$ 时, $f1$ 会出现死循环, 为什么? 若将 $f1$ 中的变量 i 和 n 都定义为 `int` 型, 则 $f1$ 是否还会出现死循环? 为什么?

(2) $f1(23)$ 和 $f2(23)$ 的返回值是否相等? 机器数各是什么(用十六进制表示)?

(3) $f1(24)$ 和 $f2(24)$ 的返回值分别为 33 554 431 和 33 554 432.0, 为什么不相等?

(4) $f(31) = 2^{32} - 1$, 而 $f1(31)$ 的返回值却为 -1, 为什么? 若使 $f1(n)$ 的返回值与 $f(n)$ 相等, 则最大的 n 是多少?

(5) $f2(127)$ 的机器数为 7F80 0000H, 对应的值是什么? 若使 $f2(n)$ 的结果不溢出, 则最大的 n 是多少? 若使 $f2(n)$ 的结果精确(无舍入), 则最大的 n 是多少?

13. (10 分)在按字节编址的计算机 M 上，题 12 中 *f1* 的部分源程序(阴影部分)与对应的机器级代码(包括指令的虚拟地址)如下：

```

    int f1 ( unsigned n)
1      00401020      55      push ebp
    .....
    for(unsigned i=0; i<= n-1; i++)
    .....
20      0040105E      39 4D F4      cmp dword ptr [ ebp-0Ch] ,ecx
    .....
    {    power * = 2;
    .....
23      00401066      D1 E2      shl  edx,1
    return sum ;
    .....
35  0040107F      C3      ret

```

其中，机器级代码行包括行号、虚拟地址、机器指令和汇编指令。请回答下列问题：

- (1) 计算机 M 是 RISC 还是 CISC?为什么?
- (2) *f1* 的机器指令代码共占多少字节?要求给出计算过程。
- (3) 第 20 条指令 *cmp* 通过 *i* 减 *n-1* 实现对 *i* 和 *n-1* 的比较。执行 *f1(0)* 过程中，当 *i=0* 时，*cmp* 指令执行后，进/借位标志 *CF* 的内容是什么?要求给出计算过程。
- (4) 第 23 条指令 *shl* 通过左移操作实现了 *power * 2* 运算，在 *f2* 中能否也用 *shl* 指令实现 *power * 2*?为什么?

1. C 2. C 3. A 4. D 5. A
6. C 7. B 8. A 9. D 10. D
11. B

12. 解答:

(1) 由于 i 和 n 是 `unsigned` 型, 故 “ $i \leq n - 1$ ” 是无符号数比较, $n = 0$ 时, $n - 1$ 的机器数为全 1, 值是 $2^{32} - 1$, 为 `unsigned` 型可表示的最大数, 条件 “ $i \leq n - 1$ ” 永真, 因此出现死循环。(2 分)

若 i 和 n 改为 `int` 类型, 则不会出现死循环。(1 分)

因为 “ $i \leq n - 1$ ” 是带符号整数比较, $n = 0$ 时, $n - 1$ 的值是 -1, 当 $i = 0$ 时条件 “ $i \leq n - 1$ ” 不成立, 此时退出 `for` 循环。(1 分)

(2) $f1(23)$ 与 $f2(23)$ 的返回值相等。(1 分)

$f(23) = 2^{23+1} - 1 = 2^{24} - 1$, 它的二进制形式是 24 个 1, 而 `int` 型变量占 32 位, 所以没有溢出。`float` 型数据采用 IEEE 754 单精度标准, 所以有 1 个符号位, 8 个阶码位, 23 个尾数位, 而这 23 位尾数可以表示 24 位的底数。因此, $f1(23)$ 和 $f2(23)$ 的返回值相等。

$f1(23)$ 的机器数是 00FF FFFFH (1 分)

$f2(23)$ 的机器数是 4B7F FFFFH (1 分)

(3) 当 $n = 24$ 时, $f(24) = 1\ 1111\ 1111\ 1111\ 1111\ 1111\ 1111\ 1111\text{B}$, 而 `float` 型数只有 24 位有效位, 舍入后数值增大, 所以 $f2(24)$ 比 $f1(24)$ 大 1。(1 分)

【评分说明】只要说明 $f2(24)$ 需舍入处理即可给分。

(4) 显然 $f(31)$ 已超出了 `int` 型数据的表示范围, 用 $f1(31)$ 实现时得到的机器数为 32 个 1, 作为 `int` 型数解释时其值为 -1, 即 $f1(31)$ 的返回值为 -1。(1 分)

因为 `int` 型最大可表示数是 0 后面加 31 个 1, 故使 $f1(n)$ 的返回值与 $f(n)$ 相等的最大 n 值是 30。(1 分)

【评分说明】对于第二问, 只要给出 $n = 30$ 即可给分。

(5) IEEE 754 标准用 “阶码全 1、尾数全 0” 表示无穷大。 $f2$ 返回值为 `float` 型, 机器数 7F80 0000H 对应的值是 $+\infty$ 。(1 分)

当 $n = 126$ 时, $f(126) = 2^{127} - 1 = 1.1 \dots 1 \times 2^{126}$, 对应阶码为 $127 + 126 = 253$, 尾数部分舍入后阶码加 1, 最终阶码为 254, 是 IEEE754 单精度格式表示的最大阶码。故使 $f2$ 结果不溢出的最大 n 值为 126。(1 分)

当 $n = 23$ 时, $f(23)$ 为 24 位 1, `float` 型数有 24 位有效位, 所以不需舍入, 结果精确。故使 $f2$ 获得精确结果的最大 n 值为 23。(1 分)

【评分说明】对于第二问, 只要给出 $n = 23$, 即可给分。对于第三问, 只要给出 $n = 126$, 即可给分。

13. 解答:

(1) M 为 CISC。(1 分)

M 的指令长短不一, 不符合 RISC 指令系统特点。(1 分)

(2) f1 的机器代码占 96 B。(1 分)

因为 f1 的第一条指令 “push ebp” 所在的虚拟地址为 00401020H, 最后一条指令 “ret” 所在的虚拟地址为 0040 107FH, 所以, f1 的机器指令代码长度为 $0040\ 107FH - 0040\ 1020H + 1 = 60H = 96$ 个字节。(1 分)

(3) CF=1。(1 分)

cmp 指令实现 i 与 n-1 的比较功能, 进行的是减法运算。在执行 f1(0)过程中, $n=0$, 当 $i=0$ 时, $i=0000\ 0000H$, 并且 $n-1=FFFF\ FFFFH$ 。因此, 当执行第 20 条指令时, 在补码加/减运算器中执行 “0 减 FFFF FFFFH” 的操作, 即 $0000\ 0000H + 00000000H + 1 = 0000\ 0001H$, 此时, 进位输出 $C=0$, 减法运算时的借位标志 $CF = C \oplus 1 = 1$ 。(2 分)

(4) f2 中不能用 sh1 指令实现 $power*2$ 。(1 分)

因为 sh1 指令用来将一个整数的所有有效数位作为一个整体左移; 而 f2 中的变量 power 是 float 型, 其机器数中不包含最高有效数位, 但包含了阶码部分, 将其作为一个整体左移时并不能实现 “乘 2” 的功能, 因而 f2 中不能用 sh1 指令实现 $power*2$ 。(2 分)

2016 年统考 408 真题-组成原理部分

1. 将高级语言源程序转换为机器级目标代码文件的程序是 ()。

- A. 汇编程序 B. 链接程序 C. 编译程序 D. 解释程序

2. 有如下 C 语言程序段 ()。

```
short si=-32767;
```

```
unsigned short usi = si;
```

执行上述两条语句后, usi 的值为

- A. -32767 B. 32767 C. 32768 D. 32769

3. 某计算机字长为 32 位, 按字节编址, 采用小端(Little Endian)方式存放数据。假定有一个 double 型变量, 其机器数表示为 1122 3344 5566 7788H, 存放在 0000 8040H 开始的连续存储单元中, 则存储单元 0000 8046H 中存放的是 ()。

- A. 22H B. 33H C. 66H D. 77H

4. 有如下 C 语言程序段:

```
for(k=0; k<1000; k++)
```

```
    a[k]=a[k]+32;
```

若数组 a 及变量 k 均为 int 型, int 型数据占 4 B, 数据 Cache 采用直接映射方式、数据区大小为 1 KB、块大小为 16 B, 该程序段执行前 Cache 为空, 则该程序段执行过程中访问数组 a 的 Cache 缺失率约为 ()。

- A. 1.25% B. 2.5% C. 12.5% D. 25%

5. 某存储器容量为 64 KB, 按字节编址, 地址 4000H~5FFFH 为 ROM 区, 其余为 RAM 区。若采用 8 K×4 位的 SRAM 芯片进行设计, 则需要该芯片的数量是 ()。

- A. 7 B. 8 C. 14 D. 16

6. 某指令格式如下所示。

OP M I D

其中 M 为寻址方式, I 为变址寄存器编号, D 为形式地址。若采用先变址后间址的寻址方式, 则操作数的有效地址是 ()。

- A. I+D B. (I)+D C. ((I)+D) D. ((I))+D

7. 某计算机主存空间为 4 GB, 字长为 32 位, 按字节编址, 采用 32 位定长指令字格式。若指令按字边界对齐存放, 则程序计数器(PC)和指令寄存器(IR)的位数至少分别是 ()。

- A. 30、30 B. 30、32 C. 32、30 D. 32、32

8. 在无转发机制的五段基本流水线(取指、译码/读寄存器、运算、访存、写回寄存器)中, 下列指令序列存在数据冒险的指令对是 ()。

I1:add R1, R2, R3 ;(R2)+(R3)→R1 I2:add R5, R2, R4 ;(R2)+(R4)→R5

I3:add R4, R5, R3 ;(R5)+(R3)→R4 I4:add R5, R2, R6 ;(R2)+(R6)→R5

A. I1 和 I2 B. I2 和 I3 C. I2 和 I4 D. I3 和 I4

9. 单周期处理器中所有指令的指令周期为一个时钟周期。下列关于单周期处理器的叙述中, 错误的是 ()。

- A. 可以采用单总线结构数据通路
- B. 处理器时钟频率较低
- C. 在指令执行过程中控制信号不变
- D. 每条指令的 CPI 为 1

10. 下列关于总线设计的叙述中, 错误的是 ()。

- A. 并行总线传输比串行总线传输速度快
- B. 采用信号线复用技术可减少信号线数量
- C. 采用突发传输方式可提高总线数据传输率
- D. 采用分离事务通信方式可提高总线利用率

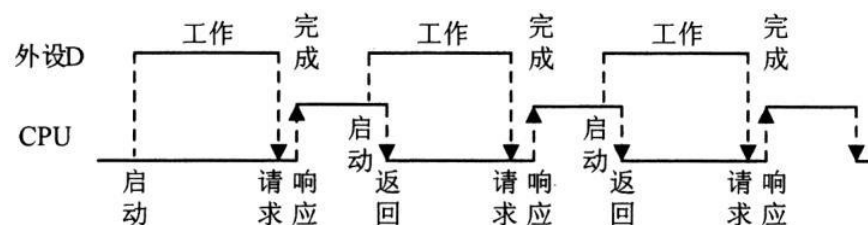
11. 异常是指令执行过程中在处理器内部发生的特殊事件, 中断是来自处理器外部的请求事件。下列关于中断或异常情况的叙述中, 错误的是 ()。

- A. “访存时缺页”属于中断
- B. “整数除以 0”属于异常
- C. “DMA 传送结束”属于中断
- D. “存储保护错”属于异常

12. (9 分)假定 CPU 主频为 50 MHz, CPI 为 4。设备 D 采用异步串行通信方式向主机传送 7 位 ASCII 字符, 通信规程中有 1 位奇校验位和 1 位停止位, 从 D 接收启动命令到字符送入 I/O 端口需要 0.5 ms。请回答下列问题, 要求说明理由。

(1) 每传送一个字符, 在异步串行通信线上共需传输多少位?在设备 D 持续工作过程中, 每秒钟最多可向 I/O 端口送入多少个字符?

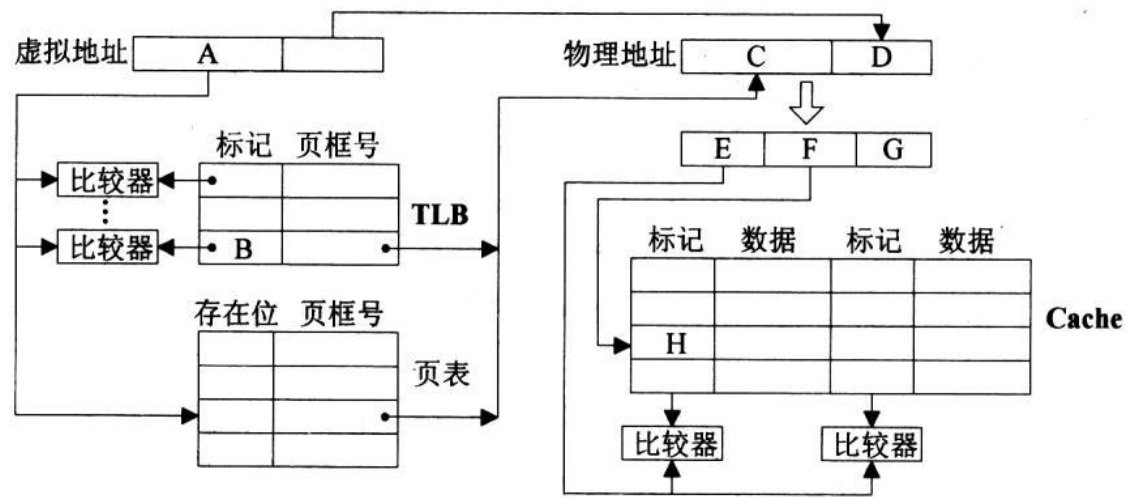
(2) 设备 D 采用中断方式进行输入/输出, 示意图如下:



I/O 端口每收到一个字符申请一次中断, 中断响应需 10 个时钟周期, 中断服务程序共有

20 条指令，其中第 15 条指令启动 D 工作。若 CPU 需从 D 读取 1000 个字符，则完成这一任务所需时间大约是多少个时钟周期？CPU 用于完成这一任务的时间大约是多少个时钟周期？在中断响应阶段 CPU 进行了哪些操作？

13. (14 分)某计算机采用页式虚拟存储管理方式，按字节编址，虚拟地址为 32 位，物理地址为 24 位，页大小为 8 KB；TLB 采用全相联映射；Cache 数据区大小为 64 KB，按 2 路组相联方式组织，主存块大小为 64 B。存储访问过程的示意图如下。



- 请回答下列问题。
- (1) 图中字段 A~G 的位数各是多少？TLB 标记字段 B 中存放的是什么信息？
 - (2) 将块号为 4099 的主存块装入到 Cache 中时，所映射的 Cache 组号是多少？对应的 H 字段内容是什么？
 - (3) Cache 缺失处理的时间开销大还是缺页处理的时间开销大？为什么？
 - (4) 为什么 Cache 可以采用直写(Write Through)策略，而修改页面内容时总是采用回写(Write Back)策略？

1. C 2. D 3. A 4. C 5. C
6. C 7. B 8. B 9. A 10. A
11. A

12. 解答:

(1) 异步通信规定字符由起始位、数据位、奇偶校验位和停止位组成, 因此每传送一个 ASCII 字符, 就需要传送 1 位起始位、7 位数据位 (ASCII 字符占 7 位)、1 位奇校验位和 1 位停止位, 所以在异步串行通信上共需要传输的位数为

$$1 + 7 + 1 + 1 = 10$$

每秒钟最多可向 I/O 端口送入的字符个数为

$$1000/0.5 = 2000$$

(2) 一个字符传输的时间包括设备 D 将字符送入 I/O 端口的时间、中断响应时间以及中断服务程序前 15 条指令的执行时间。时钟周期为主频的倒数, 即

$$1/50 \text{ MHz} = 20 \text{ ns}$$

设备 D 将字符送入 I/O 端口所需的时钟周期数为

$$0.5 \text{ ms}/20 \text{ ns} = 2.5 \times 10^4$$

所以, 一个字符的传输时间 (即所需时钟周期数) 大约为

$$2.5 \times 10^4 + 10 + 15 \times 4 = 25070$$

完成 1000 个字符传输所需的时钟周期数大约为

$$1000 \times 25070 = 25070000$$

CPU 用于该任务的时钟周期数大约为

$$1000 \times (10 + 20 \times 4) = 9 \times 10^4$$

CPU 主要进行的操作有: 关中断、保护断点和程序状态、识别中断源。

13. 解答:

(1) 页大小为 8 KB, 页内偏移地址为 13 位, 故 $A=B=32-13=19$; $D=13$; $C=24-13=11$; 主存块大小为 64 B, 故 $G=6$ 。2 路组相联, 每组数据区容量有 $64 \text{ B} \times 2=128 \text{ B}$, 共有 $64 \text{ KB}/128 \text{ B}=512$ 组, 故 $F=9$; $E=24-G-F=24-6-9=9$ 。

因而 $A=19$, $B=19$, $C=11$, $D=13$, $E=9$, $F=9$, $G=6$ 。(各 1 分, 共 7 分)

TLB 中标记字段 B 的内容是虚页号, 表示该 TLB 项对应哪个虚页的页表项。(1 分)

(2) 块号 $4099=0000010000000011\text{B}$, 因此所映射的 Cache 组号为 $000000011\text{B}=3$, (1 分)对应的 H 字段内容为 00001000B 。(1 分)

(3) Cache 缺失带来的开销小, 而处理缺页的开销大。(1 分)因为缺页处理需要访问磁盘, 而 Cache 缺失只要访问主存。(1 分)

【评分说明】对于(3)中第 2 问, 若考生回答因为缺页需要软件实现而 Cache 缺失用硬

件实现，则同样给分。

(4) 因为采用直写策略时需要同时写快速存储器和慢速存储器，而写磁盘比写主存慢得多，所以，在 Cache-主存层次，Cache 可以采用直写策略，而在主存-外存(磁盘)层次，修改页面内容时总是采用回写策略。(2 分)

- A. 8004 和 8008 B. 8002 和 8007
C. 8001 和 8008 D. 8000 和 8004

8. 下列有关总线定时的叙述中, 错误的是 ()。

- A. 异步通信方式中, 全互锁协议的速度最慢
B. 异步通信方式中, 非互锁协议的可靠性最差
C. 同步通信方式中, 同步时钟信号可由各设备提供
D. 半同步通信方式中, 握手信号的采样由同步时钟控制

9. 若磁盘转速为 7200 转/分, 平均寻道时间为 8 ms, 每个磁道包含 1000 个扇区, 则访问一个扇区的平均存取时间大约是 ()。

- A. 8.1 ms B. 12.2 ms
C. 16.3 ms D. 20.5 ms

10. 在采用中断 I/O 方式控制打印输出的情况下, CPU 和打印控制接口中的 I/O 端口之间交换的信息不可能 ()。

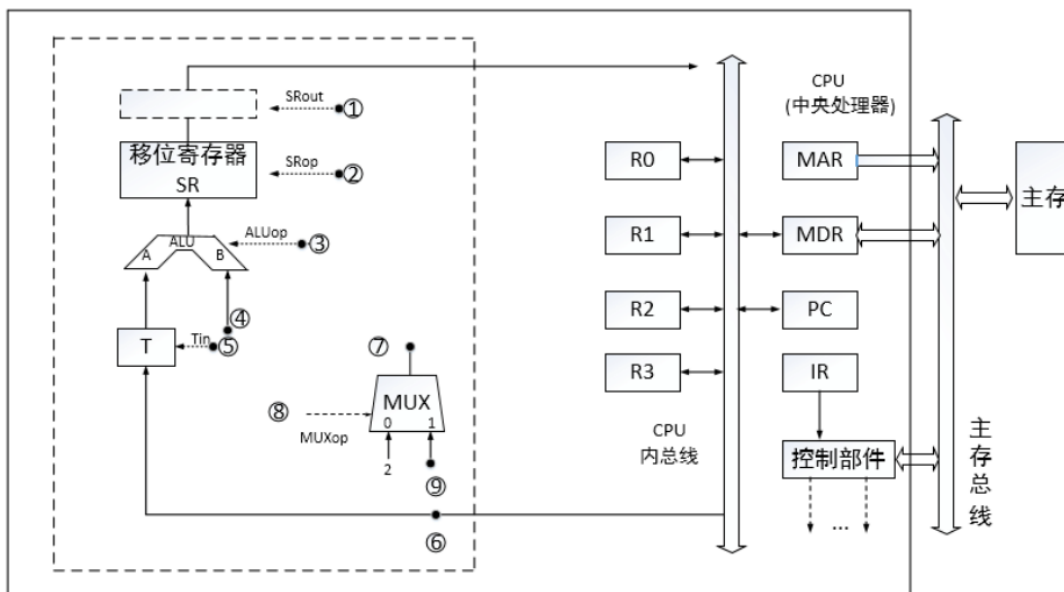
是

- A. 打印字符 B. 主存地址
C. 设备状态 D. 控制命令

11. 内部异常(内中断)可分为故障(fault)、陷阱(trap)和终止(abort)三类。下列有关内部异常的叙述中错误的是 ()。

- A. 内部异常的产生与当前执行指令相关
B. 内部异常的检测由 CPU 内部逻辑实现
C. 内部异常的响应发生在指令执行过程中
D. 内部异常处理后返回到发生异常的指令继续执行

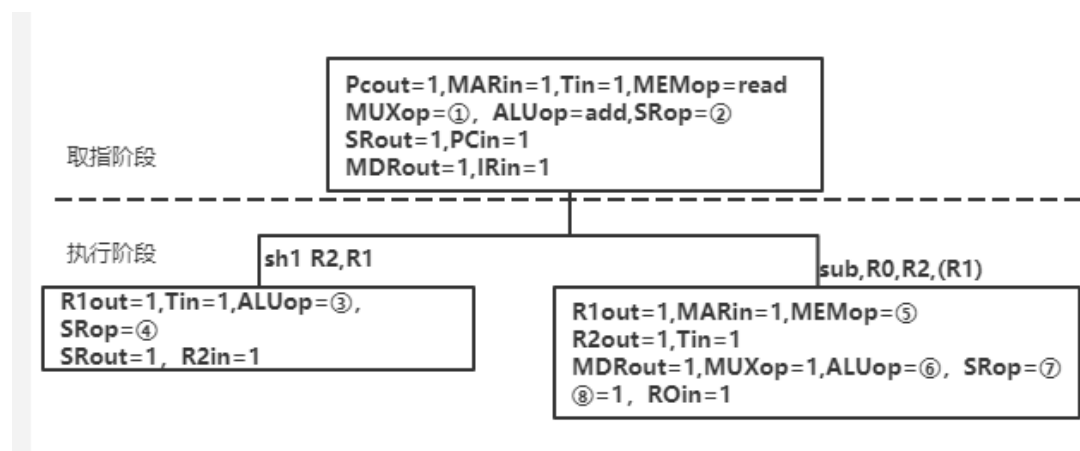
12. (13 分)某 16 位计算机的主存按字节编址, 存取单位为 16 位; 采用 16 位定长指令字格式; CPU 采用单总线结构, 主要部分如下图所示。图中 R0~R3 为通用寄存器; T 为暂存器; SR 为移位寄存器, 可实现直送(mov)、左移一位(left)和右移一位(right)3 种操作, 控制信号为 SROP, SR 的输出由信号 SRout 控制; ALU 可实现直送 A(mova)、A 加 B(add)、A 减 B(sub)、A 与 B(and)、A 或 B(or)、非 A(not)、A 加 1(inc)7 种操作, 控制信号为 ALUop。



请回答下列问题。

- (1) 图中哪些寄存器是程序员可见的?为何要设置暂存器 T?
- (2) 控制信号 ALUop 和 SROP 的位数至少各是多少?
- (3) 控制信号 SRout 所控制部件的名称或作用是什么?
- (4) 端点①~⑨中, 哪些端点须连接到控制部件的输出端?
- (5) 为完善单总线数据通路, 需要在端点①~⑨中相应的端点之间添加必要的连线。写出连线的起点和终点, 以正确表示数据的流动方向。
- (6) 为什么二路选择器 MUX 的一个输入端是 2?

13. (10 分)题 12 中描述的计算机, 其部分指令执行过程的控制信号如题 13 图 a 所示。该机指令格式如题 13 图 b 所示, 支持寄存器直接和寄存器间接两种寻址方式, 寻址方式位分别为 0 和 1, 通用寄存器 R0~R3 的编号分别为 0、1、2 和 3。



题 13 图 a 部分指令的控制信号



其中：Md、Ms1、Ms2为寻址方式位，Rd、Rs1、Rs2为寄存器编号
 三地址指令：源操作数1 op源操作数2 →目的操作数地址
 二地址指令（末三位均为0）：源操作数1 op源操作数1 →目的操作数地址
 单地址指令（末六位均为0）：源操作数1 op目的操作数2 →目的操作数地址

题 13 图 b 指令格式

请回答下列问题。

(1) 该机的指令系统最多可定义多少条指令？

(2) 假定 inc、shl 和 sub 指令的操作码分别为 01H、02H 和 03H，则以下指令对应的机器代码各是什么？

- ①inc R1 ; (R1)+1→R1
- ②shl R2, R1 ; (R1)<<1→R2
- ③sub R3, (R1), R2 ; ((R1))-(R2)→R3

(3) 假设寄存器 x 的输入和输出控制信号分别记为 Xin 和 Xout，其值为 1 表示有效，为 0 表示无效(例如，PCout=1 表示 PC 内容送总线)；存储器控制信号为 MEMOp，用于控制存储器的读(read)和写(write)操作。写出题 13 图 a 中标号①～⑧处的控制信号或控制信号取值。

(4) 指令“sub R1, R3, (R2)”和“inc R1”的执行阶段至少各需要多少个时钟周期？

1. A 2. B 3. D 4. C 5. B
6. B 7. D 8. C 9. B 10. B
11. D

12. 解答:

(1) 程序员可见寄存器为通用寄存器(R0~R3)和 PC。因为采用了单总线结构, 因此, 若无暂存器 T, 则 ALU 的 A、B 端口会同时获得两个相同的数据, 使数据通路不能正常工作。

【评分说明】回答通用寄存器(R0~R3), 给分; 回答 PC, 给分; 部分正确, 酌情给分。设置暂存器 T 的原因若回答用于暂时存放端口 A 的数据, 则给分, 其他答案, 酌情给分。

(2) ALU 共有 7 种操作, 故其操作控制信号 ALUop 至少需要 3 位; 移位寄存器有 3 种操作, 其操作控制信号 SROP 至少需要 2 位。

(3) 信号 SRout 所控制的部件是一个三态门, 用于控制移位器与总线之间数据通路的连接与断开。

【评分说明】只要回答出三态门或者控制连接/断开, 即给分。

(4) 端口①、②、③、⑤、⑧须连接到控制部件输出端。

【评分说明】答案包含④、⑥、⑦、⑨中任意一个, 不给分; 答案不全酌情给分。

(5) 连线 1, ⑥→⑨; 连线 2, ⑦→④。

【评分说明】回答除上述连线以外的其他连线, 酌情给分。

(6) 因为每条指令的长度为 16 位, 按字节编址, 所以每条指令占用 2 个内存单元, 顺序执行时, 下条指令地址为(PC)+2。MUX 的一个输入端为 2, 可便于执行(PC)+2 操作。

13. 解答:

(1) 指令操作码有 7 位, 因此最多可定义 $2^7=128$ 条指令。

(2) 各条指令的机器代码分别如下:

① “inc R1” 的机器码为: 0000001 0 01 0 00 0 00, 即 0240H。

② “sh1 R2, R1” 的机器码为: 0000010 0 10 0 01 0 00, 即 0488H。

③ “sub R3, (R1), R2” 的机器码为: 0000011 0 11 1 01 0 10, 即 06EAH。

(3) 各标号处的控制信号或控制信号取值如下:

①0; ②mov; ③mova; ④left; ⑤read; ⑥sub; ⑦mov; ⑧SRout。

【评分说明】答对两个给分。

(4) 指令 “sub R1, R3, (R2)” 的执行阶段至少包含 4 个时钟周期; 指令 “inc R1” 的执行阶段至少包含 2 个时钟周期。

2014 年统考 408 真题-组成原理部分

1. 程序 P 在机器 M 上的执行时间是 20 秒, 编译优化后, P 执行的指令数减少到原来的 70%, 而 CPI 增加到原来的 1.2 倍, 则 P 在 M 上的执行时间是 ()。

- A. 8.4 秒 B. 11.7 秒 C. 14 秒 D. 16.8 秒

2. 若 $x=103, y=-25$, 则下列表达式采用 8 位定点补码运算实现时, 会发生溢出的是 ()。

- A. $x+y$ B. $-x+y$ C. $x-y$ D. $-x-y$

3. float 型数据常用 IEEE754 单精度浮点格式表示。假设两个 float 型变量 x 和 y 分别存放在 32 位寄存器 f1 和 f2 中, 若 $(f1)=CC90\ 0000H$, $(f2)=B0C0\ 0000H$, 则 x 和 y 之间的关系为 ()。

- A. $x < y$ 且符号相同 B. $x < y$ 且符号不同
C. $x > y$ 且符号相同 D. $x > y$ 且符号不同

4. 某容量为 256MB 的存储器由若干 $4M \times 8$ 位的 DRAM 芯片构成, 该 DRAM 芯片的地址引脚和数据引脚总数是 ()。

- A. 19 B. 22 C. 30 D. 36

5. 采用指令 Cache 与数据 Cache 分离的主要目的是 ()。

- A. 降低 Cache 的缺失损失 B. 提高 Cache 的命中率
C. 降低 CPU 平均访存时间 D. 减少指令流水线资源冲突

6. 某计算机有 16 个通用寄存器, 采用 32 位定长指令字, 操作码字段 (含寻址方式位) 为 8 位, Store 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若基址寄存器可使用任一通用寄存器, 且偏移量用补码表示, 则 Store 指令中偏移量的取值范围是 ()。

- A. $-32768 \sim +32767$ B. $-32767 \sim +32768$
C. $-65536 \sim +65535$ D. $-65535 \sim +65536$

7. 某计算机采用微程序控制器, 共有 32 条指令, 公共的取指令微程序包含 2 条微指令, 各指令对应的微程序平均由 4 条微指令组成, 采用断定法 (下地址字段法) 确定下条微指令地址, 则微指令中下址字段的位数至少是 ()。

- A. 5 B. 6 C. 8 D. 9

8. 某同步总线采用数据线和地址线复用方式, 其中地址/数据线有 32 根, 总线时钟频率为 66MHz, 每个时钟周期传送两次数据(上升沿和下降沿各传送一次数据), 该总线的最大数据传输率(总线带宽)是 ()。

- A. 132 MB/s B. 264 MB/s C. 528 MB/s D. 1056 MB/s

9. 一次总线事务中, 主设备只需给出一个首地址, 从设备就能从首地址开始的若干连续单元读出或写入多个数据。这种总线事务方式称为 ()。

- A. 并行传输 B. 串行传输 C. 突发传输 D. 同步传输

10. 下列有关 I/O 接口的叙述中, 错误的是 ()。

- A. 状态端口和控制端口可以合用同一个寄存器
B. I/O 接口中 CPU 可访问的寄存器称为 I/O 端口
C. 采用独立编址方式时, I/O 端口地址和主存地址可能相同
D. 采用统一编址方式时, CPU 不能用访存指令访问 I/O 端口

11. 若某设备中断请求的响应和处理时间为 100ns, 每 400ns 发出一次中断请求, 中断响应所允许的最长延迟时间为 50ns, 则在该设备持续工作过程中, CPU 用于该设备的 I/O 时间占整个 CPU 时间的百分比至少是 ()。

- A. 12.5% B. 25% C. 37.5% D. 50%

12. (12 分) 某程序中有如下循环代码段 p: for(int i = 0; i < N; i++) sum+=A[i];。假设编译时变量 sum 和 i 分别分配在寄存器 R1 和 R2 中。常量 N 在寄存器 R6 中, 数组 A 的首地址在寄存器 R3 中。程序段 P 起始地址为 0804 8100H, 对应的汇编代码和机器代码如下表所示。

编号	地址	机器代码	汇编代码	注释
1	08048100H	00022080H	loop: sll R4,R2,2	(R2)<<2 → R4
2	08048104H	00083020H	add R4,R4,R3	(R4)+(R3) → R4
3	08048108H	8C850000H	load R5,0(R4)	((R4)+0) → R5
4	0804810CH	00250820H	add R1,R1,R5	(R1)+(R5) → R1
5	08048110H	20420001H	add R2,R2,1	(R2)+1 → R2
6	08048114H	1446FFFAH	bne R2,R6,loop	if(R2)≠(R6) goto loop

执行上述代码的计算机 M 采用 32 位定长指令字, 其中分支指令 bne 采用如下格式:

31	26	25	21	20	16	15	0
OP		Rs		Rd		OFFSET	

OP 为操作码; Rs 和 Rd 为寄存器编号; OFFSET 为偏移量, 用补码表示。请回答下列问题, 并说明理由。

- (1) M 的存储器编址单位是什么?
- (2) 已知 sll 指令实现左移功能, 数组 A 中每个元素占多少位?
- (3) 题 12 表中 bne 指令的 OFFSET 字段的值是多少? 已知 bne 指令采用相对寻址方式, 当前 PC 内容为 bne 指令地址, 通过分析题 12 表中指令地址和 bne 指令内容, 推断出 bne 指令的转移目标地址计算公式。
- (4) 若 M 采用如下“按序发射、按序完成”的 5 级指令流水线: IF (取值)、ID (译码及取数)、EXE (执行)、MEM (访存)、WB (写回寄存器), 且硬件不采取任何转发措施, 分支指令的执行均引起 3 个时钟周期的阻塞, 则 P 中哪些指令的执行会由于数据相关而发生流水线阻塞? 哪条指令的执行会发生控制冒险? 为什么指令 1 的执行不会因为与指令 5 的数据相关而发生阻塞?

13. 假设对于 12 题中的计算机 M 和程序 P 的机器代码, M 采用页式虚拟存储管理; P 开始执行时, (R1)=(R2)=0, (R6)=1000, 其机器代码已调入主存但不在 Cache 中; 数组 A 未调入主存, 且所有数组元素在同一页, 并存储在磁盘同一个扇区。请回答下列问题并说明理由。

- (1) P 执行结束时, R2 的内容是多少?
- (2) M 的指令 Cache 和数据 Cache 分离。若指令 Cache 共有 16 行, Cache 和主存交换的块大小为 32 字节, 则其数据区的容量是多少? 若仅考虑程序段 P 的执行, 则指令 Cache 的命中率为多少?
- (3) P 在执行过程中, 哪条指令的执行可能发生溢出异常? 哪条指令的执行可能产生缺页异常? 对于数组 A 的访问, 需要读磁盘和 TLB 至少各多少次?

1. D 2. C 3. A 4. A 5. D
6. A 7. C 8. C 9. C 10. D
11. B

12. 解答:

(1) 已知计算机 M 采用 32 位定长指令字, 即一条指令占 4B, 观察表中各指令的地址可知, 每条指令的地址差为 4 个地址单位, 即 4 个地址单位代表 4B, 一个地址单位就代表了 1B, 所以该计算机是按字节编址的。(2 分)

(2) 在二进制中某数左移二位相当于以乘四, 由该条件可知, 数组间的数据间隔为 4 个地址单位, 而计算机按字节编址, 所以数组 A 中每个元素占 4B。(2 分)

(3) 由表可知, bne 指令的机器代码为 1446FFFAH, 根据题目给出的指令格式, 后 2B 的内容为 OFFSET 字段, 所以该指令的 OFFSET 字段为 FFFAH, 用补码表示, 值为-6。(1 分) 当系统执行到 bne 指令时, PC 自动加 4, PC 的内容就为 08048118H, 而跳转的目标是 08048100H, 两者相差了 18H, 即 24 个单位的地址间隔, 所以偏移址的一位即是真实跳转地址的-24/-6=4 位。(1 分)可知 bne 指令的转移目标地址计算公式为(PC)+4+OFFSET*4。(1 分)

(4) 由于数据相关而发生阻塞的指令为第 2、3、4、6 条, 因为第 2、3、4、6 条指令都与各自前一条指令发生数据相关。(3 分)

第 6 条指令会发生控制冒险。(1 分)

当前循环的第五条指令与下次循环的第一条指令虽然有数据相关, 但由于第 6 条指令后有 3 个时钟周期的阻塞, 因而消除了该数据相关。(1 分)

【评分说明】

对于第 1 问, 若考生回答: 因为指令 1 和 2、2 和 3、3 和 4、5 和 6 发生数据相关, 因而发生阻塞的指令为第 2、3、4、6 条, 同样给 3 分。答对 3 个以上给 3 分, 部分正确酌情给分。

13. 解答:

(1) R2 里装的是 i 的值, 循环条件是 $i < N(1000)$, 即当 i 自增到不满足这个条件时跳出循环, 程序结束, 所以此时 i 的值为 1000。(1 分)

(2) cache 共有 16 行, 每块 32 字节, 所以 Cache 数据区的容量为 $16 \times 32B = 512B$ 。(1 分)P 共有 6 条指令, 占 24 字节, 小于主存块大小(32B), 其起始地址为 0804 8100H, 对应一块的开始位置, 由此可知所有指令都在一个主存块内。读取第一条指令时会发生 Cache 缺失, 故将 P 所在的主存块调入 Cache 某一行, 以后每次读取指令时, 都能在指令 Cache 中命中。因此在 1000 次循环中, 只会发生 1 次指令访问缺失, 所以指令 Cache 的命中率为: $(1000 \times 6 - 1) / (1000 \times 6) = 99.98\%$ 。(2 分)

【评分说明】若考生给出正确的命中率, 而未说明原因和过程, 给 1 分。若命中率计算

错误，但解题思路正确，可酌情给分。

(3) 指令 4 为加法指令，即对应 $\text{sum} += A[i]$ ，当数组 A 中元素的值过大时，则会导致这条加法指令发生溢出异常；而指令 2、5 虽然都是加法指令，但他们分别为数组地址的计算指令和存储变量 i 的寄存器进行自增的指令，而 i 最大到达 1000，所以他们都不会产生溢出异常。(2 分)

只有访存指令可能产生缺页异常，即指令 3 可能产生缺页异常。(1 分)

因为数组 A 在磁盘的一页上，而一开始数组并不在主存中，第一次访问数组时会导致访盘，把 A 调入内存，而以后数组 A 的元素都在内存中，则不会导致访盘，所以该程序一共访盘一次。(2 分)

每访问一次内存数据就会查 TLB 一次，共访问数组 1000 次，所以此时又访问 TLB 1000 次，还要考虑到第一次访问数组 A，即访问 A[0] 时，会多访问一次 TLB（第一次访问 A[0] 会先查一次 TLB，然后产生缺页，处理完缺页中断后，会重新访问 A[0]，此时又查 TLB），所以访问 TLB 的次数一共是 1001 次。(2 分)

【评分说明】

①对于第 1 问，若答案中除指令 4 外还包含其他运算类指令(即指令 1、2、5)，则给 1 分，其他情况，则给 0 分。

②对于第 2 问，只要回答“load 指令”，即可得分。

③对于第 3 问，若答案中给出的读 TLB 的次数为 1002，同样给分。若直接给出正确的 TLB 及磁盘的访问次数，而未说明原因，给 3 分。若给出的 TLB 及磁盘访问次数不正确，但解题思路正确，可酌情给分。

2013 年统考 408 真题-组成原理部分

1. 某计算机主频为 1.2GHz，其指令分为 4 类，它们在基准程序中所占比例及 CPI 如下表所示。

指令类型	所占比例	CPI
A	50%	2
B	20%	3
C	10%	4
D	20%	5

该机的 MIPS 数是（ ）。

- A. 100 B. 200 C. 400 D. 600

2. 某数采用 IEEE754 单精度浮点数格式表示为 C6400000H，则该数的值是（ ）。

- A. -1.5×2^{13} B. -1.5×2^{12} C. -0.5×2^{13} D. -0.5×2^{12}

3. 某字长为 8 位的计算机中，已知整型变量 x、y 的机器数分别为[x]补=11110100，[y]补=10110000。若整型变量 $z=2 \times x + y/2$ ，则 z 的机器数为（ ）。

- A. 11000000 B. 00100100 C. 10101010 D. 溢出

4. 用海明码对长度为 8 位的数据进行检/纠错时，若能纠正一位错。则校验位数至少为（ ）。

- A. 2 B. 3 C. 4 D. 5

5. 某计算机主存地址空间大小为 256MB，按字节编址。虚拟地址空间大小为 4GB，采用页式存储管理，页面大小为 4KB，TLB（快表）采用全相联映射，有 4 个页表项，内容如下表所示

有效位	标记	页框号
0	FF180H	0002H
1	3FFF1H	0035H
0	02FF3H	0351H
1	03FFFH	0153H

则对虚拟地址 03FFF180H 进行虚实地址变换的结果是（ ）。

- A. 0153180H B. 0035180H C. TLB 缺失 D. 缺页

6. 假设变址寄存器 R 的内容为 1000H，指令中的形式地址为 2000H；地址 1000H 中的内容为 2000H，地址 2000H 中的内容为 3000H，地址 3000H 中的内容为 4000H，则变址寻址方式下访问到的操作数是（ ）。

- A. 1000H B. 2000H C. 3000H D. 4000H

7. 某 CPU 主频为 1.03GHz，采用 4 级指令流水线，每个流水段的执行需要 1 个时钟周期。假定 CPU 执行了 100 条指令，在其执行过程中，没有发生任何流水线阻塞，此时流水线的吞吐率为（ ）。

- A. 0.25×10^9 条指令/秒 B. 0.97×10^9 条指令/秒
C. 1.0×10^9 条指令/秒 D. 1.03×10^9 条指令/秒

8. 下列选项中，用于设备和设备控制器（I/O 接口）之间互连的接口标准是（ ）。

- A. PCI B. USB C. AGP D. PCI-Express

9. 下列选项中，用于提高 RAID 可靠性的措施有（ ）。

I. 磁盘镜像 II. 条带化 III. 奇偶校验 IV. 增加 Cache 机制

- A. 仅 I、II B. 仅 I、III
C. 仅 I、III 和 IV D. 仅 II、III 和 IV

10. 某磁盘的转速为 10000 转/分，平均寻道时间是 6ms，磁盘传输速率是 20MB/s，磁盘控制器延迟为 0.2ms，读取一个 4KB 的扇区所需的平均时间约为（ ）。

- A. 9ms B. 9.4ms C. 12ms D. 12.4ms

11. 下列关于中断 I/O 方式和 DMA 方式比较的叙述中，错误的是（ ）。

- A. 中断 I/O 方式请求的是 CPU 处理时间，DMA 方式请求的是总线使用权
B. 中断响应发生在一条指令执行结束后，DMA 响应发生在一个总线事务完成后
C. 中断 I/O 方式下数据传送通过软件完成，DMA 方式下数据传送由硬件完成
D. 中断 I/O 方式适用于所有外部设备，DMA 方式仅适用于快速外部设备

12. (9 分) 某 32 位计算机，CPU 主频为 800MHz，Cache 命中时的 CPI 为 4，Cache 块大小为 32 字节；主存采用 8 体交叉存储方式，每个体的存储字长为 32 位、存储周期为 40ns；存储器总线宽度为 32 位，总线时钟频率为 200MHz，支持突发传送总线事务。每次读突发传送总线事务的过程包括：送首地址和命令、存储器准备数据、传送数据。每次突发传送 32 字节，传送地址或 32 位数据均需要一个总线时钟周期。请回答下列问题，要求给出理由或计算过程。

- (1) CPU 和总线的时钟周期各为多少？总线的带宽（即最大数据传输率）为多少？
(2) Cache 缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？
(3) 存储器总线完成一次读突发传送总线事务所需的时间是多少？
(4) 若程序 BP 执行过程中，共执行了 100 条指令，平均每条指令需进行 1.2 次访存，Cache 缺失率为 5%，不考虑替换等开销，则 BP 的 CPU 执行时间是多少？

13. (14 分) 某计算机采用 16 位定长指令字格式，其 CPU 中有一个标志寄存器，其中包含进位/借位标志 CF、零标志 ZF 和符号标志 NF。假定为该机设计了条件转移指令，其格式如下：

15	11	10	9	8	7	0
00000	C	Z	N	OFFSET		

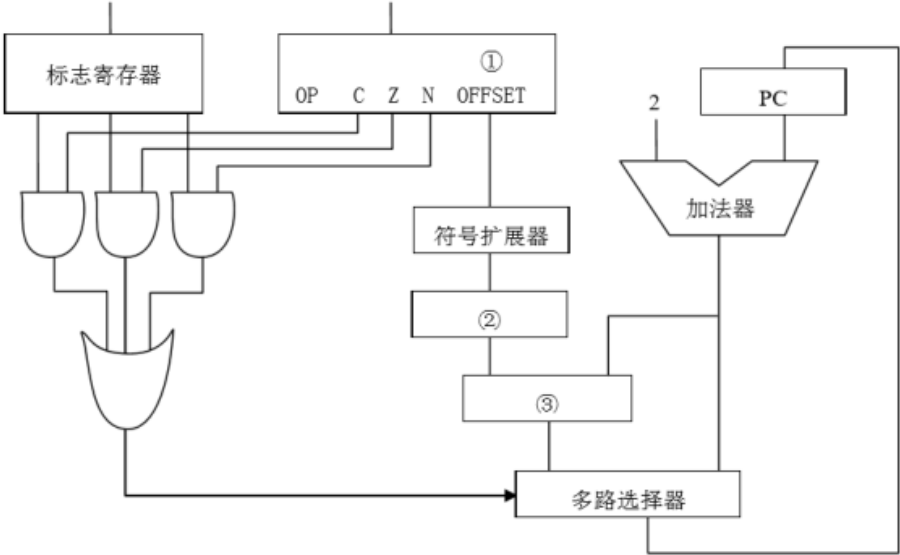
其中，00000 为操作码 OP；C、Z 和 N 分别为 CF、ZF 和 NF 的对应检测位，某检测位为 1 时表示需检测对应标志，需检测的标志位中只要有一个为 1 就转移，否则不转移，例如，若 C=1，Z=0，N=1，则需检测 CF 和 NF 的值，当 CF=1 或 NF=1 时发生转移；OFFSET 是相对偏移量，用补码表示。转移执行时，转移目标地址为 $(PC) + 2 + 2 \times \text{OFFSET}$ ；顺序执行时，下条指令地址为 $(PC) + 2$ 。请回答下列问题。

(1) 该计算机存储器按字节编址还是按字编址？该条件转移指令向后（反向）最多可跳转多少条指令？

(2) 某条件转移指令的地址为 200CH，指令内容如下图所示，若该指令执行时 CF=0，ZF=0，NF=1，则该指令执行后 PC 的值是多少？若该指令执行时 CF=1，ZF=0，NF=0，则该指令执行后 PC 的值又是多少？请给出计算过程。

15	11	10	9	8	7	0
00000	0	1	1	11100011		

- (3) 实现“无符号数比较小于等于时转移”功能的指令中，C、Z 和 N 应各是什么？
 (4) 以下是该指令对应的数据通路示意图，要求给出图中部件①~③的名称或功能



1. C 2. A 3. A 4. C 5. A
6. D 7. C 8. B 9. B 10. B
11. D

12. 解答:

- (1) CPU 的时钟周期为: $1/800\text{MHz}=1.25\text{ns}$ 。(1 分) 总线的时钟周期为: $1/200\text{MHz}=5\text{ns}$ 。
(1 分) 总线带宽为: $4\text{B}\times 200\text{MHz}=800\text{MB/s}$ 或 $4\text{B}/5\text{ns}=800\text{MB/s}$ 。(1 分)
(2) Cache 块大小是 32B, 因此 Cache 缺失时需要一个读突发传送总线事务读取一个主存块。(1 分)
(3) 一次读突发传送总线事务包括一次地址传送和 32B 数据传送: 用 1 个总线时钟周期传输地址; 每隔 $40\text{ns}/8=5\text{ns}$ 启动一个体工作 (各进行 1 次存取), 第一个体读数据花费 40ns , 之后数据存取与数据传输重叠; 用 8 个总线时钟周期传输数据。读突发传送总线事务时间: $5\text{ns}+40\text{ns}+8\times 5\text{ns}=85\text{ns}$ 。(2 分)
(4) BP 的 CPU 执行时间包括 Cache 命中时的指令执行时间和 Cache 缺失时带来的额外开销。命中时的指令执行时间: $100\times 4\times 1.25\text{ns}=500\text{ns}$ 。(1 分) 指令执行过程中 Cache 缺失时的额外开销: $1.2\times 100\times 5\%\times 85\text{ns}=510\text{ns}$ 。BP 的 CPU 执行时间: $500\text{ns}+510\text{ns}=1010\text{ns}$ 。(2 分)

【评分说明】

①执行时间采用如下公式计算时, 可酌情给分。执行时间=指令条数 \times CPI \times 时钟周期 \times 命中率+访存次数 \times 缺失率 \times 缺失损失

②计算公式正确但运算结果不正确时, 可酌情给分。

13. 解答:

- (1) 因为指令长度为 16 位, 且下条指令地址为 (PC)+2, 故编址单位是字节。(1 分) 偏移 OFFSET 为 8 位补码, 范围为 -128~127, 故相对于当前条件转移指令, 向后最多可跳转 127 条指令。(2 分)

【评分说明】若正确给出 OFFSET 的取值范围, 则酌情给分。

- (2) 指令中 C=0, Z=1, N=1, 故应根据 ZF 和 NF 的值来判断是否转移。当 CF=0, ZF=0, NF=1 时, 需转移。(1 分) 已知指令中偏移量为 11100011B=E3H, 符号扩展后为 FFE3H, 左移一位 (乘 2) 后为 FFC6H, 故 PC 的值 (即转移目标地址) 为 $200\text{CH}+2+\text{FFC6H}=1\text{FD4H}$ 。
(2 分) 当 CF=1, ZF=0, NF=0 时不转移。(1 分) PC 的值为: $200\text{CH}+2=200\text{EH}$ 。(1 分)

- (3) 指令中的 C、Z 和 N 应分别设置为 C=Z=1, N=0。(3 分)

(4) 部件①: 指令寄存器 (用于存放当前指令); 部件②: 移位寄存器 (用于左移一位); 部件③: 加法器 (地址相加)。(3 分)

【评分说明】合理给出部件名称或功能说明均给分。

2012 年统考 408 真题-组成原理部分

1. 假定基准程序 A 在某计算机上的运行时间为 100 秒，其中 90 秒为 CPU 时间，其余为 I/O 时间。若 CPU 速度提高 50%，I/O 速度不变，则运行基准程序 A 所耗费的时间是（ ）。

- A. 55 秒 B. 60 秒 C. 65 秒 D. 70 秒

2. 假定编译器规定 int 和 short 型长度分别为 32 位和 16 位，执行下列 C 语言语句：

```
unsigned short x = 65530;
```

```
unsigned int y = x;
```

得到 y 的机器数为（ ）。

- A. 00007FFAH B. 0000FFFAH
C. FFFF7FFAH D. FFFFFFFAH

3. float 类型（即 IEEE754 单精度浮点数格式）能表示的最大正整数是（ ）。

- A. 2126-2103 B. 2127-2104
C. 2127-2103 D. 2128-2104

4. 某计算机存储器按字节编址，采用小端方式存放数据。假定编译器规定 int 型和 short 型长度分别为 32 位和 16 位，并且数据按边界对齐存储。某 C 语言程序段如下：

```
struct{  
    int    a;  
    char   b;  
    short  c;  
}record;  
record.a = 273;
```

若 record 变量的首地址为 0xC008，则地址 0xC008 中内容及 record.c 的地址分别为（ ）。

- A. 0x00、0xC00D B. 0x00、0xC00E
C. 0x11、0xC00D D. 0x11、0xC00E

5. 下列关于闪存（FlashMemory）的叙述中，错误的是（ ）。

- A. 信息可读可写，并且读、写速度一样快
B. 存储元由 MOS 管组成，是一种半导体存储器
C. 掉电后信息不丢失，是一种非易失性存储器
D. 采用随机访问方式，可替代计算机外部存储器

6. 假设某计算机按字编址, Cache 有 4 个行, Cache 和主存之间交换的块大小为 1 个字。若 Cache 的内容初始为空, 采用 2 路组相联映射方式和 LRU 替换策略。访问的主存地址依次为 0,4,8,2,0,6,8,6,4,8 时, 命中 Cache 的次数是 ()。

- A. 1 B. 2 C. 3 D. 4

7. 某计算机的控制器采用微程序控制方式, 微指令中的操作控制字段采用字段直接编码法, 共有 33 个微命令, 构成 5 个互斥类, 分别包含 7、3、12、5 和 6 个微命令, 则操作控制字段至少有 ()。

- A. 5 位 B. 6 位 C. 15 位 D. 33 位

8. 某同步总线的时钟频率为 100MHz, 宽度为 32 位, 地址/数据线复用, 每传输一个地址或数据占用一个时钟周期。若该总线支持突发(猝发)传输方式, 则一次“主存写”总线事务传输 128 位数据所需要的时间至少是 ()。

- A. 20ns B. 40ns C. 50ns D. 80ns

9. 下列关于 USB 总线特性的描述中, 错误的是 ()。

- A. 可实现外设的即插即用和热拔插
- B. 可通过级联方式连接多台外设
- C. 是一种通信总线, 连接不同外设
- D. 同时可传输 2 位数据, 数据传输率高

10. 下列选项中, 在 I/O 总线的数据线上传输的信息包括 ()。

- I. I/O 接口中的命令字
- II. I/O 接口中的状态字
- III. 中断类型号

- A. 仅 I、II B. 仅 I、III
C. 仅 II、III D. I、II、III

11. 响应外部中断的过程中, 中断隐指令完成的操作, 除保护断点外, 还包括 ()。

- I. 关中断
- II. 保存通用寄存器的内容
- III. 形成中断服务程序入口地址并送 PC

- A. 仅 I、II B. 仅 I、III
C. 仅 II、III D. I、II、III

12. 假定某计算机的 CPU 主频为 80MHz, CPI 为 4, 平均每条指令访存 1.5 次, 主存与 Cache 之间交换的块大小为 16B, Cache 的命中率为 99%, 存储器总线宽带为 32 位。请回答下列问题。

(1) 该计算机的 MIPS 数是多少? 平均每秒 Cache 缺失的次数是多少? 在不考虑 DMA 传送的情况下, 主存带宽至少达到多少才能满足 CPU 的访存要求?

(2) 假定在 Cache 缺失的情况下访问主存时, 存在 0.0005% 的缺页率, 则 CPU 平均每秒产生多少次缺页异常? 若页面大小为 4KB, 每次缺页都需要访问磁盘, 访问磁盘时 DMA 传送采用周期挪用方式, 磁盘 I/O 接口的数据缓冲寄存器为 32 位, 则磁盘 I/O 接口平均每秒发出的 DMA 请求次数至少是多少?

(3) CPU 和 DMA 控制器同时要求使用存储器总线时, 哪个优先级更高? 为什么?

(4) 为了提高性能, 主存采用 4 体低位交叉存储模式, 工作时每 $1/4$ 个存储周期启动一个体。若每个体的存储周期为 50ns, 则该主存能提供的最大带宽是多少?

13. 某 16 位计算机中，带符号整数用补码表示，数据 Cache 和指令 Cache 分离。题 44 表给出了指令系统中部分指令格式，其中 Rs 和 Rd 表示寄存器，mem 表示存储单元地址，(x) 表示寄存器 x 或存储单元 x 的内容。

题 13 表 指令系统中部分指令格式

名称	指令的汇编格式	指令功能
加法指令	ADDRs, Rd	$(Rs) + (Rd) \rightarrow Rd$
算术/逻辑左移	SHLRd	$2 * (Rd) \rightarrow Rd$
算术右移	SHRRd	$(Rd) / 2 \rightarrow Rd$
取数指令	LOADRd, mem	$(mem) \rightarrow Rd$
存数指令	STORERs, mem	$(Rs) \rightarrow mem$

该计算机采用 5 段流水方式执行指令，各流水段分别是取指 (IF)、译码/读寄存器 (ID)、执行/计算有效地址 (EX)、访问存储器 (M) 和结果写回寄存器 (WB)，流水线采用“按序发射，按序完成”方式，没有采用转发技术处理数据相关，并且同一个寄存器的读和写操作不能在同一个时钟周期内进行。请回答下列问题：

- (1) 若 int 型变量 x 的值为 -513，存放在寄存器 R1 中，则执行指令“SHLR1”后，R1 的内容是多少？（用十六进制表示）
- (2) 若某个时间段中，有连续的 4 条指令进入流水线，在其执行过程中没有发生任何阻塞，则执行这 4 条指令所需的时钟周期数为多少？
- (3) 若高级语言程序中某赋值语句为 $x=a+b$ ，x、a 和 b 均为 int 型变量，它们的存储单元地址分别表示为 [x]、[a] 和 [b]。该语句对应的指令序列及其在指令流水线中的执行过程如下图所示。

I1 LOAD R1, [a]
I2 LOAD R2, [b]
I3 ADD R1, R2
I4 STORE R2, [x]

	时间单元													
指令	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I1	IF	ID	EX	M	W									
I2		IF	ID	EX	M	WB								
I3			IF				ID	EX	M	WB				
I4							IF				ID	EX	M	WB

指令序列及其执行过程示意图

则这 4 条指令执行过程中，I3 的 ID 段和 I4 的 IF 段被阻塞的原因各是什么？

- (4) 若高级语言程序中某赋值语句为 $x=x*2+a$ ，x 和 a 均为 unsignedint 类型变量，它们的存储单元地址分别表示为 [x]、[a]，则执行这条语句至少需要多少个时钟周期？要求模仿题 44 图画出这条语句对应的指令序列及其在流水线中的执行过程示意图。

1. D 2. B 3. D 4. D 5. A
6. C 7. C 8. C 9. D 10. D
11. B

12. 解答:

(1) 平均每秒 CPU 执行的指令数为: $80M/4=20M$, 故 MIPS 数为 20; (1 分)
平均每条指令访存 1.5 次, 故平均每秒 Cache 缺失的次数= $20M \times 1.5 \times (1-99\%)=300k$; (1 分)
当 Cache 缺失时, CPU 访问主存, 主存与 Cache 之间以块为传送单位, 此时, 主存带宽为 $16B \times 300k/s=4.8MB/s$ 。在不考虑 DMA 传输的情况下, 主存带宽至少达到 4.8MB/s 才能满足 CPU 的访存要求。(2 分)

(2) 题中假定在 Cache 缺失的情况下访问主存, 平均每秒产生缺页中断 $300000 \times 0.0005\%=1.5$ 次。因为存储器总线宽度为 32 位, 所以每传送 32 位数据, 磁盘控制器发出一次 DMA 请求, 故平均每秒磁盘 DMA 请求的次数至少为 $1.5 \times 4KB/4B=1.5K=1536$ 。(2 分)

(3) CPU 和 DMA 控制器同时要求使用存储器总线时, DMA 请求优先级更高; (1 分)
因为 DMA 请求得不到及时响应, I/O 传输数据可能会丢失。(1 分)

(4) 4 体交叉存储模式能提供的最大带宽为 $4 \times 4B/50ns=320MB/s$ 。(2 分)

13. 解答:

(1) x 的机器码为[x]补=111111011111B, 即指令执行前(R1)=FDFFH, 右移 1 位后为 111111101111111B, 即指令执行后(R1)=FEFFH。(2 分)

【评分说明】仅正确写出指令执行前的(R1)可给 1 分。

(2) 至少需要 $4+(5-1)=8$ 个时钟周期数。(2 分)

(3) I3 的 ID 段被阻塞的原因: 因为 I3 与 I1 和 I2 都存在数据相关, 需等到 I1 和 I2 将结果写回寄存器后, I3 才能读寄存器内容, 所以 I3 的 ID 段被阻塞。(1 分) I4 的 IF 段被阻塞的原因: 因为 I4 的前一条指令 I3 在 ID 段被阻塞, 所以 I4 的 IF 段被阻塞。(1 分)

(4) 因 $2 \times x$ 操作有左移和加法两种实现方法, 故 $x=x \times 2+a$ 对应的指令序列为

```
I1  LOAD    R1, [x]
I2  LOAD    R2, [a]
I3  SHL R1  //或者  ADD R1, R1
I4  ADD R1, R2
I5  STORE   R2, [x]
```

【评分说明】指令正确给 2 分; 其他正确答案同样给分; 部分正确, 酌情给分。这 5 条指令在流水线中执行过程如下图所示。(3 分)

	时间单元																
指令	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
I1	IF	ID	EX	M	WB												
I2		IF	ID	EX	M	WB											
I3			IF			ID	EX	M	WB								
I4						IF				ID	EX	M	WB				
I5										IF				ID	EX	M	WB

2011 年统考 408 真题-组成原理部分

1. 下列选项中, 描述浮点数操作速度指标的是 ()。
A. MIPS B. CPI C. IPC D. MFLOPS
2. float 型数据通常用 IEEE754 单精度浮点数格式表示。若编译器将 float 型变量 x 分配在一个 32 位浮点寄存器 FR1 中, 且 $x = -8.25$, 则 FR1 的内容是 ()。
A. C1040000H B. C2420000H
C. C1840000H D. C1C20000H
3. 下列各类存储器中, 不采用随机存取方式的是 ()。
A. EPROM B. CDROM C. DRAM D. SRAM
4. 某计算机存储器按字节编址, 主存地址空间大小为 64MB, 现用 4M*8 位的 RAM 芯片组成 32MB 的主存储器, 则存储器地址寄存器 MAR 的位数至少是 ()。
A. 22 位 B. 23 位 C. 25 位 D. 26 位
5. 偏移寻址通过将某个寄存器内容与一个形式地址相加而生成有效地址。下列寻址方式中, 不属于偏移寻址方式的是 ()。
A. 间接寻址 B. 基址寻址 C. 相对寻址 D. 变址寻址
6. 某机器有一个标志寄存器, 其中有进位/借位标志 CF、零标志 ZF、符号标志 SF 和溢出标志 OF, 条件转移指令 bgt (无符号整数比较大小时转移) 的转移条件是 ()。
A. CF OF 1
B. SF ZF 1
C. CF ZF 1
D. CF SF 1
7. 下列给出的指令系统特点中, 有利于实现指令流水线的是 ()。
I. 指令格式规整且长度一致
II. 指令和数据按边界对齐存放
III. 只有 Load/Store 指令才能对操作数进行存储访问
A. 仅 I、II B. 仅 II、III C. 仅 I、III D. I、II、III
8. 假定不采用 Cache 和指令预取技术, 且机器处于“开中断”状态, 则在下列有关指令执行的叙述中, 错误的是 ()。
A. 每个指令周期中 CPU 都至少访问内存一次
B. 每个指令周期一定大于或等于一个 CPU 时钟周期

- C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
- D. 当前程序在每条指令执行结束时都可能被外部中断打断

9. 在系统总线的数据线上, 不可能传输的是 ()。

- A. 指令
- B. 操作数
- C. 握手(应答)信号
- D. 中断类信号

10. 某计算机有五级中断 $L_4 \sim L_0$, 中断屏蔽字为 $M_4M_3M_2M_1M_0$, $M_i=1$ ($0 \leq i \leq 4$) 表示对 L_i 级中断进行屏蔽。若中断响应优先级从高到低的顺序是 $L_0 \rightarrow L_1 \rightarrow L_2 \rightarrow L_3 \rightarrow L_4$, 且要求中断处理优先级从高到低的顺序是 $L_4 \rightarrow L_0 \rightarrow L_2 \rightarrow L_1 \rightarrow L_3$, 则 L_1 的中断处理程序中设置的中断屏蔽字是 ()。

- A. 11110
- B. 01101
- C. 00011
- D. 01010

11. 某计算机处理器主频为 50MHz, 采用定时查询方式控制设备 A 的 I/O, 查询程序运行一次所用的时钟周期至少为 500。在设备 A 工作期间, 为保证数据不丢失, 每秒需对其查询至少 200 次, 则 CPU 用于设备 A 的 I/O 的时间占整个 CPU 时间的百分比至少是 ()。

- A. 0.02%
- B. 0.05%
- C. 0.20%
- D. 0.50%

12. (11 分) 假定在一个 8 位字长的计算机中运行如下类 C 程序段:

```
unsigned int x = 134;
unsigned int y = 246;
int m = x;
int n = y;
unsigned int z1 = x-y;
unsigned int z2 = x+y;
int k1 = m-n;
int k2 = m+n;
```

若编译器编译时将 8 个 8 位寄存器 $R_1 \sim R_8$ 分别分配给变量 x 、 y 、 m 、 n 、 z_1 、 z_2 、 k_1 和 k_2 。请回答下列问题 (提示: 带符号整数用补码表示):

- (1) 执行上述程序段后, 寄存器 R_1 、 R_5 和 R_6 的内容分别是什么? (用十六进制表示)
- (2) 执行上述程序段后, 变量 m 和 k_1 的值分别是多少? (用十进制表示)
- (3) 上述程序段涉及带符号整数加/减、无符号整数加/减运算, 这四种运算能否利用同一个加法器及辅助电路实现? 简述理由。
- (4) 计算机内部如何判断带符号整数加/减运算的结果是否发生溢出? 上述程序段中, 哪些带符号整数运算语句的执行结果会发生溢出?

13. (12 分) 某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为 16MB，主存（物理）地址空间大小为 1MB，页面大小为 4KB；Cache 采用直接映射方式，共 8 行；主存与 Cache 之间交换的块大小为 32B。系统运行到某一时刻时，页表的部分内容和 Cache 的部分内容如下表所示，图中页框号及标记字段的内容为十六进制形式。

页表的部分内容			标记字段的内容		
虚页号	有效位	页框号	行号	有效位	标记
0	1	06	0	1	020
1	1	04	1	0	—
2	1	15	2	1	01D
3	1	02	3	1	105
4	0	—	4	1	064
5	1	2B	5	1	14D
6	0	—	6	01	—
7	1	32	7		27A

请回答下列问题：

- （1）虚拟地址共有几位，哪几位表示虚页号？物理地址共有几位，哪几位表示页框号？（物理页号）？
- （2）使用物理地址访问 Cache 时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。
- （3）虚拟地址 001C60H 所在的页面是否在主存中？若在主存中，则该虚拟地址对应的物理地址是什么？访问该地址时是否 Cache 命中？要求说明理由。
- （4）假定为该机配置一个 4 路组相连的 TLB，该 TLB 共可存放 8 个页表项，若其当前内容（十六进制）如题 13 图所示，则此时虚拟地址 024BACH 所在的页面是否在主存中？要求说明理由。

组号	有效位	标记	页框号		有效位	标记	页框号		有效位	标记	页框号		有效位	标记	页框号
0	0	—	—		1	001	15		0	—	—		1	012	1F
1	1	013	2D		0	—	—		1	008	7E		0	—	—

题 13 图

1. D 2. A 3. B 4. D 5. A
6. C 7. D 8. C 9. C 10. D
11. C

12. 解答:

(1) $R1=134=86H, R5=90H, R6=7CH$;

$134=10000110B=86H$;

$x-y=10000110B-11110110B=10010000B=90H$;

$x+y=10000110B+11110110B=01111100B$ (溢出)

(2) $m=-122, k1=-112$

$m=10000110B$, 做高位为符号位, 则 m 的原码为 $11111010B=-122$;

$n=11110110B$; n 的原码为 $10001001=-10$; $k1=m-n=-112$ 。

(3) 无符号数和有符号数都是以补码的形式存储, 加减运算没有区别(不考虑溢出情况时), 只是输出的时候若有符号数的最高位是符号位。

减法运算求 $[-x]$ 补的时候, 是连同符号位一起按位取反末位加 1, 但是如果有溢出情况, 这两者是有区别的, 所以可以利用同一个加法器实现, 但是溢出判断电路不同。

(4) 判断方法是如果最高位进位和符号位的进位不同, 则为溢出; “ $intk2=m+n$;” 会溢出; 三种方法可以判断溢出, 双符号位、最高位进位、符号相同操作的运算后与原操作数的符号不同则溢出。

13. 解答:

(1) 24 位、前 12 位; 20 位、前 8 位。16M=224 故虚拟地址 24 位, 4K=212, 故页内地址 12 位, 所以虚页号为前 12 位; 1M=220。故物理地址 20 位, $20-12=8$, 故前 8 位为页框号。

(2) 主存字块标记 (12bit)、cache 字块标记 (3bit)、字块内地址 (5bit)

物理地址 20 位, 其中, 块大小为 32B=25B 故块内地址 5 位; cache 共 8 行, $8=2^3$, 故字块标记为 3 位; $20-5-2=12$, 故主存字块标记为 12 位。

(3) 在主存中, 04C60H, 不命中, 没有 04C 的标记字段 001C60H 中虚页号为 001H=1, 查页表知其有效位为 1, 在内存中; 该物理地址对应的也表项中, 页框号为 04H 故物理地址为 04C60H; 物理地址 04C60H 在直接映射方式下, 对应的行号为 4, 有效位为 1 但是标记位为 064H \neq 04CH 故不命中。

(4) 在 012 的那个标记是对的。

思路: 标记 11 位组地址 1 位页内地址 12 位, 前 12 位为 000000100100, 组地址位为 0, 第 0 组中存在标记为 012 的页, 其页框号为 1F, 故 024BACH 所在的页面存在主存中。

2010 年统考 408 真题-组成原理部分

1. 下列选项中, 能缩短程序执行时间的措施是 ()。

- I. 提高 CPU 时钟频率
- II. 优化数据通路结构
- III. 对程序进行编译优化

- A. 仅 I 和 II
- B. 仅 I 和 III
- C. 仅 II 和 III
- D. I、II 和 III

2. 假定有 4 个整数用 8 位补码分别表示 $r1=FEH$, $r2=F2H$, $r3=90H$, $r4=F8H$, 若将运算结果存放在一个 8 位寄存器中, 则下列运算中会发生溢出的是 ()。

- A. $r1xr2$
- B. $r2xr3$
- C. $r1xr4$
- D. $r2xr4$

3. 假定变量 i 、 f 和 d 的数据类型分别 `int`、`float` 和 `double` (`int` 用补码表示, `float` 和 `double` 分别用 IEEE754 单精度和双精度浮点数格式表示), 已知 $i=785$, $f=1.5678e3$, $d=1.5e100$ 。若在 32 位机器中执行下列关系表达式, 则结果为“真”的是 ()。

- (I) $i == (int)(float)i$
- (II) $f == (float)(int)f$
- (III) $f == (float)(double)f$
- (IV) $(d+f) - d == f$

- A. 仅 I 和 II
- B. 仅 I 和 III
- C. 仅 II 和 III
- D. 仅 III 和 IV

4. 假定用若干个 $2k \times 4$ 位的芯片组成一个 $8k \times 8$ 位的存储器, 则地址 $0B1FH$ 所在芯片的最小地址是 ()。

- A. $0000H$
- B. $0600H$
- C. $0700H$
- D. $0800H$

5. 下列有关 RAM 和 ROM 的叙述中, 正确的是 ()。

IRAM 是易失性存储器, ROM 是非易失性存储器

IIRAM 和 ROM 都采用随机存取方式进行信息访问

IIIRAM 和 ROM 都可用作 Cache

IVRAM 和 ROM 都需要进行刷新

- A. 仅 I 和 II
- B. 仅 II 和 III
- C. 仅 I, II 和 IV
- D. 仅 II, III 和 IV

6. 下列命中组合情况中，一次访存过程中不可能发生的是（ ）。
- A. TLB 未命中，Cache 未命中，Page 未命中
 - B. TLB 未命中，Cache 命中，Page 命中
 - C. TLB 命中，Cache 未命中，Page 命中
 - D. TLB 命中，Cache 命中，Page 未命中
7. 下列寄存器中，汇编语言程序员可见的是（ ）。
- A. 存储器地址寄存器(MAR)
 - B. 程序计数器(PC)
 - C. 存储器数据寄存器(MDR)
 - D. 指令寄存器(IR)
8. 下列选项中，不会引起指令流水线阻塞的是（ ）。
- A. 数据旁路（转发）
 - B. 数据相关
 - C. 条件转移
 - D. 资源冲突
9. 下列选项中的英文缩写均为总线标准的是（ ）。
- A. PCI、CRT、USB、EISA
 - B. ISA、CPI、VESA、EISA
 - C. ISA、SCSI、RAM、MIPS
 - D. ISA、EISA、PCI、PCI-Express
10. 单级中断系统中，中断服务程序内的执行顺序是（ ）。
- I 保护现场 II 开中断 III 关中断 IV 保存断点
- V 中断事件处理 VI 恢复现场 VII 中断返回
- A. I->V->VI->II->VII
 - B. III->I->V->VII
 - C. III->IV->V->VI->VII
 - D. IV->I->V->VI->VII
11. 假定一台计算机的显示存储器用 DRAM 芯片实现，若要求显示分辨率为 1600*1200，颜色深度为 24 位，帧频为 85HZ，显存总带宽的 50%用来刷新屏幕，则需要的显存总带宽至少约为（ ）。
- A. 245Mbps
 - B. 979Mbps
 - C. 1958Mbps
 - D. 7834Mbps

12. (11 分) 某计算机字长为 16 位，主存地址空间大小为 128KB，按字编址。采用单字长指令格式，指令各字段定义如下：

15	12	11		6	5		0
OP	Ms		Rs		Md		Rd
源操作数				目的操作数			

转移指令采用相对寻址方式，相对偏移量用补码表示，寻址方式定义如下：

Ms/Md	寻址方式	助记符	含义
000B	寄存器直接	Rn	操作数= (Rn)
001B	寄存器间接	(Rn)	操作数= ((Rn))
010B	寄存器间接	自增 (Rn) +	操作数= ((Rn)), (Rn) +1 → Rn
011B	相对 D	(Rn)	转移目标地址= (PC) + (Rn)

注：(X) 表示存储器地址 X 或寄存器 X 的内容。

请回答下列问题：

(1) 该指令系统最多可有多少条指令？该计算机最多有多少个通用寄存器？存储器地址寄存器 (MAR) 和存储器数据寄存器 (MDR) 至少各需要多少位？

(2) 转移指令的目标地址范围是多少？

(3) 若操作码 0010B 表示加法操作 (助记符为 add)，寄存器 R4 和 R5 的编号分别为 100B 和 101B，R4 的内容为 1234H，R5 的内容为 5678H，地址 1234H 中的内容为 5678H，地址 5678H 中的内容为 1234H，则汇编语言为 “add (R4), (R5) +” (逗号前为源操作数，

逗号后为目的操作数) 对应的机器码是什么 (用十六进制表示)？该指令执行后，哪些寄存器和存储单元中的内容会改变？改变后的内容是什么？

13. (12 分) 某计算机的主存地址空间大小为 256MB, 按字节编址。指令 Cache 和数据 Cache 分离, 均有 8 个 Cache 行, 每个 Cache 行大小为 64B, 数据 Cache 采用直接映射方式。现有两个功能相同的程序 A 和 B, 其伪代码如下所示:

程序A:

```
int a[256][256]
****
int sum_array1()
{
    int i, j, sum=0;
    for(i=0; i<256; i++)
        for(j=0; j<256; j++)
            sum += a[i][j];
    return sum;
}
```

程序B:

```
int a[256][256]
****
int sum_array2()
{
    int i, j, sum=0;
    for(j=0; j<256; j++)
        for(i=0; i<256; i++)
            sum += a[i][j];
    return sum;
}
```

假定 int 类型数据用 32 位补码表示, 程序编译时 i, j, sum 均分配在寄存器中, 数组 a 按行优先方式存放, 其首地址为 320 (十进制数)。请回答下列问题, 要求说明理由或给出计算过程。

- (1) 若不考虑用于 cache 一致性维护和替换算法的控制位, 则数据 Cache 的总容量为多少?
- (2) 数组元素 a[0][31]和 a[1][1]各自所在的主存块对应的 Cache 行号分别是多少 (Cache 行号从 0 开始)?
- (3) 程序 A 和 B 的数据访问命中率各是多少? 哪个程序的执行时间更短?

1. D 2. B 3. B 4. D 5. A
6. D 7. B 8. A 9. D 10. A
11. D

12. 解答:

(1) 操作码占 4 位, 则该指令系统最多可有 $2^4=16$ 条指令; 操作数占 6 位, 寻址方式占 3 位, 于是寄存器编号占 3 位, 则该机最多有 $2^3=8$ 个通用寄存器; 主存容量 128KB, 按字编址, 计算机字长为 16 位, 划分为 $128KB/2B=216$ 个存储单元, 故 MDR 和 MAR 至少各需 16 位。

(2) PC 和 Rn 可表示的地址范围均为 $0 \sim 2^{16}-1$, 而主存地址空间为 216, 故转移指令的目标地址范围是 $0000H \sim FFFFH$ ($0 \sim 2^{16}-1$)。

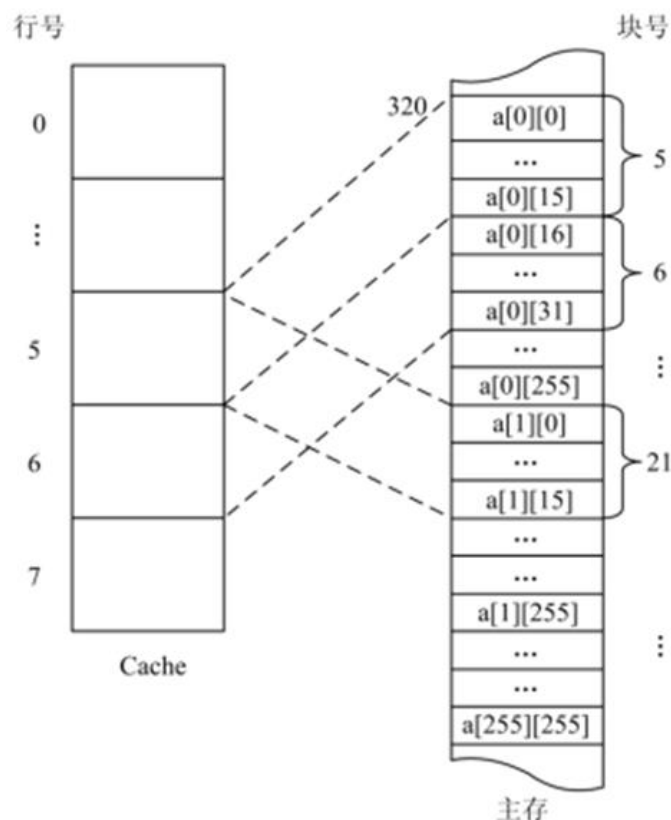
(3) 汇编语句 “add(R4),(R5)+”, 对应的机器码为 $0010001100010101B=2315H$ 。

该指令执行后, 寄存器 R5 和存储单元 5678H 的内容会改变。执行后, R5 的内容从 5678H 变成 5679H。存储单元 5678H 中的内容变成该加法指令计算的结果 $5678H+1234H=68ACH$ 。

13. 解答:

(1) 数据 Cache 有 8 个 Cache 行, 每个 Cache 行大小为 64B, Cache 中每个字块的 Tag 字段的位数是 $28-9=19$ 位, 此外还需使用一个有效位, 合计 20 位。因此, 数据 Cache 的总容量应为: $8 \times (64 + 20 / 8)B = 532B$ 。

(2) 数组 a 在主存的存放位置及其与 Cache 之间的映射关系如下图所示:



数组按行优先方式存放，首地址为 320，数组元素占四个字节。

a[0][31]所在的主存块对应的 Cache 行号为：

$$(320 + 31 \times 4) \text{DIV} 64 = 6;$$

a[1][1]所在的主存块对应的 Cache 行号为：

$$(320 + 256 \times 4 + 1 \times 4) \text{DIV} 64 \text{MOD} 8 = 5。$$

(3) 编译时 i、j、sum 均分配在寄存器中，故数据访问命中率仅考虑数组 a 的情况。

① 该程序的特点是数组中的每一个元素仅被使用一次。数组 a 按行优先存放，数据 Cache 正好放下数组半行中的全部元素，即元素的存储顺序与使用次序高度的吻合，每个字块的 16 个 int 型元素中，除访问的第一个不会命中，接下来的 15 个都会命中。访问全部字块都符合这一规律，故命中率为 15 / 16，即程序 A 的数据访问命中率是 93.75%。

② 程序 B 按照数组的列执行外层循环，在执行内层循环的过程中，将连续访问不同行的同一列的数据，不同行的同一列数组使用的是同一个 Cache 单元，每次都不会命中，故命中率是 0 由于从 Cache 读数据比从主存读数据快很多，所以程序 A 的执行比程序 B 快得多。

7. 某计算机的指令流水线由四个功能段组成, 指令流经各功能段的时间 (忽略各功能段之间的缓存时间) 分别为 90ns、80ns、70ns、和 60ns, 则该计算机的 CPU 时钟周期至少是()。

- A. 90ns B. 80ns C. 70ns D. 60ns

8. 相对于微程序控制器, 硬布线控制器的特点是 ()。

- A. 指令执行速度慢, 指令功能的修改和扩展容易
B. 指令执行速度慢, 指令功能的修改和扩展难
C. 指令执行速度快, 指令功能的修改和扩展容易
D. 指令执行速度快, 指令功能的修改和扩展难

9. 假设某系统总线在一个总线周期中并行传输 4 字节信息, 一个总线周期占用 2 个时钟周期, 总线时钟频率为 10MHz, 则总线带宽是 ()。

- A. 10MB/S B. 20MB/S C. 40MB/S D. 80MB/S

10. 假设某计算机的存储系统由 Cache 和主存组成, 某程序执行过程中访存 1000 次, 其中访问 Cache 缺失 (未命中) 50 次, 则 Cache 的命中率是 ()。

- A. 5% B. 9.5% C. 50% D. 95%

11. 下列选项中, 能引起外部中断的事件是 ()。

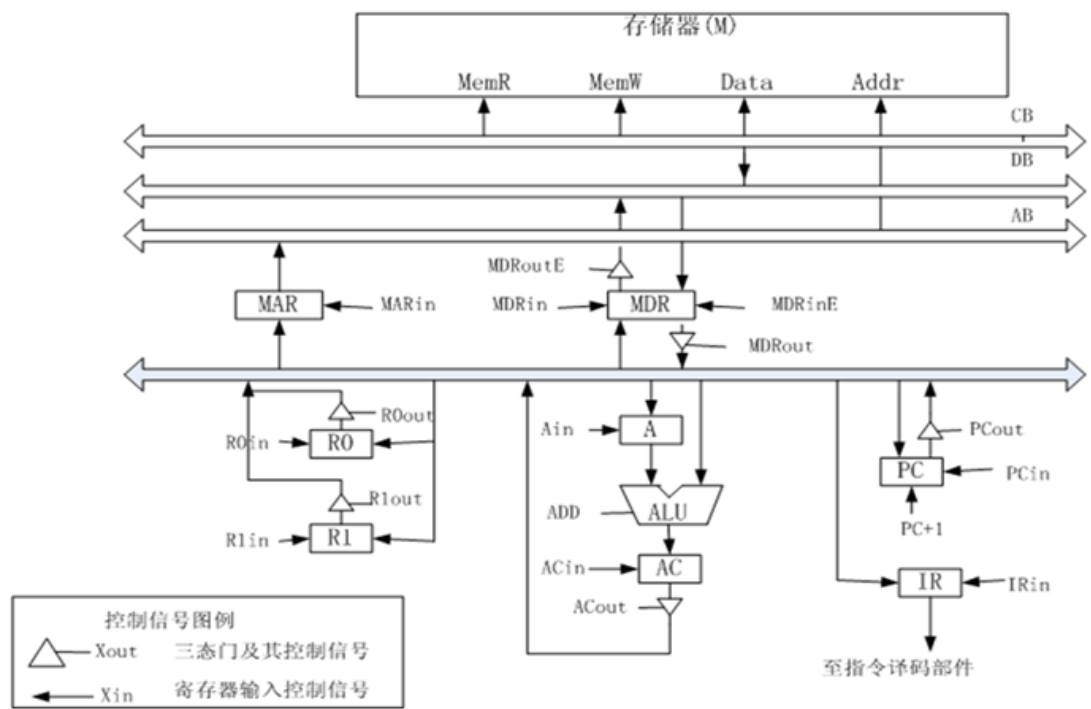
- A. 键盘输入 B. 除数为 0
C. 浮点运算下溢 D. 访存缺页

12.(8 分)某计算机的 CPU 主频为 500MHz,CPI 为 5(即执行每条指令平均需 5 个时钟周期)。假定某外设的数据传输率为 0.5MB/s, 采用中断方式与主机进行数据传送, 以 32 位为传输单位, 对应的中断服务程序包含 18 条指令, 中断服务的其他开销相当于 2 条指令的执行时间。请回答下列问题, 要求给出计算过程。

(1) 在中断方式下, CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少?

(2) 当该外设的数据传输率达到 5MB/s 时, 改用 DMA 方式传送数据。假定每次 DMA 传送块大小为 5000B, 且 DMA 预处理和后处理的总开销为 500 个时钟周期, 则 CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少? (假设 DMA 与 CPU 之间没有访存冲突)

13. (13 分) 某计算机字长 16 位，采用 16 位定长指令字结构，部分数据通路结构如下图所示，图中所有控制信号为 1 时表示有效、为 0 时表示无效。例如控制信号 MDRinE 为 1 表示允许数据从 DB 打入 MDR，MDRin 为 1 表示允许数据从内总线打入 MDR。假设 MAR 的输出一直处于使能状态。加法指令“ADD(R1), R0”的功能为 $(R0) + ((R1)) \rightarrow (R1)$ ，即将 R0 中的数据与 R1 的内容所指主存单元的数据相加，并将结果送入 R1 的内容所指主存单元中保存。



下表给出了上述指令取指和译码阶段每个节拍(时钟周期)的功能和有效控制信号，请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。

时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MDR)$ $PC \leftarrow (PC)+1$	MemR, MDRinE, PC+1
C3	$IR \leftarrow (MDR)$	MDRout, IRin
C4	指令译码	无

1. D 2. D 3. C 4. D 5. C
6. A 7. A 8. D 9. B 10. D
11. A

12. 解答:

(1) 按题意, 外设每秒传送 0.5MB, 中断时每次传送 4B。中断方式下, CPU 每次用于数据传送的时钟周期为: $5 \times 18 + 5 \times 2 = 100$ 。为达到外设 0.5MB/s 的数据传输率, 外设每秒申请的中断次数为: $0.5\text{MB}/4\text{B} = 125000$ 。

1 秒钟内用于中断的开销: $100 \times 125000 = 12500000 = 12.5\text{M}$ 个时钟周期。

CPU 用于外设 I/O 的时间占整个 CPU 时间的百分比: $12.5\text{M}/500\text{M} = 2.5\%$ 。

(2) 当外设数据传输率提高到 5MB/s 时改用 DMA 方式传送, 每次 DMA 传送 5000B, 1 秒钟内需产生的 DMA 次数: $5\text{MB}/5000\text{B} = 1000$ 。CPU 用于 DMA 处理的总开销: $1000 \times 500 = 500000 = 0.5\text{M}$ 个时钟周期。CPU 用于外设 I/O 的时间占整个 CPU 时间的百分比: $0.5\text{M}/500\text{M} = 0.1\%$ 。

13. 解答:

一条指令的执行过程通常由取指、译码和执行 3 个步骤完成, 本题中取指用 3 个节拍、译码用 1 个节拍, 执行加法运算并把结果写入主存如何完成呢? 包括划分执行步骤、确定完成的功能、要提供的控制信号, 这是本题要测试的内容。为回答这个问题, 首先要看清图中给出的部件组成情况和信息传送的路径。

要完成的功能是 $(R0) + ((R1)) \rightarrow (R1)$, 从图中看到:

(1) R0、R1 都有送自己内容到内总线的路径, 控制信号分别是 R0out 和 R1out;

(2) ALU 加运算, 2 个数据由工作寄存器 A 和内总线提供, 控制信号是 Add; A 只接收内总线的内容, 控制信号是 Ain; 结果需存 AC, 控制信号 ACin; AC 的内容可送内总线, 控制信号是 ACout;

(3) PC 可接收内总线的内容, 还可增 1, 控制信号是 PCin 和 PC+1, PC 的内容可送内总线, 控制信号是 PCout;

(4) 指令寄存器 IR 可接收内总线的内容, 控制信号是 IRin;

(5) 读写存储器时, 地址由 MAR 经 AB 提供, MAR 只接收总线上的信息, 控制信号是 MARin;

(6) 读存储器, 提供读命令 MemR, 并通过 DB 送入 MDR, 控制信号是 MDRinE; MDR 的内容可送入总线, 控制信号是 MDRout;

(7) 写存储器, 提供写命令 MemW, 数据由 MDR 通过 DB 送到存储器的数据引脚, 控制信号是 MDRoutE; 然后是划分执行步骤、确定每一步完成的功能、需要提供的控制信号。这是由指令应完成的功能和计算机硬件的实际组成情况和信息传送的可用路径共同决定的,

基本原则是步骤越少越好。硬件电路要能支持，可以有多种方案，解题时应参照以给出的答题格式，即取指和译码阶段的那张表的内容，但不必把表已有的内容再抄一遍。

划分指令执行步骤，确定每一步完成的功能、给出需要提供的控制信号：

请注意， $(R0) + ((R1))$ 表示： $R0$ 寄存器的内容与 $R1$ 作地址从主存中读出来的数据完成加法运算；而 $(R1)$ 表示把 $R1$ 的内容作为主存储器的地址完成写主存操作。为防止出现误解，题中还特地对此作了文字说明。这条指令的功能是先到主存储器取一个数，之后运算，再将结果写回主存储器。

(1) 执行相加运算，需把存储器中的数据读出，为此首先送地址，将 $R1$ 的内容送 MAR ，控制信号是 $R1out$ 、 $MARin$ 。

(2) 启动读主存操作，读出的内容送入 MDR ，控制信号是 $MemR$ 、 $MDRinE$ 。还可同时把 $R0$ 的内容经内总线送入 A ，用到的控制信号是 $R0out$ 、 Ain 。

(3) 执行加法运算，即 A 的内容与 MDR 的内容相加，结果保存到 AC ，控制信号是 $MDRout$ 、 Add 、 $ACin$ 。

(4) 要把 AC 的内容写入主存，由于 $R1$ 的内容已经在 MAR 中，地址已经有了，但需要把写入的数据（已经在 AC 中）经内总线送入 MDR ，控制信号是 $ACout$ 、 $MDRin$ 。

(5) 给出写主存的命令，把 MDR 的内容经 DB 送存储器的数据线引脚，执行写操作，控制信号是 $MDRoutE$ 、 $MemW$ 。

这几个步骤是有先后次序的，前面的完成了，下一步才可以执行，也保证了不会产生硬件线路的冲突。请注意，使用最为频繁的是内总线，它在任何时刻只能接收一个输入数据，并且向内总线发送信息的电路只能以三态门器件连接到内总线，5 个向内总线发送信息的控制信号（ $ACout$ ， $PCout$ ， $R0out$ ， $R1out$ ， $MDRout$ ）最多只能有一个为 1，其他 4 个必须全为 0，或者 5 个全为 0。

仔细看一下，发现可以把第 2 个步骤的操作划分到两个步骤中完成，一个步骤中安排 MDR 接收从存储器中读出的内容，到另外一个步骤实现 R 的内容送入 A ，这多用了个操作步骤，指令的执行速度会变慢。有些解题者在写存储器之前，还会再执行一次把 $R1$ 的内容送 MAR ，尽管无此必要，但不属于原理上的错误。

当然还可以有其他的设计结果。

解题时这些叙述内容不必写出来（这里写出这些内容是希望大家领会本题要测试的知识点和指令的执行过程），直接按照已经给出的表格的形式、按照提供的填写办法把设计的表格及其内容填好就可以了。

请注意，题目表格内容（告诉你答题的格式和答题内容的表达方式）与你答题的表格内容合在一起才是这条指令的完整的执行过程，千万不要产生任何错觉。

时钟	功能	有效控制信号
C5	$MAR \leftarrow (R1)$	$PCout$ ， $MARin$
C6	$MDR \leftarrow M(MAR)$	$MemR$ ， $MDRinE$
C7	$A \leftarrow (R0)$	$R0out$ ， Ain
C8	$AC \leftarrow (MDR) + (A)$	$MDRout$ ， Add ， $ACin$
C9	$MDR \leftarrow (AC)$	$ACout$ ， $MDRin$
C10	$M(MAR) \leftarrow MDR$	$MDRoutE$ ， $MemW$