

MMX, SSE

Иван Викторович Михайлов

ИТМО, КТ

imihajlow@gmail.com

25.02.2015

MMX

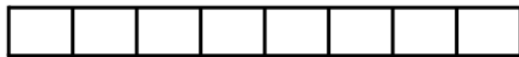
Multi-media extensions
1997, Pentium MMX

MMX. Регистры

- 8 штук (MM0-MM7);
- 64 бита;
- Совмещены с регистрами FPU.

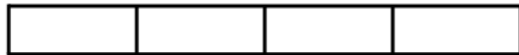
MMX. Типы данных

Упакованные целые (2x32bit, 4x16bit, 8x8bit).



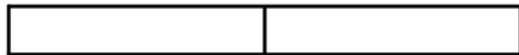
Packed Byte Integers

63 0



Packed Word Integers

63 0



Packed Doubleword Integers

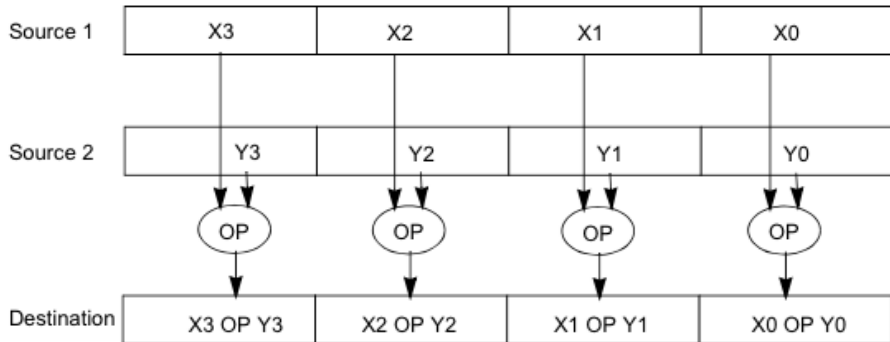
63 0

MMX. EMMS

EMMS

FPU Tag \leftarrow 0xffff

SIMD



MMX. Насыщение

- С заворачиванием (wraparound);
- С насыщением (saturated):
 - Знаковая;
 - Беззнаковая.

MMX. Пересылка данных

MOVD

MOVD dst, src

reg \leftrightarrow MM

mem \leftrightarrow MM

32 бита. Старшие 32 зануляются.

MOVQ

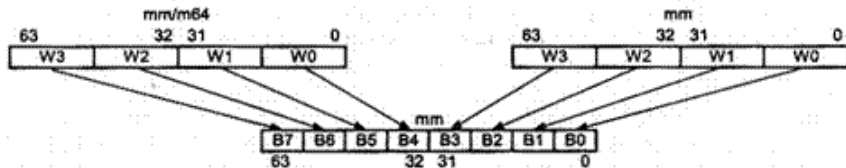
MOVQ dst, src

MM \leftrightarrow MM

64 бита.

Память должна быть выравнена на 8 байт!

а) **PACKSSWB** mm, mm/m64 или **PACKUSWB** mm, mm/m64



б) **PACKSSDW** mm, mm/m64

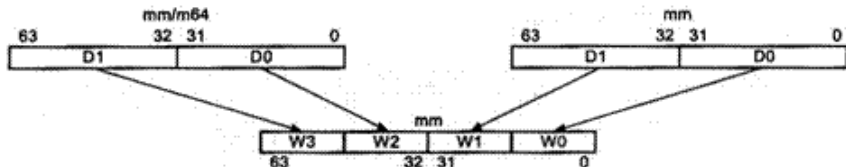


Рис. 2.27. Выполнение команд **PACKSSWB**, **PACKUSWB** (а), **PACKSSDW** (б)

PUNPCKLBW, -LWD, -LDQ

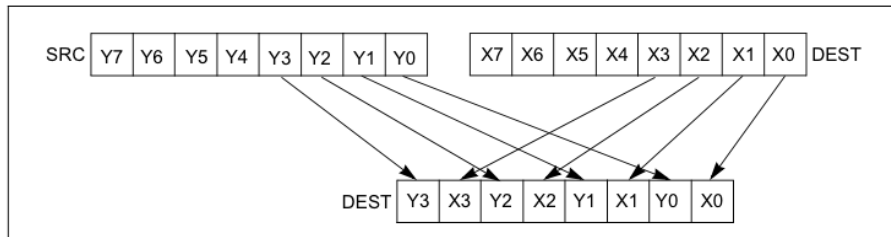


Figure 4-18. PUNPCKLBW Instruction Operation Using 64-bit Operands

PUNPCKHBW, -HWD, -HDQ

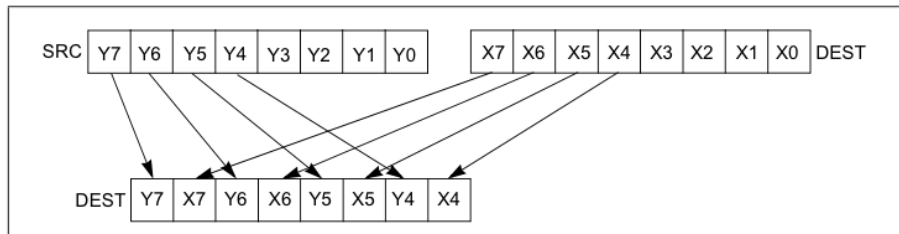


Figure 4-16. PUNPCKHBW Instruction Operation Using 64-bit Operands

MMX. Сложение и вычитание

- PADDB, PADDW, PADDD – сложение с заворачиванием;
- PADDSB, PADDSW – сложение с знаковым насыщением;
- PADDUSB, PADDUSW – сложение с беззнаковым насыщением;
- PSUBB, PSUBW, PSUBD – вычитание с заворачиванием;
- PSUBSB, PSUBSW – вычитание с знаковым насыщением;
- PSUBUSB, PSUBUSW – вычитание с беззнаковым насыщением;

MMX. Умножение

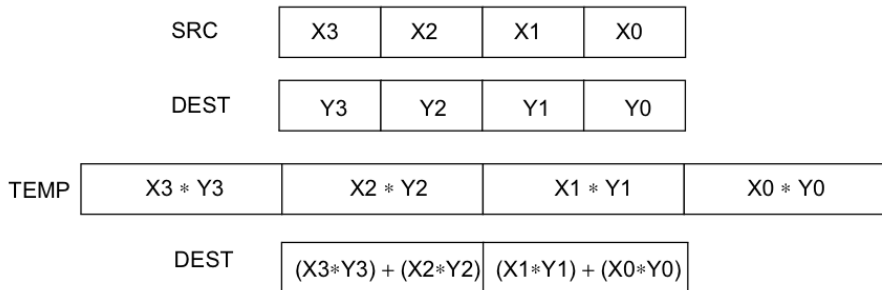
Только знаковое.

PMULHW, PMULLW

По словам (16 бит).

Сохранить старшие 16 бит (PMULHW), младшие 16 бит (PMULLW) результата.

PMADDWD



MMX. Сравнение

- PCMPQVB, PCMPQW, PCMPQD – равенство;
- PCMPGTB, PCMPGTW, PCMPGTD – знаковое „больше”.

Результат – маска.

MMX. Логические операции

- PAND – $\text{dst} = \text{dst} \& \text{src}$;
- PANDN – $\text{dst} = (\sim \text{dst}) \& \text{src}$;
- POR – $\text{dst} = \text{dst} \mid \text{src}$;
- PXOR – $\text{dst} = \text{dst} \wedge \text{src}$.

- PSLLW, PSLLD, PSLLQ – сдвиг влево;
- PSRLW, PSRLD, PSRLQ – логический сдвиг вправо;
- PSRAW, PSRAD – арифметический сдвиг вправо.

Любая MMX-инструкция:

- Устанавливает $FPU\ TOS = 0$;
- $FPU\ Tag = 0$ (valid);
- Все единицы в экспоненту.

EMMS:

- Устанавливает $FPU\ Tag = 1$ (empty);

SSE

Streaming SIMD Extensions
1999, Pentium III

SSE. Регистры

- 8 штук (xmm0-xmm7);
- 128 бит.

XMM

- 8 штук (xmm0-xmm7);
- 128 бит;
- 4 32-битных числа с плавающей точкой (float).

Регистр MXCSR – флаги состояния и управления.

XMM

- 8 штук (xmm0-xmm7);
- 128 бит;
- 4 32-битных числа с плавающей точкой (float).

Регистр MXCSR – флаги состояния и управления.

SSE. Пересылка данных

| | |
|---------|------------------------------|
| MOVSS | младшие 32 бита |
| MOVAPS | 128 бит, выровненные |
| MOVUPS | 128 бит, невыровненные |
| MOVLPS | младшие 64 бита |
| MOVHPS | старшие 64 бита |
| MOVLHPS | $[127:64] \leftarrow [63:0]$ |
| MOVHLPS | $[63:0] \leftarrow [127:64]$ |

SSE. SHUFPS

SHUFPS dest, src, imm8

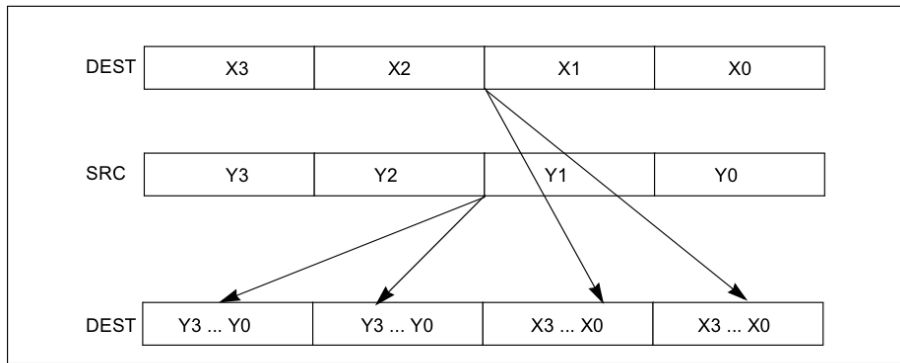


Figure 4-22. SHUFPS Shuffle Operation

SSE. UNPCKHPS

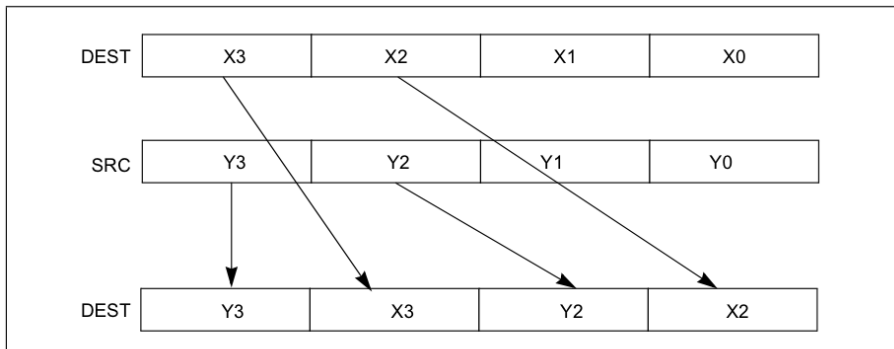


Figure 4-24. UNPCKHPS Instruction High Unpack and Interleave Operation

SSE. UNPCKLPS

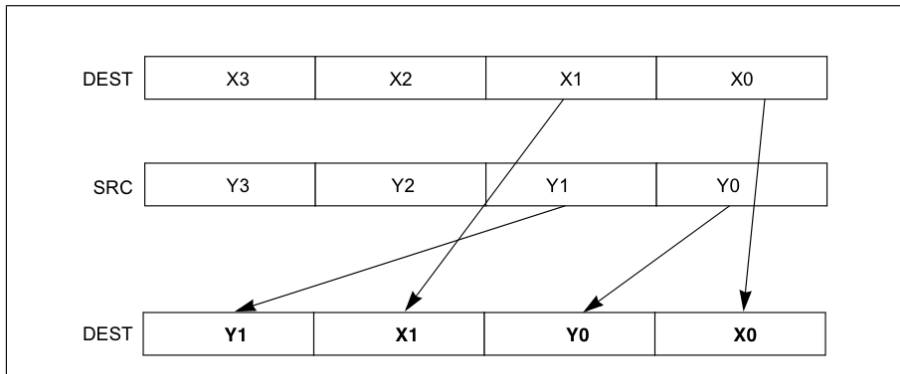


Figure 4-26. UNPCKLPS Instruction Low Unpack and Interleave Operation

SSE. Векторные операции

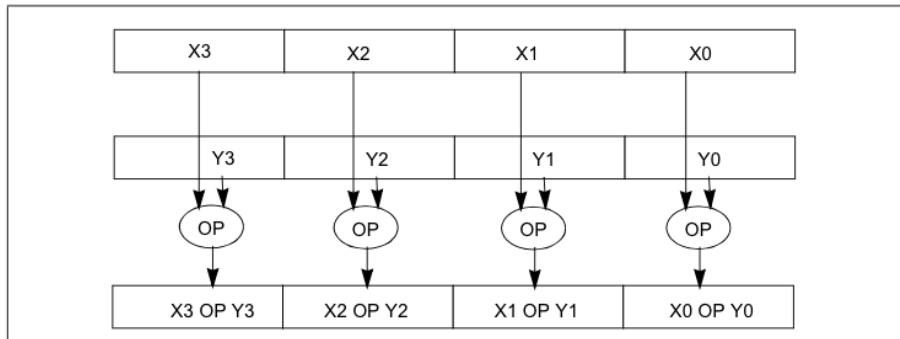


Figure 10-5. Packed Single-Precision Floating-Point Operation

SSE. Скалярные операции

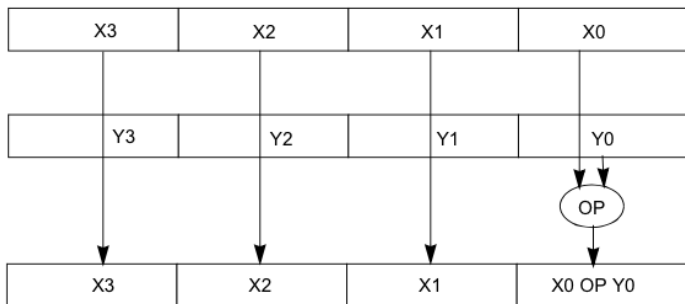


Figure 10-6. Scalar Single-Precision Floating-Point Operation

| | |
|------------------|-----------------------|
| ADDSS, ADDPS | сложение |
| SUBSS, SUBPS | вычитание |
| MULSS, MULPS | умножение |
| DIVSS, DIVPS | деление |
| RCPSS, RCPPS | $dest = 1/src$ |
| SQRTSS, SQRTPS | $dest = \sqrt{src}$ |
| MAXSS, MAXPS | максимум |
| MINSS, MINPS | минимум |
| RSQRTSS, RSQRTPS | $dest = 1/\sqrt{src}$ |

CMPSS, CMPPS

`CMP[S/P]S dst, src, imm8`

`CMP op [S/P]S dst, src`

$op = EQ, NE, LE, LT, NLE, NLT, UNORD, ORD$

Результат – маска.

COMISS, UCOMISS

`[U]COMISS dst, src`

Результат – EFLAGS.

UCOMISS допускает QNaN.

| | |
|----------------------|-------------------------------------|
| CVTSS2SI, CVTPS2PI | float к целому |
| CVTSI2SS, CVTPI2PS | целое к float |
| CVTTSS2SI, CVTTPS2PI | float к целому с округлением к нулю |

SSE. Битовые операции

- ANDPS;
- ANDNPS;
- ORPS;
- XORPS;

SSE. Целочисленные операции

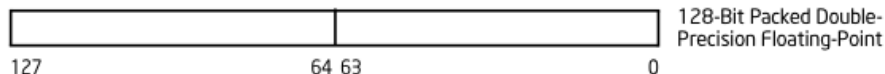
С регистрами MMX.

| | |
|----------------|---|
| PMULHUW | как PMULHW, но беззнаковая |
| PSADBWB | сумма абсолютных разностей байт |
| PAVGB, PAVGW | среднее |
| PMAXUB, PMINUB | max и min беззнаковых байт |
| PMAXSW, PMINSW | max и min знаковых байт |
| PEXTRW, PINSRW | выделение n-го слова, замена n-го слова |
| PMOVBMSKB | выделение старших бит байт |
| PSHUFW | копирование слов в произвольном порядке |

SSE2

Streaming SIMD Extensions 2
2001, Pentium IV

SSE2. 2 x double



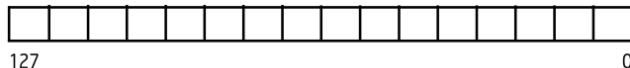
Суффикс -D

ADDSS → ADDSD

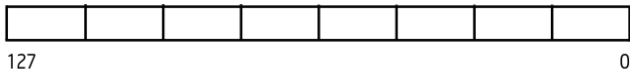
UNPCKLPS → UNPCKLPD

...

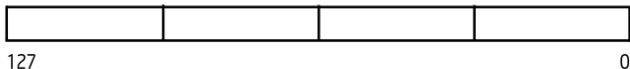
SSE2. Целые типы



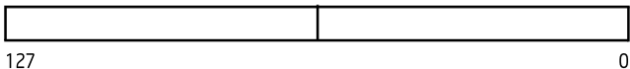
128-Bit Packed Byte Integers



128-Bit Packed Word Integers



128-Bit Packed Doubleword Integers



128-Bit Packed Quadword Integers

- Инструкции MMX;
- Инструкции MMX с суффиксом -Q.

SSE2. Пересылка данных

MOVDQ2Q

MOVQ2DQ

MOVDQA

MOVDQU

PSHUFW, PSHUFLW

PSHUFD

PUNPCKHQDQ, PUNPCKLQDQ

XMM → MMX

MMX → XMM

128 бит выровненные

128 бит невыровненные

перестановка слов

перестановка двойных слов

распаковка двойных слов

SSE2. Преобразования

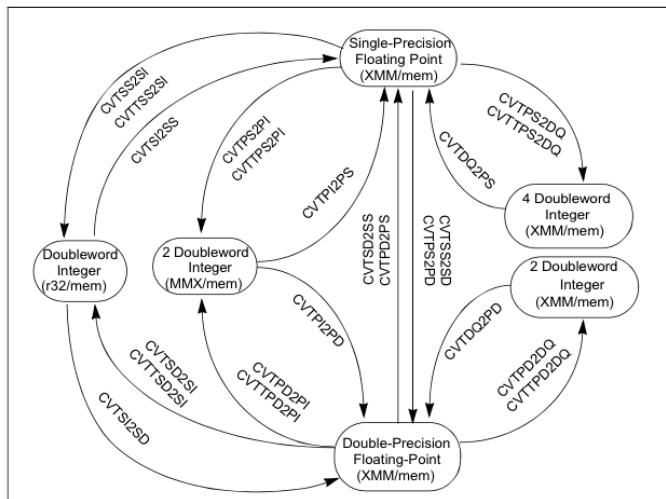


Figure 11-8. SSE and SSE2 Conversion Instructions

SSE3

Streaming SIMD Extensions 3
2004, Pentium IV Prescott

SSE3. Асимметричная арифметика

ADDSUBPS $[x_3 + y_3, x_2 - y_2, x_1 + y_1, x_0 - y_0]$
ADDSUBPS $[x_1 + y_1, x_0 - y_0]$

SSE3. Горизонтальная арифметика

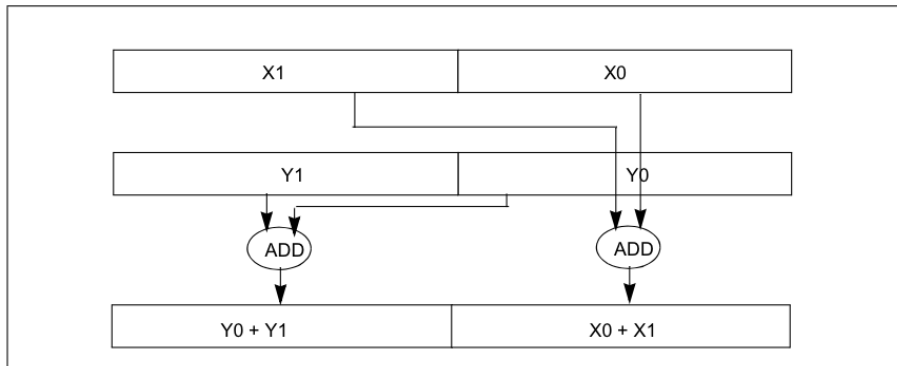
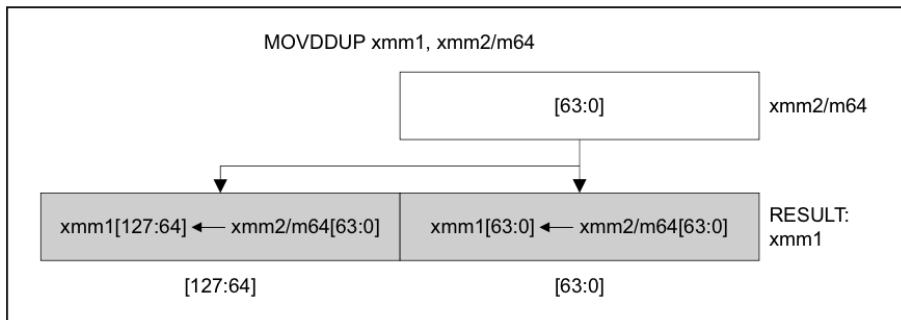


Figure 12-2. Horizontal Data Movement in HADDPD

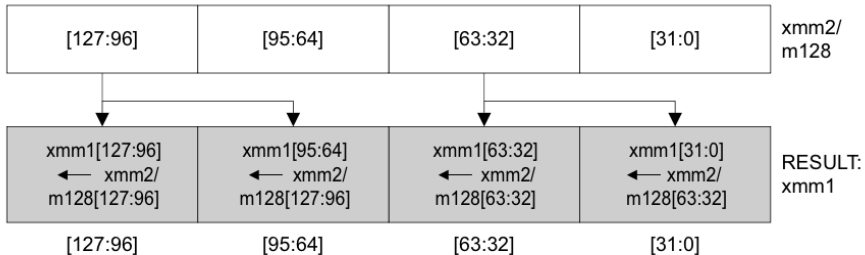
HADDPD, HADDPS, HSUBPD, HSUBPS

SSE3. MOVDDUP



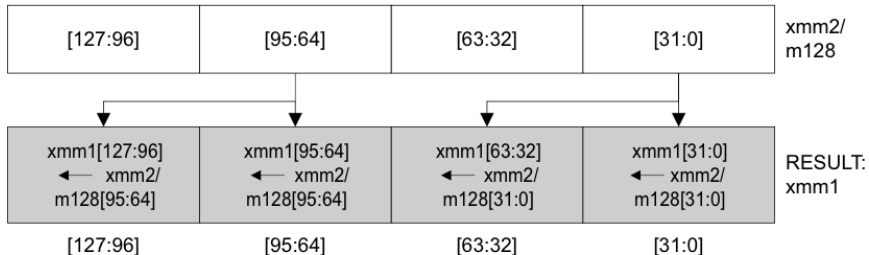
SSE3. MOVSHDUP

MOVSHDUP xmm1, xmm2/m128



SSE3. MOVSLDUP

MOVSLDUP xmm1, xmm2/m128



SSSE3

Supplemental SSE3
2006, Xeon Woodcrest

SSSE3. Горизонтальная арифметика

| | |
|----------------|---|
| PHADDD, PHADDW | целочисленное горизонтальное сложение |
| PHADDSW | целочисленное горизонтальное сложение с насыщением |
| PHSUBD, PHSUBW | целочисленное горизонтальное вычитание |
| PHSUBSW | целочисленное горизонтальное вычитание с насыщением |

SSSE3. Вертикальная арифметика

PSIGNB, PSIGNW, PSIGND $dst = dst \times sign(src)$

PABSB, PABSW, PABSD $dst = |src|$

PMULHRSW

Умножение чисел с фиксированной точкой.

PMADDUBSW

Умножение и сложение со знаковым насыщением.

SSSE3. Битовые операции

PALIGNR

Конкатенация и сдвиг.

PSHUFB

Перестановка байт.

SSE4

Streaming SIMD Extensions 4
2006-2007

- BLEND*, PBLEND* – условное копирование;
- MPSADBW – сумма абсолютных разностей;
- PCMP*STR* – сравнение строк;
- CRC32;
- POPCNT – число единичных бит;
- LZCNT – число ведущих нулей;
- И другие, см. мануал и википедию.

AVX

Advanced Vector Extensions

2008

- Расширение вычислений до 256 бит (регистры YMM).
- Многие инструкции MMX и SSEn расширены до трех операндов.

$YMM_x[127:0] = XMM_x$

FMA

Fused Add-Multiply
2011-2014

Практика.

```
https://github.com/itmoasm2015/practice
```

```
git pull
```

- Intel® 64 and IA-32 Architectures Software Developer's Manual, Vol. 1, Chapters 9, 10, 11, 12, 14
- Intel® 64 and IA-32 Architectures Software Developer's Manual, Vol. 2

Конец.