

Лабораторная работа №1 «Проектирование вычислительной системы с блоками анализа и формирования цифровых периодических сигналов»

по дисциплине «Системы ввода/вывода и периферийные устройства»
[гр. Р3401, Р3402, Р3417, Р3418]

Цель работы

Получение навыков проектирования вычислительной системы с блоками анализа и формирования цифровых сигналов с использованием языка SystemC.

Порядок выполнения работы

1. Разработать модель вычислительной системы в соответствии с вариантом задания на языке SystemC. Обобщенная структурная схема изображена на рисунке 1. Конкретная структура системы определяется вариантом задания.

Вычислительным ядром рассматриваемой системы является процессор (CPU) с фон-Неймановской архитектурой, который подключен к шине передачи данных как ведущее устройство. К шине также подключаются множество периферийных устройств (Dev 1, Dev2, ... Dev N) в качестве ведомых, как показано на рисунке 1. Элементы рассматриваемой системы объединены единым каналом передачи данных, контроль доступа к которому осуществляется с помощью шинной матрицы (BUS MATRIX).

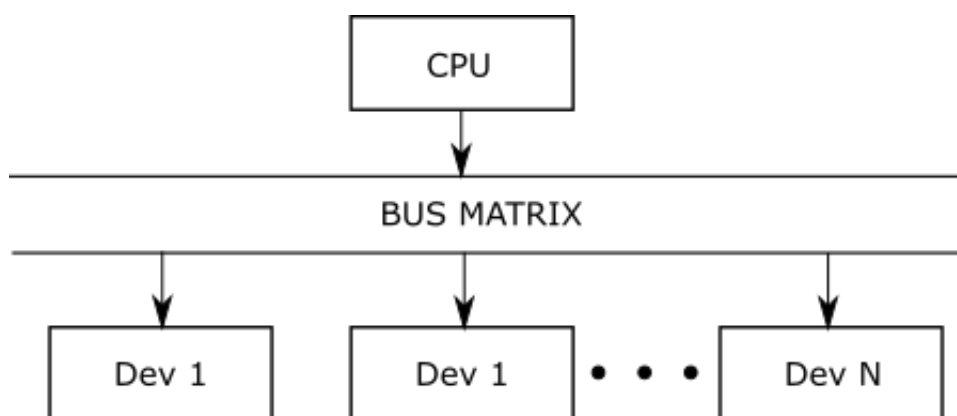


Рисунок 1 – Обобщенная структурная схема разрабатываемой вычислительной системы.

Сигнальный интерфейс шинной матрицы представлен на рисунке 2.

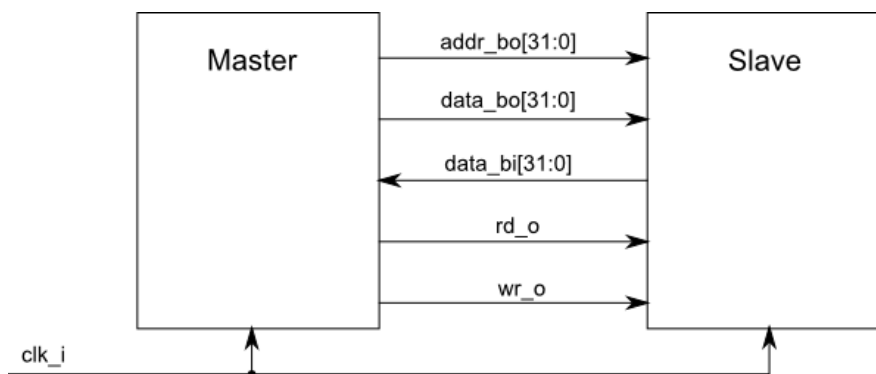


Рисунок 2 – Сигнальный интерфейс соединения блоков с помощью шинной матрицы

Интерфейс шинной матрицы включает следующие сигналы:

- addr_bo – адрес обращения, 32 бита;
- data_bo – данные записи от ведущего к ведомому, 32 бита;
- data_bi – данные чтения от ведомого к ведущему, 32 бита;
- rd_o – сигнал операции чтения;
- wr_o – сигнал операции записи.

Временные диаграммы записи и чтения данных на шине представлены на рисунке 3.

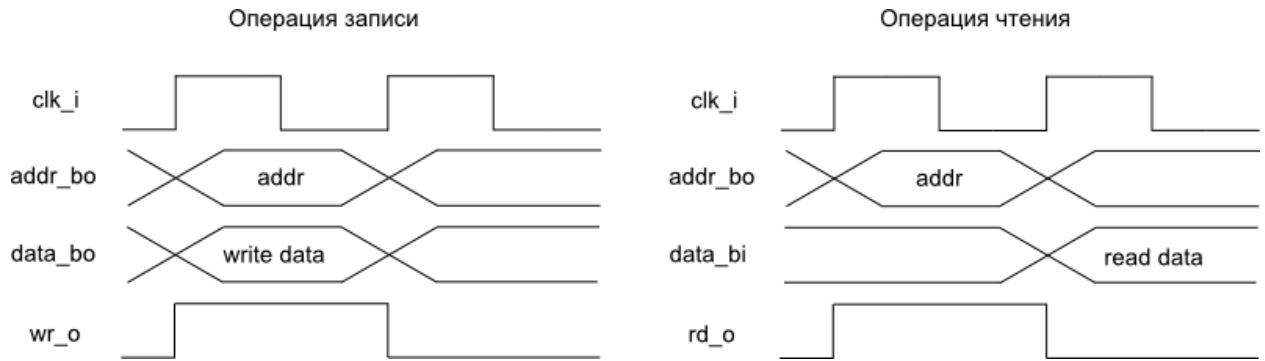


Рисунок 3 – Временные диаграммы записи и чтения данных по шинному интерфейсу в разрабатываемой системе

За каждым ведомым устройством на шине зарезервирован диапазон адресов (задается вариантом задания). При обращении ведущего к адресу определенного ведомого формируются сигналы управления (rd_o, wr_o) только к выбранному ведомому. Сигналы управления к остальным ведомым (rd_o, wr_o) остаются в неактивном уровне. Арбитраж и формирование сигналов управления к адресуемому ведомому реализует шинная матрица (BUS MATRIX).

2. Составить план тестирования модели разработанной системы. Должны быть проверены все функциональные возможности блоков, входящих в состав системы.
3. Разработать необходимые блоки формирования и анализа тестовых воздействий.
4. Провести тестирование модели в соответствии с разработанным планом.
5. Подготовить отчет по работе.

Задания по вариантам

№ варианта	Структура системы	Функции программного обеспечения системы
1	Соответствует описанию в приложении А	<p>Определение периодичности входного сигнала <code>ins</code>.</p> <p>Если входной сигнал периодический, то в консоль симуляции выводится его период и частота.</p> <p>Если входной сигнал не является периодическим, то в консоль симуляции выводится соответствующее сообщение.</p>
2	Соответствует описанию в приложении А	<p>Определение скважности ШИМ, поданного на вход <code>ins</code>.</p> <p>В консоль симуляции должно выводиться значение скважности по факту любого её изменения.</p> <p>Под скважностью понимается отношения периода к длительности логической единицы.</p>
3	Соответствует описанию в приложении А	<p>Измерение длительности логической единицы на входе <code>ins</code>.</p> <p>В консоль симуляции должна выводиться длительность логической единицы во входном сигнале по факту её изменения.</p>
4	Соответствует описанию в приложении А	<p>Измерение длительности логического нуля на входе <code>ins</code>.</p> <p>В консоль симуляции должна выводиться длительность логического нуля во входном сигнале по факту её изменения.</p>
5	Соответствует описанию в приложении Б	Генерация сигнала с заданным периодом. Период задается с помощью аргумента командной строки при вызове модели на исполнение.
6	Соответствует описанию в приложении Б	Генерация ШИМ заданной скважности. Под скважностью понимается отношение периода сигнала к длительности логической единицы. Скважность задается с помощью аргумента командной строки при вызове модели на исполнение.
7	Соответствует описанию в приложении Б	Генерация последовательности 101 (двоичное число, 3 бита) с заданной длительностью каждого символа. Длительность каждого символа задается с помощью аргумента командной строки при вызове модели на исполнение.
8	Соответствует описанию в приложении Б	Генерация последовательности 011 (двоичное число, 3 бита) с заданной длительностью каждого символа. Длительность каждого символа задается с помощью аргумента командной строки при вызове модели на исполнение.

Программное обеспечение системы моделируется с помощью потока `SC_THREAD` в модуле процессора CPU. Поток `SC_THREAD` должен рассматриваться как точка входа в программу, по аналогии с функцией `main` при программировании на C/C++. В `SC_THREAD` не должно быть в явном виде определено время, не должно быть вызовов функций `wait()`.

Все цифровые сигналы интерфейсов должны обрабатываться потактово. Все блоки должны синхронизироваться от единого сигнала синхронизации в 100 МГц.

Состав отчета

1. Титульный лист с указанием ФИО исполнителей, ФИО преподавателя, даты сдачи, года, наименования ВУЗа, мегафакультета, факультета и кафедры.
2. Содержание.
3. Задание по варианту.
4. Блок-схему организации программного обеспечения процессора.
5. Блок-схема организации плана тестирования.
6. Структурная схема (рисунок) тестового окружения, включая структуру разработанной системы и набор блоков формирования/анализа сигналов.
7. Отчет о тестировании функциональности разработанной системы, включая листинги консольного вывода модели и комментарии результатов.
8. Временные диаграммы обмена данными по шине между блоками системы (чтение/запись).
9. Временные диаграммы изменения сигналов на входе (для блока Input Capture) или выходе (для блока Output Capture) в соответствии с планом тестирования.
10. Выводы по работе.

Вопросы к защите

Каждый из сдающих должен уметь объяснять любую часть отчета и знать ответы на вопросы:

1. В чем состоит назначение и основное отличие конструкций SC_THREAD и SC_METHOD?
2. Какие в SystemC приняты правила описания и моделирования портов ввода/вывода?
3. Какие в SystemC приняты правила описания и моделирования каналов передачи данных?
4. Как в модели SystemC может быть представлено время?
5. Какое назначение канала sc_fifo в SystemC?
6. Какие существуют методы отладки и тестирования модели на SystemC?
7. Каким образом можно совмещать разработку программного и аппаратного обеспечения с использованием SystemC? Какие ещё существуют инструменты, обладающие схожими возможностями?
8. Что понимается под аппаратным портом ввода/вывода?
9. Чем отличаются дискретные и аналоговые порты ввода/вывода?
10. Что понимается под аппаратным и программным интерфейсом? Ответ поясните с использованием разработанной системы.
11. Что понимается под широтно-импульсной модуляцией (ШИМ)? Где она используется?
12. Перечислите известные вам способы арбитража доступа к среде передаче данных на системной шине в вычислительной системе?

Вычислительная система с блоком захвата цифрового сигнала (Input Capture)

На рисунке А.1 представлена структура системы с блоком захвата цифрового сигнала Input Capture. Блок захвата Input Capture позволяет измерять время между событиями, связанные с изменениями цифрового сигнала с 0 на 1 и обратно на цифровом входе ins, то есть между приходами нарастающих, либо спадающих фронтов соответственно.

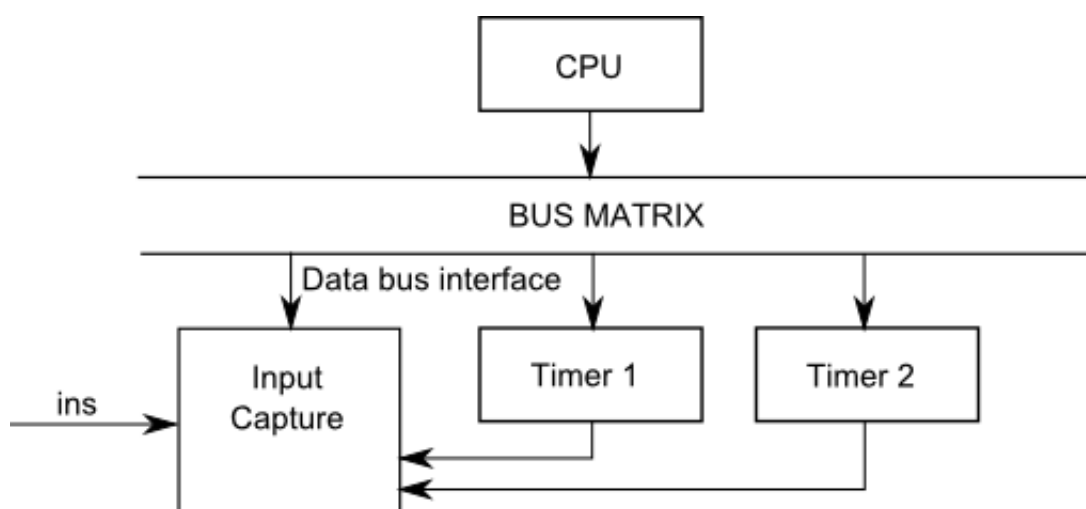


Рисунок А.1 – Структурная схема с блоком захвата цифрового сигнала Input Capture

Блоки Timer 1 и Timer 2 выполняют функции таймеров, которые могут быть настроены либо на инкрементирующий, либо на декрементирующий режим. Значения таймеров используются блоком Input Capture для измерения времени между событиями-фронтами входного сигнала ins.

Структурная схема блока Input Capture представлена на рисунке А.2.

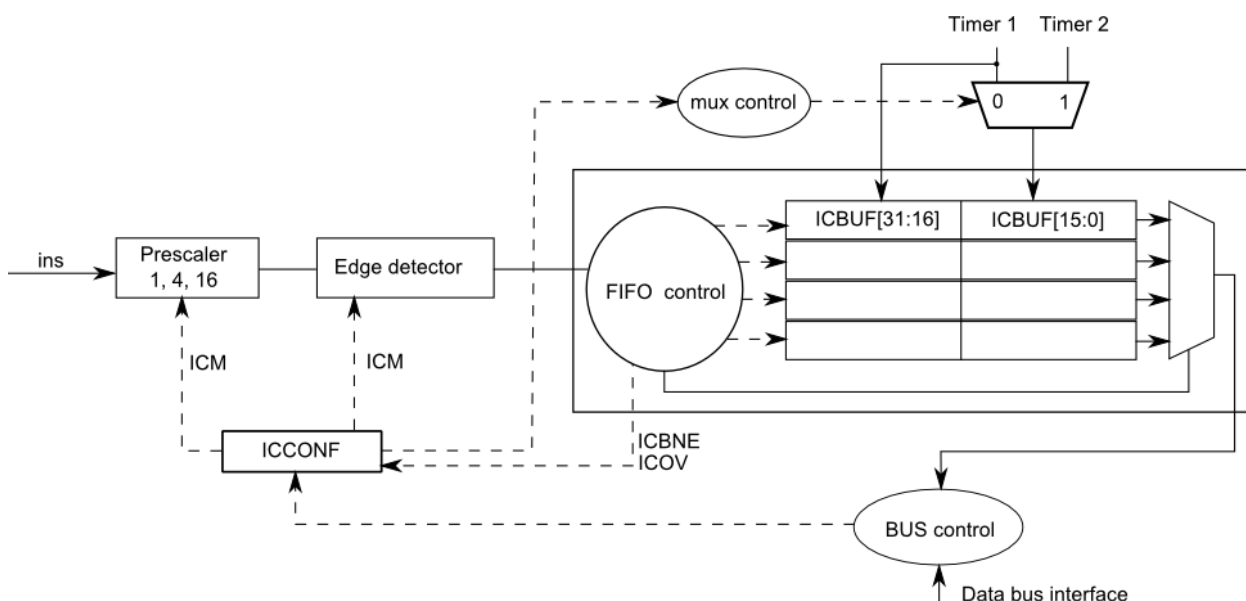


Рисунок А.2 – Структурная схема блока Input Capture

Блок Input Capture состоит из предделителя (Prescaler), позволяющего подсчитывать время между каждым четвертым и каждым шестнадцатым фронтом входного сигнала, детектора фронта (Edge detector) и буферов для сохранения значения таймеров. В зависимости от настроек блок Input Capture способен сохранять в очередь значения таймеров по факту прихода фронта входного сигнала. Значение очереди может быть считано с помощью процессора по интерфейсу передачи данных (Data bus interface).

Адресная карта системы, представленной на рисунке А.1, описана в таблице А.1. Каждый регистр имеет разрядность 32 бита.

Таблица А.1

Название функционального блока	Адрес	Название регистра	Описание функций
Timer 1	0x00000000	TMR	Значение инициализации таймера. Если таймер настроен как декрементирующий, то с данного значения таймер начинает счет и при достижении 0, таймер вновь инициализируется данным значением. Если таймер настроен как инкрементирующий, то таймер досчитывает до данного значения и обнуляется.
	0x00000004	TVAL	Текущее значение таймера
	0x00000008	TCONF	Настройки таймера: <ul style="list-style-type: none"> • Бит 0 – если 0, то таймер инкрементирующий, если 1, то декрементирующий • Бит 1 – если 0, то таймер остановлен, если 1, то таймер запущен (работает) • Биты с 2 по 31 - резерв
Timer 2	0x0000000C	TMR	Аналогично Timer 1
	0x00000010	TVAL	Аналогично Timer 1
	0x00000014	TCONF	Аналогично Timer 1
Input Capture	0x00000018	ICCONF	Настройки блока: <ul style="list-style-type: none"> • Биты с 0 до 2 (ICM) задают режим работы: <ul style="list-style-type: none"> ○ 0x0 – блок захвата выключен; ○ 0x1 – сохранение значение таймера в буфер при любом фронте входного сигнала ins; ○ 0x2 – сохранение значение таймера в буфер при спадающем фронте входного сигнала ins;

			<ul style="list-style-type: none"> ○ 0x3 – сохранение значение таймера в буфер при нарастающем фронте входного сигнала ins; ○ 0x4 – сохранение значение таймера в буфер при каждом четвертом нарастающем фронте входного сигнала ins; ○ 0x5 – сохранение значение таймера в буфер при каждом шестнадцатом нарастающем фронте входного сигнала ins; ○ 0x6 – сохранение значение таймера в буфер при каждом четвертом спадающем фронте входного сигнала ins; ○ 0x7 – – сохранение значение таймера в буфер при каждом шестнадцатом спадающем фронте входного сигнала ins • Биты 3 (ICBNE) – если 0, то буфер данных пуст, если 1, то не пуст; • Бит 4 (ICOV) – если 0, то буфер не полон, если 1, то буфер полон; • Бит 5 и 6 (ICTMR) – если 0, то захват значений таймеров выключен, если 1, то в буфер сохраняется значение Timer 1, если 2, то в буфер сохраняется значение Timer 2, если равен 3, то блок захвата работает в 32-битном режиме и в буфер сохраняются значения обоих таймеров; • Биты с 7 до 31 - резерв
	0x0000001C	ICBUF	Значение вершины очереди. При считывании, значение из очереди удаляется.

Вычислительная система с блоком формирования цифрового сигнала

(Output Compare)

На рисунке Б.1 представлена структурная схема системы с блоком формирования цифрового сигнала Output Compare. Блок Output Compare предназначен для формирования цифровых импульсов заданной длительности на выходе outs.

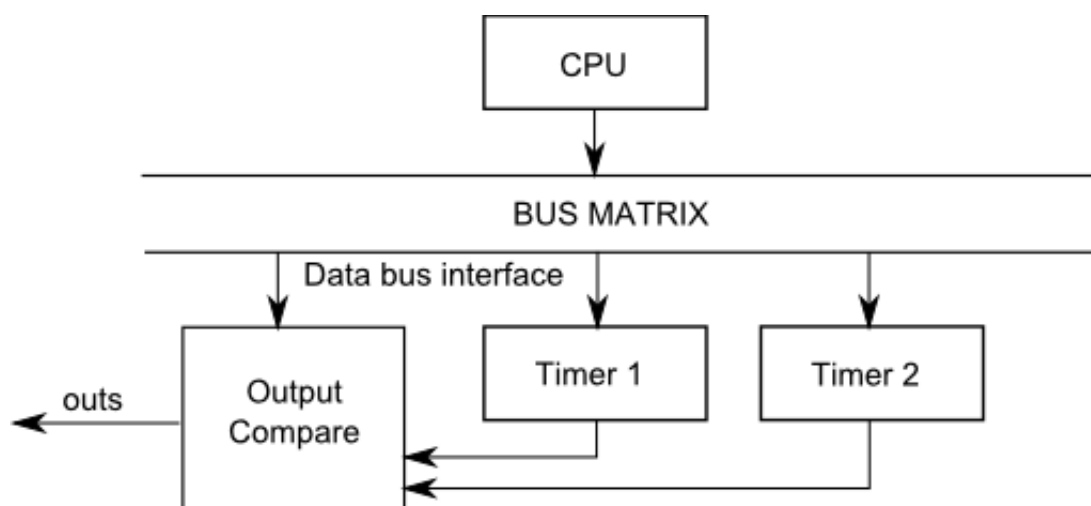


Рисунок Б.1 – Структурная схема вычислительной системы с блоком формирования цифрового сигнала Output Capture

Блоки Timer 1 и Timer 2 выполняют функции таймеров, которые могут быть настроены либо на инкрементирующий, либо на декрементирующий режим. Значения таймеров используются блоком Output Compare для измерения времени формирования цифровых импульсов на выходе outs.

Упрощенная структурная схема блока Output Compare представлена на рисунке Б.2.

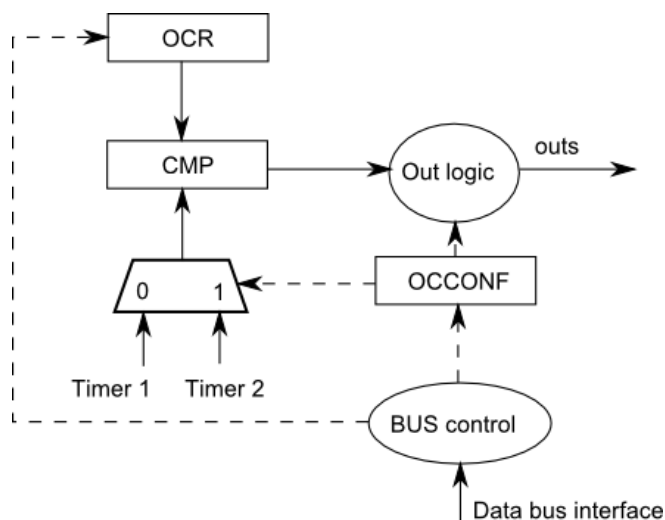


Рисунок Б.2 – Структурная схема блока Output Compare

Блок Output Compare состоит из регистра OCR для задания значения, с которым будут сравниваться значения таймеров. В случае совпадения значения OCR и значения таймеров, в зависимости от режима работы, на выходе outs будет формироваться логическая единица или логический ноль. Таким образом возможно формировать на выходе как одиночные импульсы, так и периодические сигналы заданной скважности.

Адресная карта системы, представленной на рисунке Б.1, описана в таблице Б.1. Каждый регистр имеет разрядность 32 бита.

Таблица Б.1

Название функционального блока	Адрес	Название регистра	Описание функций
Timer 1	0x00000000	TMR	Значение инициализации таймера. Если таймер настроен как декрементирующий, то с данного значения таймер начинает счет и при достижении 0, таймер вновь инициализируется данным значением. Если таймер настроен как инкрементирующий, то таймер досчитывает до данного значения и обнуляется.
	0x00000004	TVAL	Текущее значение таймера
	0x00000008	TCONF	Настройки таймера: <ul style="list-style-type: none"> • Бит 0 – если 0, то таймер инкрементирующий, если 1, то декрементирующий • Бит 1 – если 0, то таймер остановлен, если 1, то таймер запущен (работает) • Биты с 2 по 31 - резерв
Timer 2	0x0000000C	TMR	Аналогично Timer 1
	0x00000010	TVAL	Аналогично Timer 1
	0x00000014	TCONF	Аналогично Timer 1
Output Compare	0x00000018	OCCONF	Настройки блока: <ul style="list-style-type: none"> • Биты с 0 до 2 задают режим работы: <ul style="list-style-type: none"> ○ 0x0 – блок выключен; ○ 0x1 – в начале работы выход outs переводится в логический 0 и при совпадении значения выбранного таймера со значением OCR, формируется значение логической 1 на выходе outs; ○ 0x2 – в начале работы выход outs переводится в логическую 1 и при совпадении значения

			<p>выбранного таймера со значением OCR, формируется значение логического 0 на выходе outs;</p> <ul style="list-style-type: none"> ○ 0x3 – при совпадении значения таймера со значением OCR значение выхода outs меняется на противоположное; ○ 0x4 – режим ШИМ с началом в логическом нуле. Начальное значение выхода outs соответствует логическому 0. При равенстве OCR и значения выбранного таймер на выходе outs формируется логическая 1. При переполнении таймера выход outs сбрасывается в 0; ○ 0x5 – режим ШИМ с началом в логической единице. Начальное значение выхода outs соответствует логической 1. При равенстве OCR и значения выбранного таймер на выходе outs формируется логический 0. При переполнении таймера выход outs переводится в 1; <ul style="list-style-type: none"> • Биты 3 – если 0, то значение OCR сравнивается с Timer 1, если 1, то с Timer 2; • Биты с 4 до 31 - резерв
	0x0000001C	OCR	Значение, с которым сравнивается значение выбранного таймера для формирования соответствующего события на выходе outs