

PRAKTIKUM SISTEM DIGITAL - KELAS B

MODUL 7 :: Flip – Flop Dasar

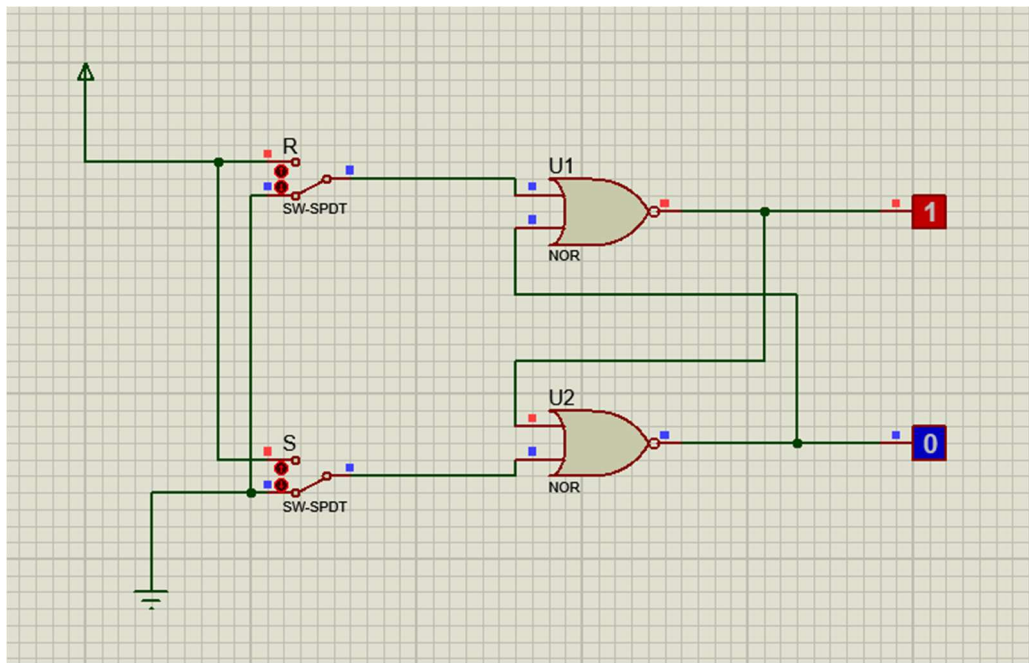
NAMA : MUHAMMAD WAHYU SYAFI'UDDIN

NIM : L200210056

ASISTEN LAB : 1. Endah Puji Rahayu
2. Vita Pratama Putri

Percobaan 1 – NOR Latch

1. Buat dan simulasikan NOR latch seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Latch.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	S (SET)	R (RESET)	OUTPUT		MODE
			Q	Q'	
1	0	1	0	1	Reset
2	0	0	0	1	Memori
3	1	0	1	0	Set
4	0	0	1	0	Memori
5	1	1	0	0	Terlarang

Catatan : Kolom mode menjelaskan kondisi kinerja dari FF tersebut, seperti ‘memori’, ‘set’, ‘reset’, atau ‘toggle’

3. Jawab pertanyaan berikut!

a. Apa yang akan terjadi jika kita berikan kondisi $S = R = 0$?

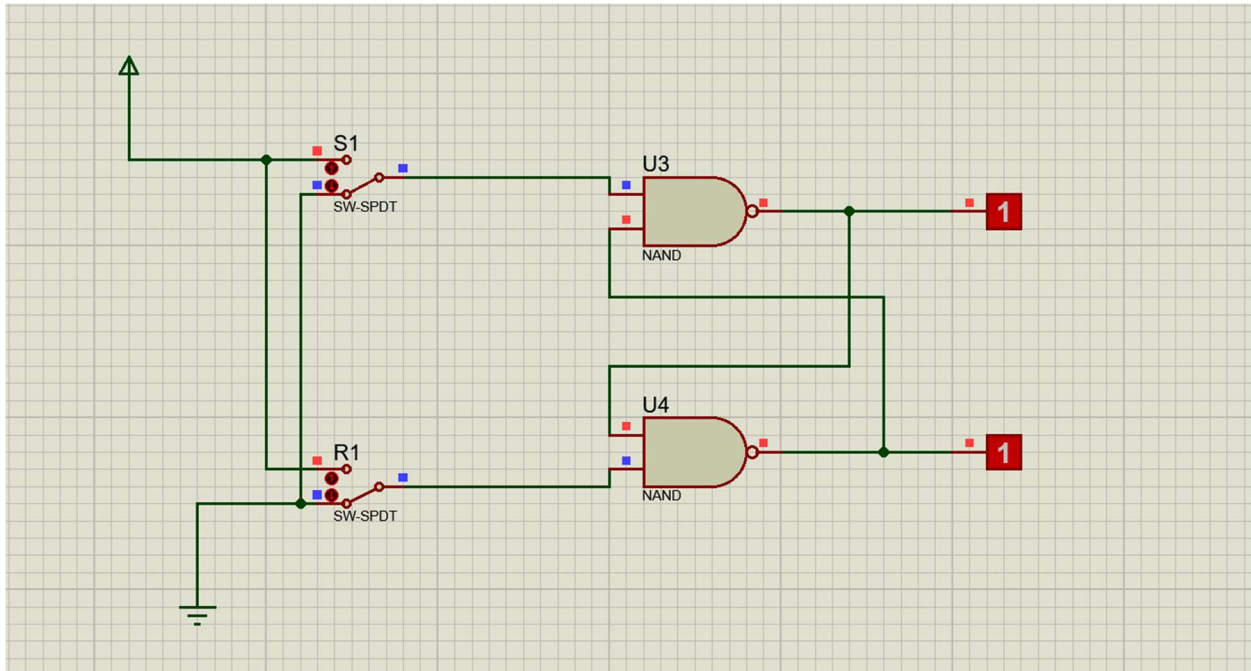
Kondisi 'resting' normal, dan keluaran tetap atau tidak berubah dari keluaran sebelumnya.

b. Kenapa kondisi $S = R = 1$ tidak diperbolehkan?

Karena gerbang 0 dan output sama-sama bernilai 0 dapat mematahkan persamaan logika $Q = \text{NOT}$.

Percobaan 2 – NAND Latch

1. Buat dan simulasikan NOR latch seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Latch.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	S (SET)	R (RESET)	OUTPUT		MODE
			Q	Q'	
1	0	1	1	0	Set
2	1	1	1	0	Memori
3	1	0	0	1	Reset
4	1	1	0	1	Memori
5	1	0	1	1	Terlarang

Catatan : Kolom mode menjelaskan kondisi kinerja dari FF tersebut, seperti ‘memori’, ‘set’, ‘reset’, atau ‘toggle

3. Jawab pertanyaan berikut!

- a. Apa yang akan terjadi jika kita berikan kondisi $S = R = 1$?

Kondisi ‘resting’ normal, dan keluaran tetap atau tidak berubah dari keluaran sebelumnya.

- b. Kenapa kondisi $S = R = 0$ tidak diperbolehkan?

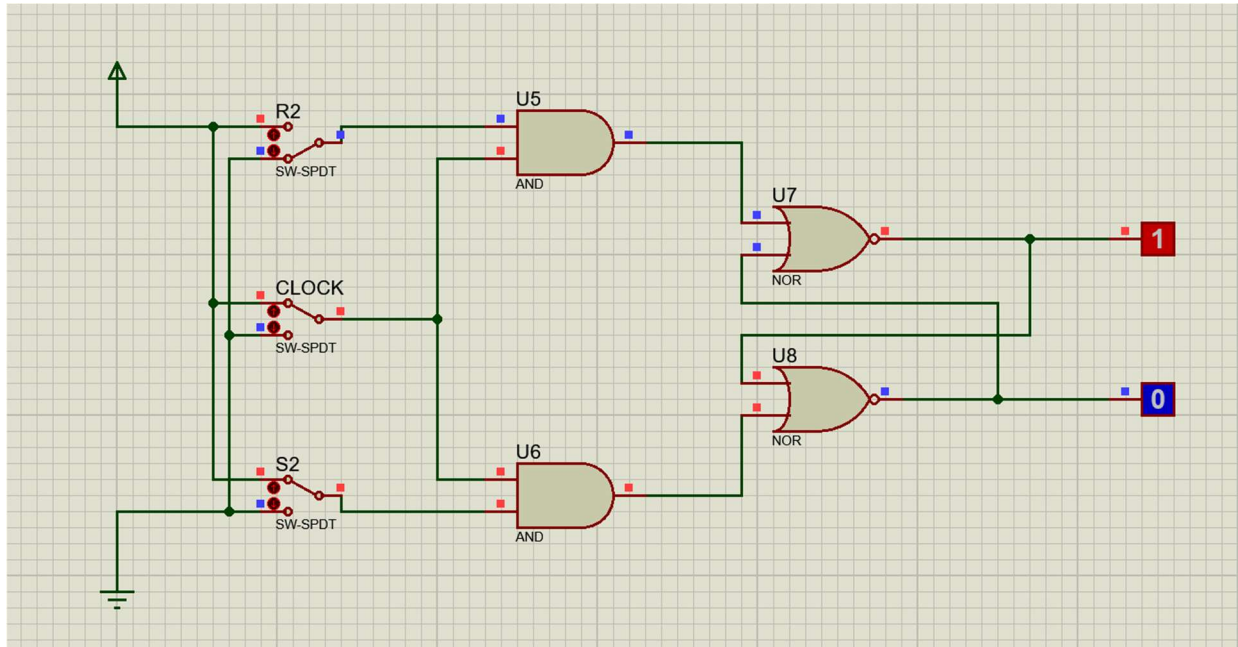
Karena akan menghasilkan keluaran yang ambigu, juga gerbang 0 dan output sama-sama bernilai 0 dapat mematahkan persamaan logika $Q = \text{NOT } Q$

4. Berdasarkan analisis rangkaian flip-flop di atas, apa opini/pendapat anda tentang pernyataan “Flip-flop dan latch digunakan sebagai elemen penyimpanan data” :

Flip – Flop merupakan rangkaian yang mempunyai 2 kondisi stabil dan dapat digunakan untuk menyimpan informasi (multivibrator dengan kondisi ganda). Rangkaianannya dapat dibuat untuk mengubah kondisi melalui sinyal-sinyal yang diaplikasikan ke 1 atau lebih kontrol input dan akan mempunyai 1 atau 2 output.

Percobaan 3 – Flip – Flop RS

1. Buat dan simulasikan Flip-Flop RS seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Flip-Flop RS.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	S (SET)	R (RESET)	CLOCK	OUTPUT		MODE
				Q	Q _(t+1)	
1	0	0	0	Memori	Memori	Memori
2	0	0	1	Memori	Memori	Memori
3	0	1	0	Memori	Memori	Memori
4	0	1	1	0	1	Reset
5	1	0	0	0	1	Memori
6	1	0	1	1	0	Set
7	1	1	0	1	0	Memori
8	1	1	1	0	0	Terlarang

Catatan : Kolom mode menjelaskan kondisi kinerja dari FF tersebut, seperti ‘memori’, ‘set’, ‘reset’, atau ‘toggle’

3. Jawab pertanyaan berikut!

- a. Apa yang akan terjadi jika kita beri kondisi $S = R = 1$ dan clock berubah dari 1 ke 0?

Output akan ambigu karna tidak diperbolehkan S,R dan clock berada dalam kondisi high diwaktu yang sama.

b. Bagaimana kondisi diatas dapat terjadi?

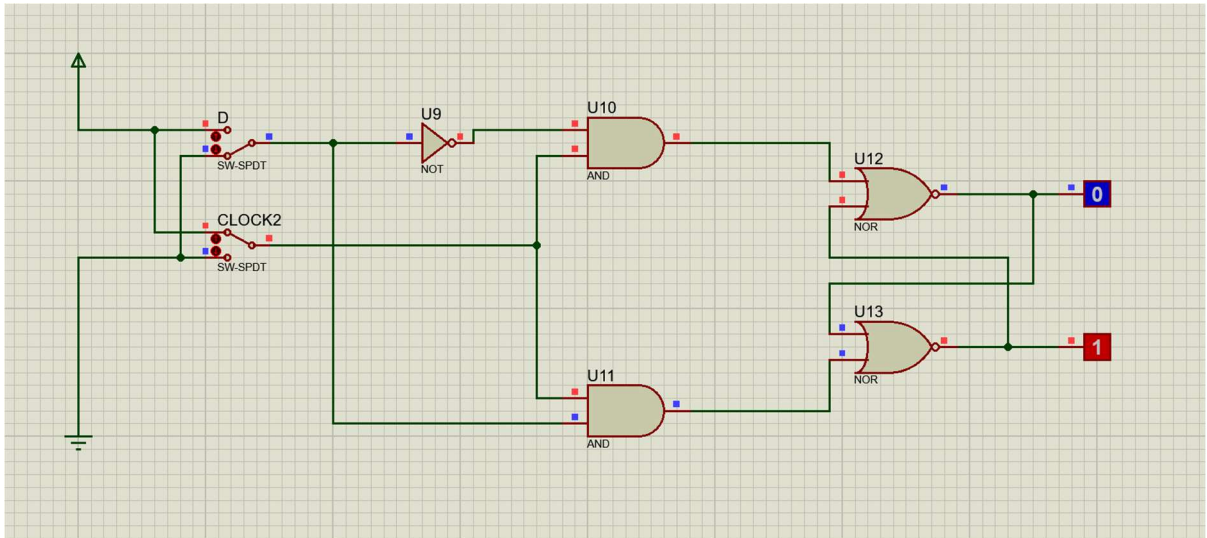
Saat merubah clock berada pada kondisi high bersamaan dengan S dan R tidak diperbolehkan oleh proteus, sehingga tidak dapat pula merubah clock kemudian ke kondisi low.

c. Jelaskan bagaimana Flip-flop RS bekerja!

Output FF hanya akan berubah dengan inputan saat pulsa clock bernilai 1.

Percobaan 4 – Flip – Flop D

1. Buat dan simulasikan Flip-Flop D seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan flip-flop.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	D	CLOCK	OUTPUT		MODE
			Q	Q _(t+1)	
1	0	0	Memori	Memori	Memori
2	0	1	0	1	Data in
3	1	0	0	1	Memori
4	1	1	1	0	Data in
5	0	0	1	0	Memori
6	0	1	0	1	Data in
7	1	0	0	1	Memori
8	1	1	1	0	Data in

Catatan : Kolom mode menjelaskan kondisi kinerja dari FF tersebut, seperti ‘memori’ atau ‘Data in/masuk’.

3. Jelaskan bagaimana Flip-flop D bekerja!

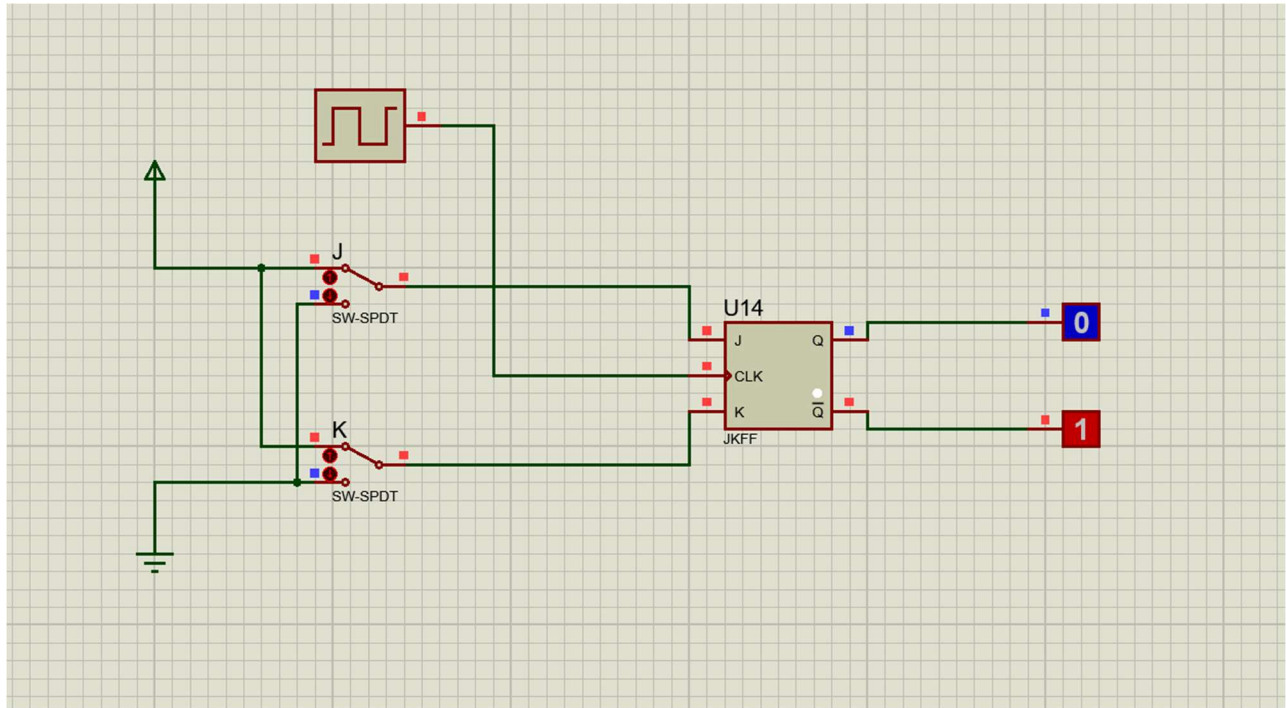
FF D adalah multivibrator dengan keadaan ganda(bisable) yang input D di transfer ke output setelah menerima pulsa clock.

4. Apa fungsi NOT gate pada Flip-Flop D dibandingkan dengan FlipFlop SR!

Input S dihubungkan ke input R menggunakan inverter (NOT gate) sehingga terbentuk input baru yaitu data (D).

Percobaan 5 – Flip – Flop JK

1. Buat dan simulasikan JK Flip-Flop seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan flip-flop.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	J	K	CLOCK	OUTPUT		MODE
				Q	Q _(t+1)	
1	0	0	0	0	1	Memori
2	0	0	1	0	1	Memori
3	0	1	0	0	1	Memori
4	0	1	1	0	1	Reset
5	1	0	0	0	1	Memori
6	1	0	1	1	0	Set
7	1	1	0	1	0	Memori
8	1	1	1	0	1	Toggle

Catatan : Kolom mode menjelaskan kondisi kinerja dari FF tersebut, seperti ‘memori’, ‘set’, ‘reset’, atau ‘toggle’

3. Jawab pertanyaan berikut ini

a. Apa yang akan terjadi jika $J = K = 0$, dan clock rise up (change from 0 to 1)?

Output Q akan tetap berada pada nilai/keadaan terakhir.

b. Apa yang akan terjadi jika $J = K = 1$, dan clock rise up?

Keluaran 'toggle', dan keluaran berlawanan dengan kondisi sebelumnya

4. Jelaskan bagaimana Flip-flop JK bekerja!

FF JK adalah modifikasi dari FF SR hanya saja tidak terdapat kondisi terlarang. FF JK mempunyai semua sifat FF lainnya, juga dapat berubah menjadi FF-T (toggle) yaitu FF yang akan hidup jika diberi pulsa pertama dan akan mati jika diberi pulsa kedua, demikian seterusnya.