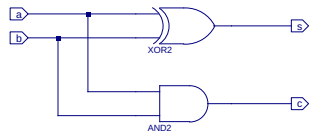


數位電腦設計

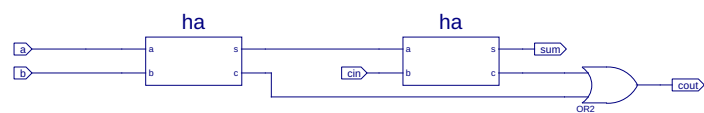
期中專題報告

資工二
S0954010 謝宥宣
2022/05/31

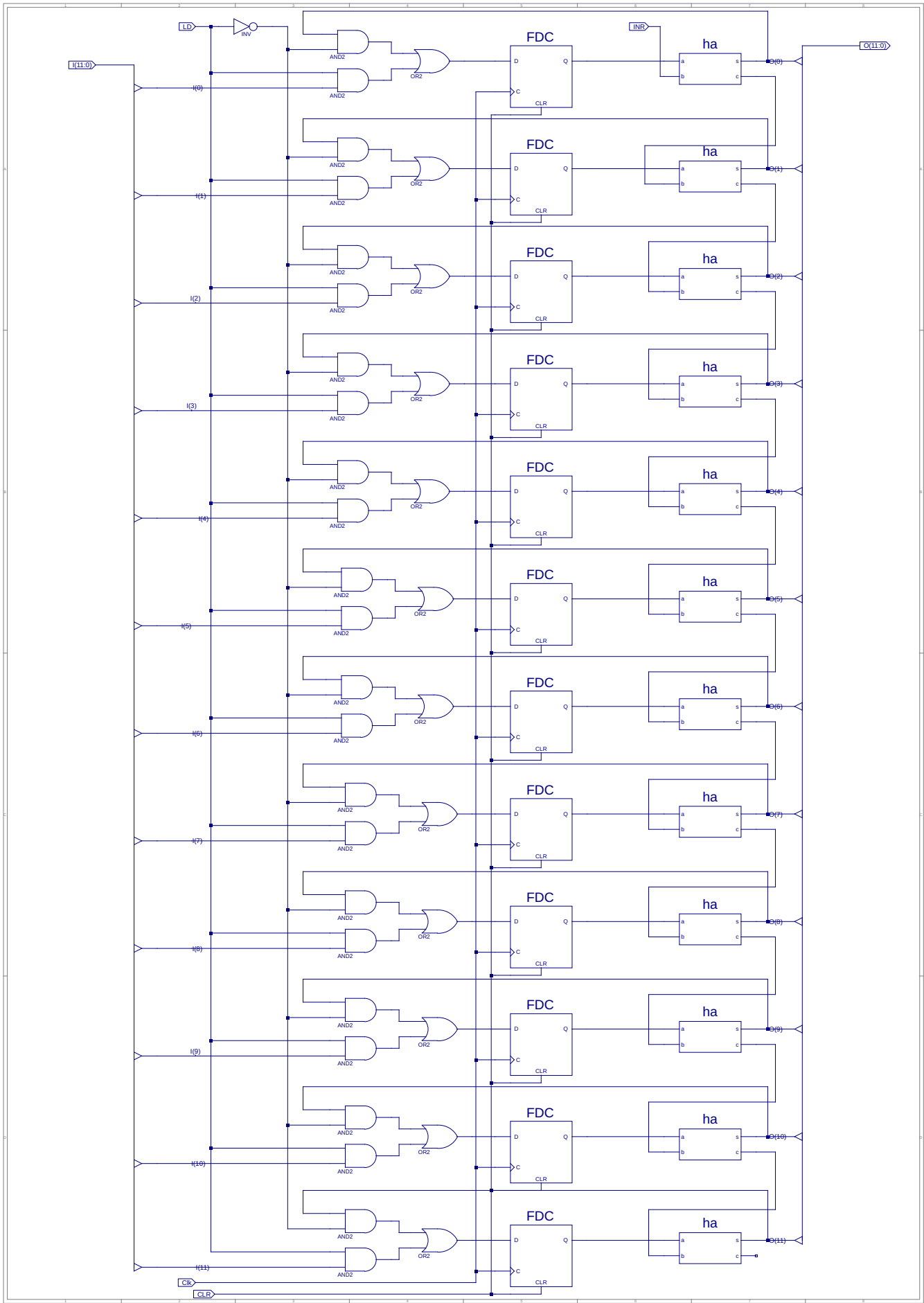
1. 半加器 (half adder /ha)



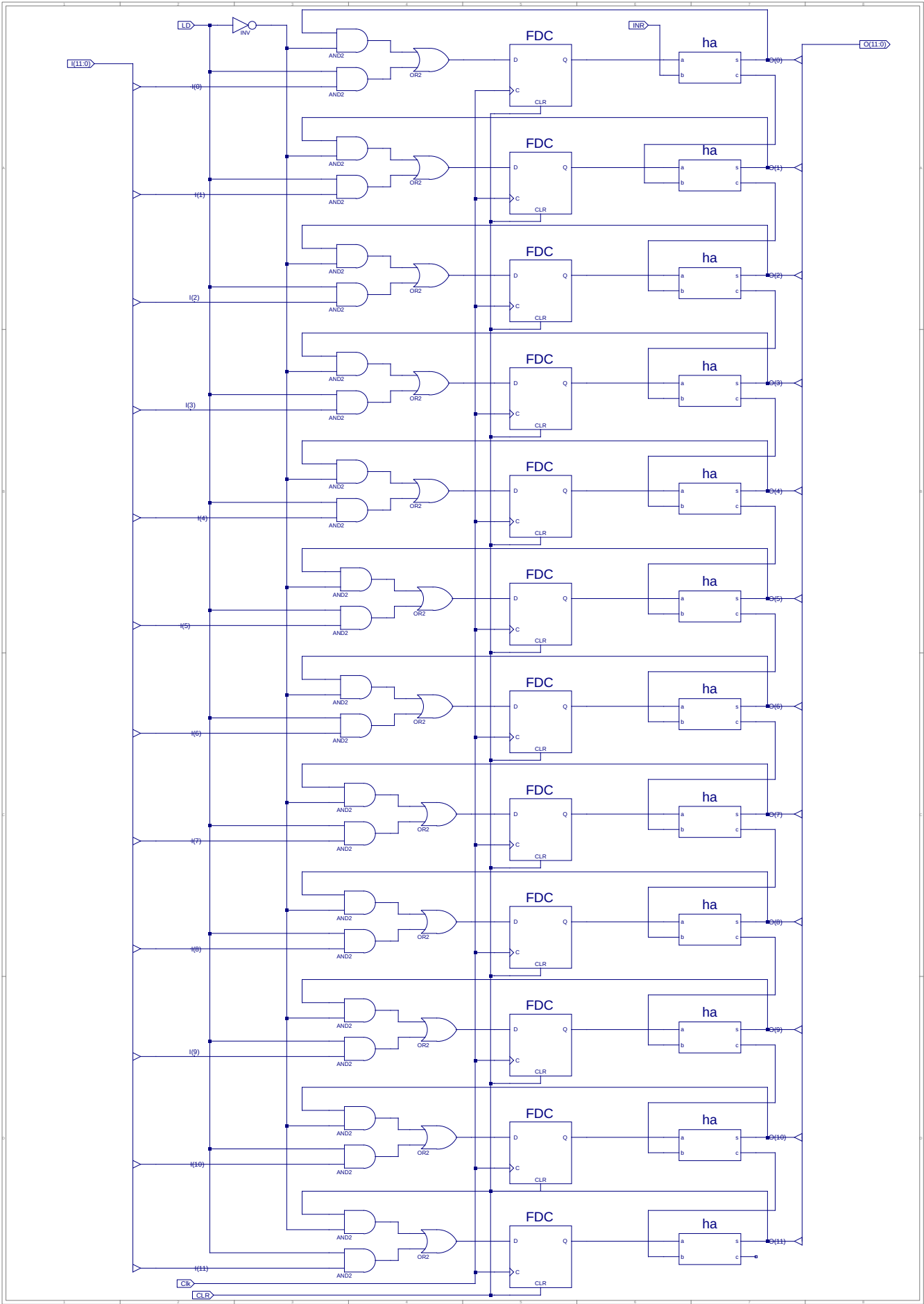
2. 全加器 (full adder/ fa)



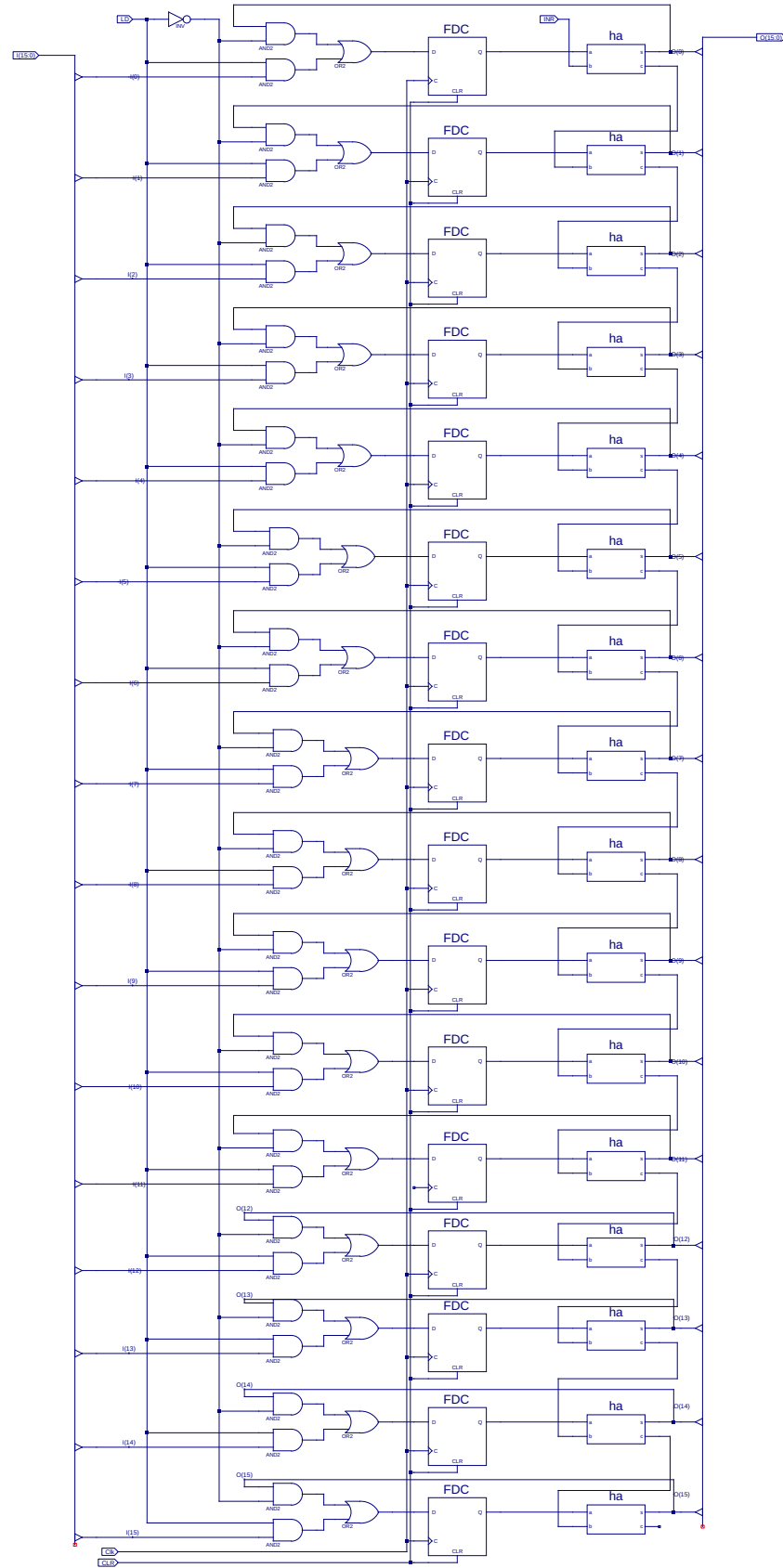
3. Address Register (AR)



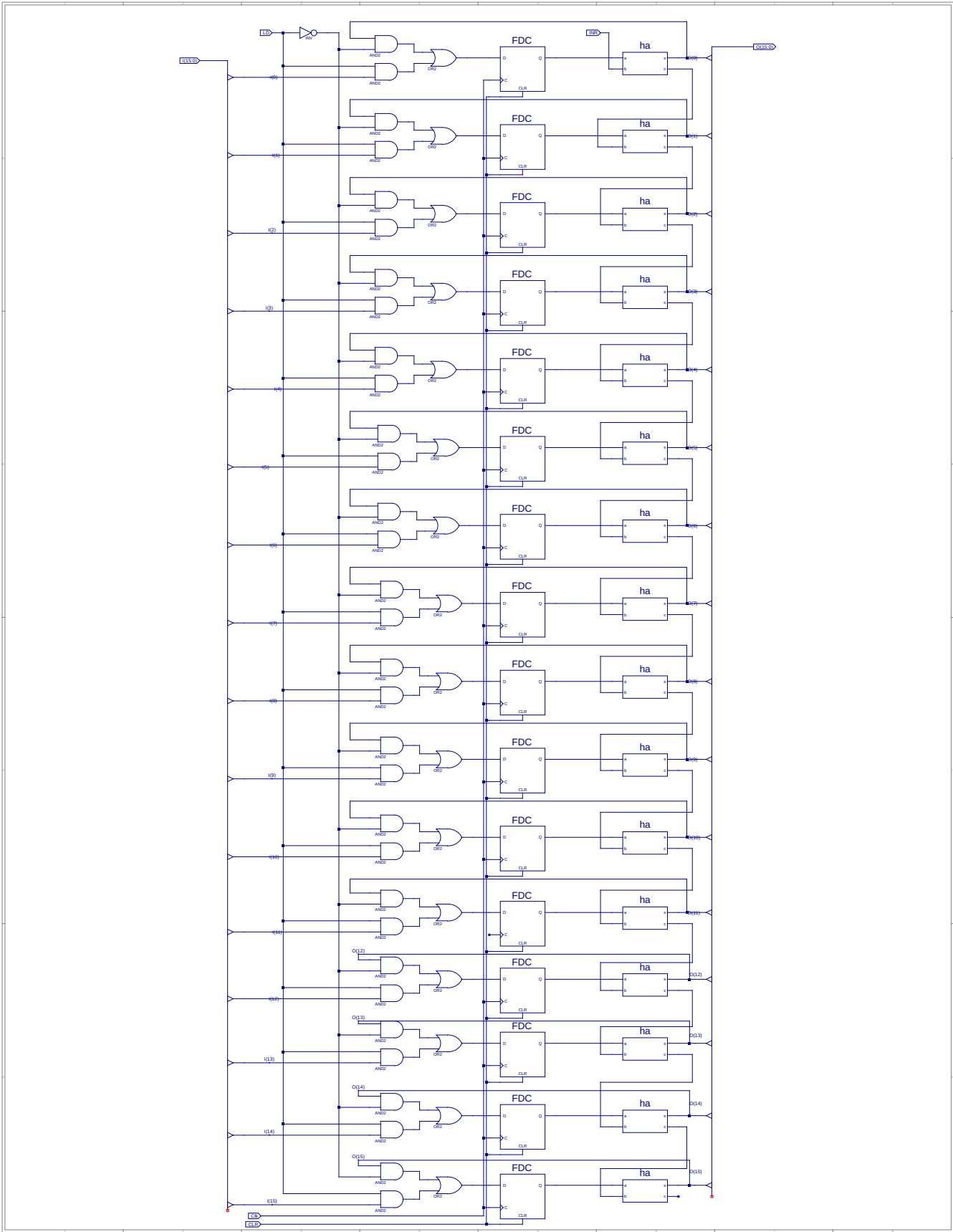
4. Program Counter (PC)



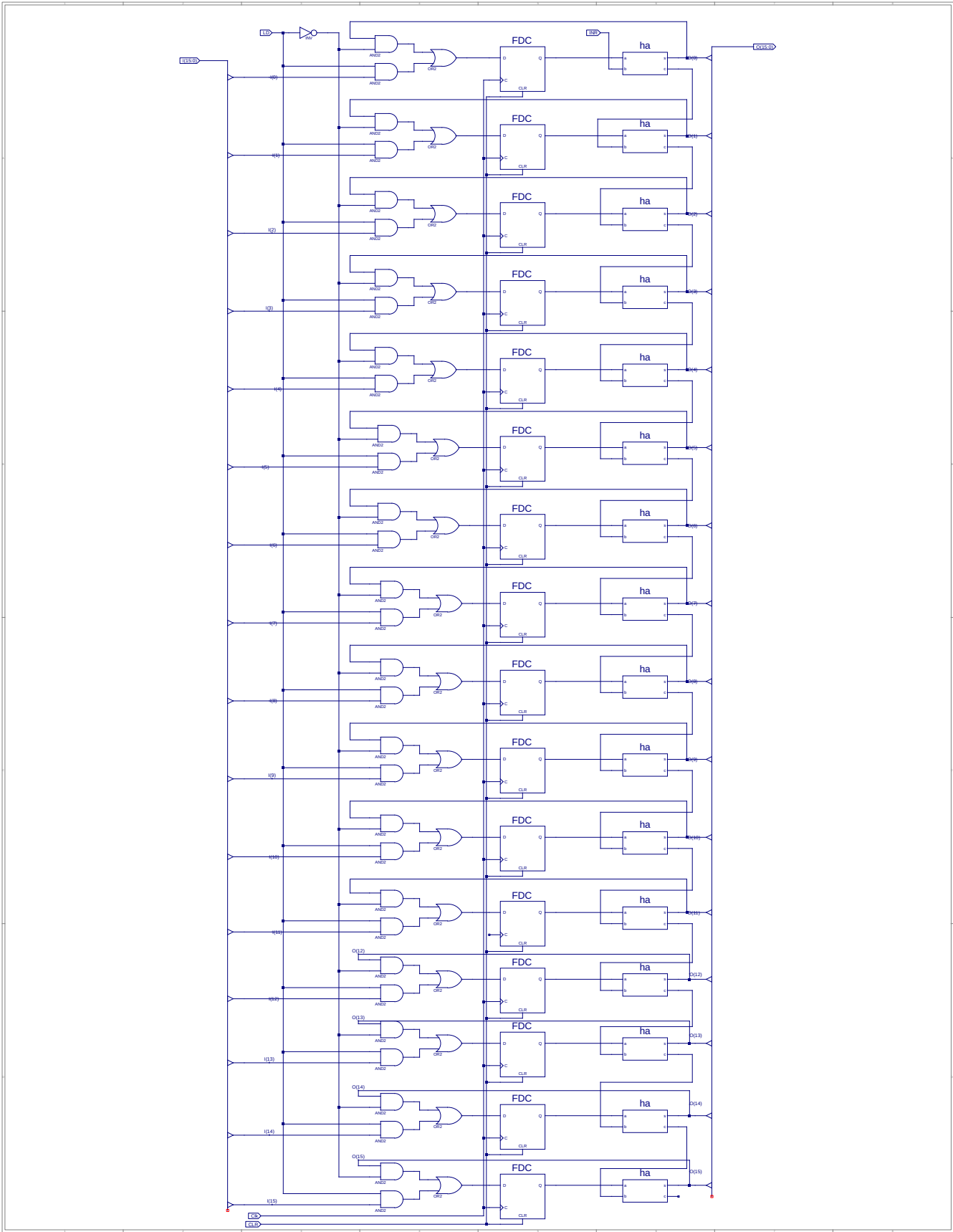
5. Data Register (DR)



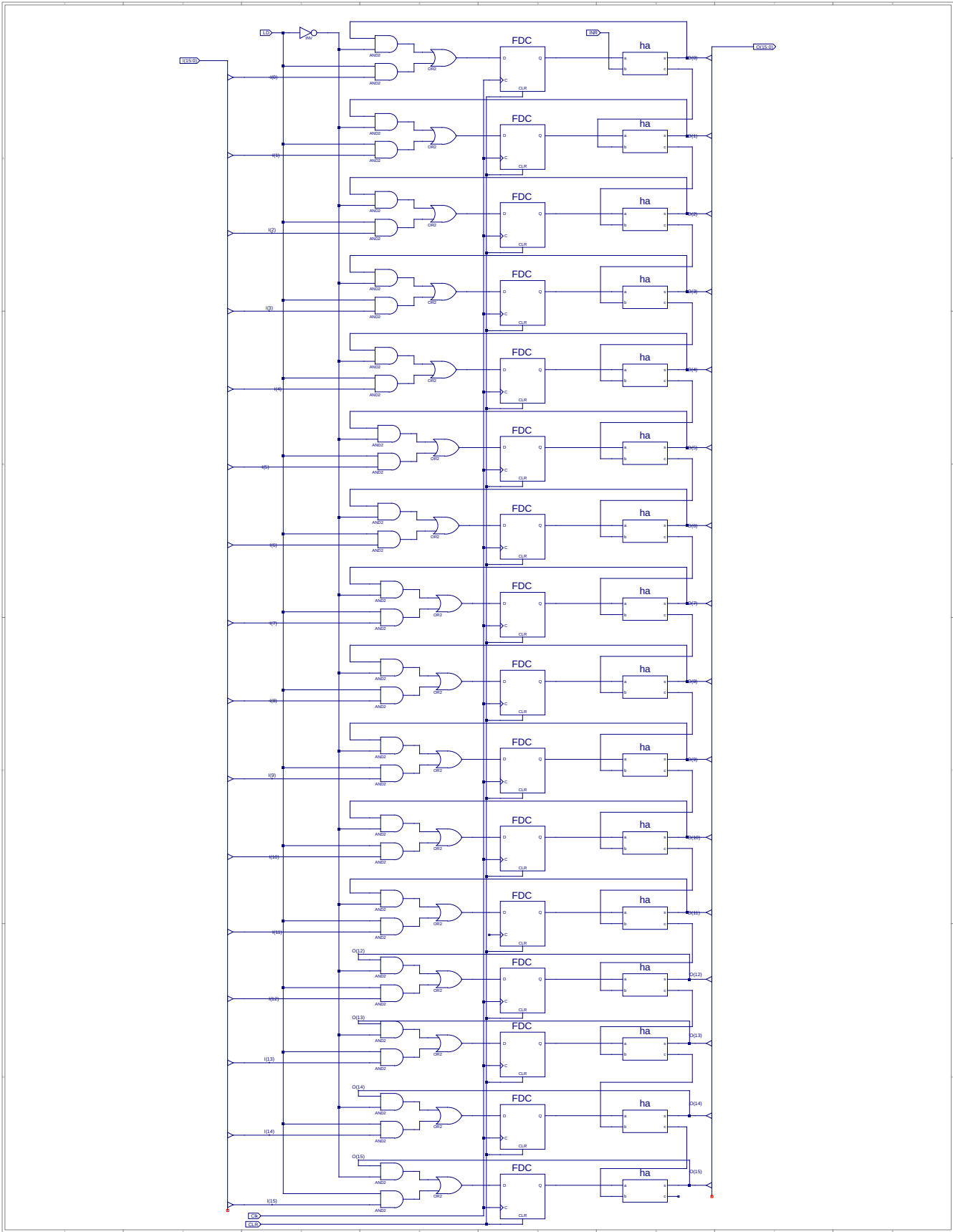
6. Accumulator (AC)



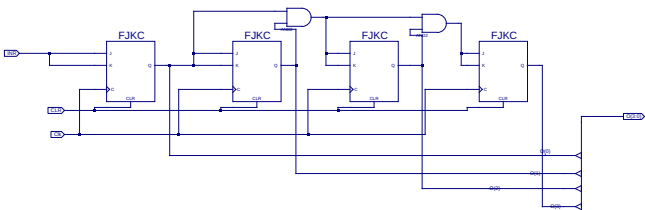
7. Instruction Register (IR)



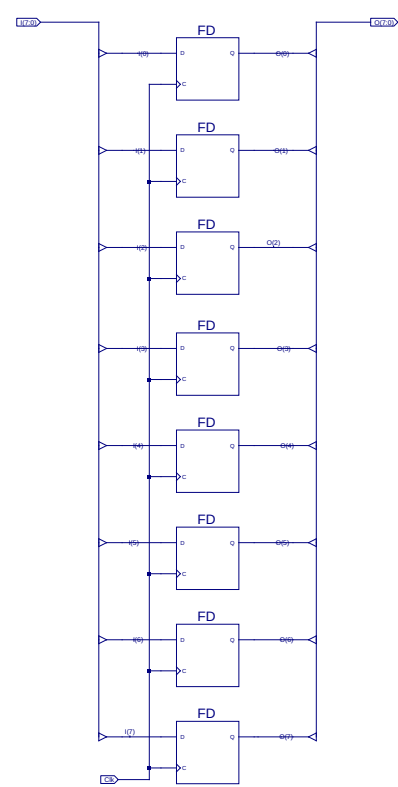
8. Temporary Register (TR)



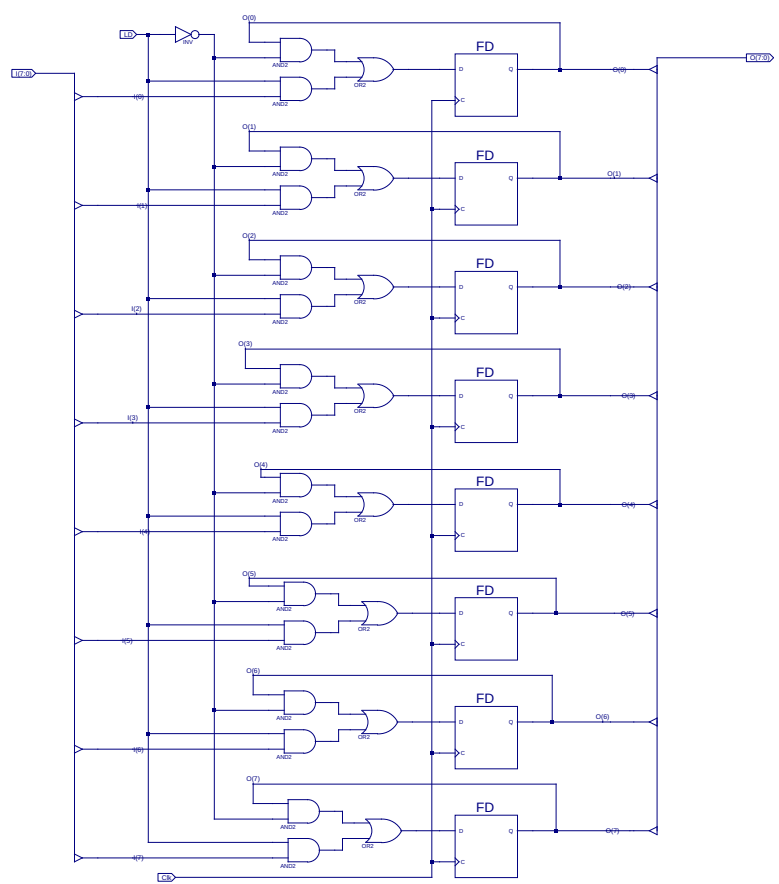
9. Sequence Counter (SC)



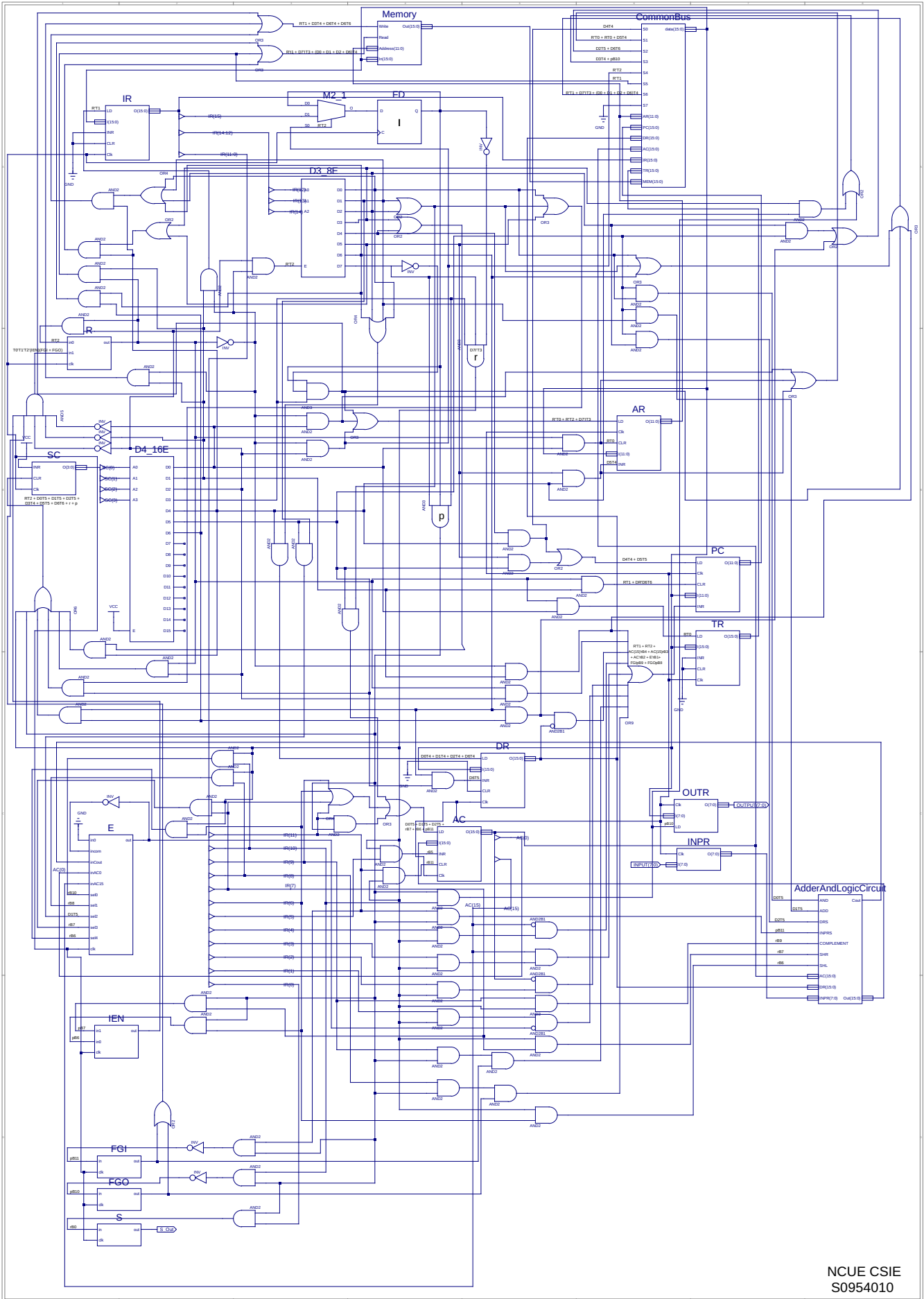
10. Input Register (INPR)



11. Output Register (OUTR)



12. Computer Design



專題心得

這次的專題是我第一次使用schematic diagram的方式設計專題。在此之前我也沒有過類似經驗與學習。由於在剛開始製作前，在閱讀原文書敘述時遺漏了許多重點，不知道部分暫存器/ flip-flop的input與output維和，導致在製作初期就遇到了許多困難。原以為能在3個禮拜內輕鬆完成的專題，最終花了約7周才完成。期間也和老師通了許多次信件請教，十分感謝老師在信件中不厭其煩地講解，才讓我得以完成這次的專題實作。最終的成果中，雖然線路拉得有些凌亂，但每個暫存器與flip-flop的每一個input與output，我皆有清楚標示其邏輯電路組成，也再三確認過與書上表格內容一致，老師在檢視時，可以自行放大圖中電路。

「從做中學」，大概是這次專題實作最佳的代名詞，在自己實作前，我一直認為自己已經十分瞭解第五章的內容，但在實作時，卻發現自己疏漏了許多知識盲區。最終完成本次專題時，總算鬆了一口氣，也對專題成果感到十分有成就感。

最後，還是要再次感謝老師能撥空回覆學生的信件與訊息，為學生解惑。謝謝老師！

資工二

S0954010 謝宥宣

2022.05.31