|  |  |
| --- | --- |
| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **Компьютерные системы и сети (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.01 Информатика и вычислительная техника**

**РАСЧЕТНО-ПОЯСНИТЕЛЬНАЯ ЗАПИСКА**

***К КУРСОВОЙ РАБОТЕ***

***по дисциплине «Микропроцессорные системы»***

***НА ТЕМУ:***

***\_\_\_\_\_Устройство речевого ввода – вывода \_\_\_\_\_\_\_***

***\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_***

***\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_***

***\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_***

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Студент | ИУ6-73Б |  |  | А.А. Смирнов |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Руководитель |  |  |  | С.А. Хохлов |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |

*2019 г.*

**Задание (2 экземпляра)**

# РЕФЕРАТ

Записка 68 стр., 13 таб., 34 рис., 4 лист., 12 источников, 2 прил.

МИКРОКОНТРОЛЛЕР, МИЛАНДР, Miladnr, АЦП, ЦАП

В ходе работы над данным курсовым проектом были исследованы МК К1986ВЕ92QI, его отладочная плата, АЦП и ЦАП для реализации функции записи, хранения и воспроизведения речевых сообщений. Написаны тестирующие программы, тестирующие модули записи речи через АЦП, модуля воспроизведения речи с помощью ЦАП. Написан интеграционный тест, проверяющий правильность взаимодействия всех включенных в работу модулей.

Материалы по курсовой работе представлены в виде графической части, приложений со схемами и отлаженным программным кодом для микроконтроллера и расчетно-пояснительной записки.

# СПИСОК СОКРАЩЕНИЙ

МК – микроконтроллер

АЦП (ADC) – аналого-цифровой преобразователь

ЦАП (DAC) – цифро-аналоговый преобразователь

ОЗУ (RAM) – оперативное запоминающее устройство

EEPROM - Electrically Erasable Programmable Read-Only Memory (электрически стираемое перепрограммируемое ПЗУ)

LCD – liquid crystal display (жидкокристаллический дисплей)

USB - Universal Serial Bus (универсальная последовательная шина)

# СОДЕРЖАНИЕ

[РЕФЕРАТ 4](#_Toc27168875)

[СПИСОК СОКРАЩЕНИЙ 5](#_Toc27168876)

[СОДЕРЖАНИЕ 6](#_Toc27168877)

[ВВЕДЕНИЕ 7](#_Toc27168878)

[1 Конструкторская часть 8](#_Toc27168879)

[1.1 Описание архитектуры микроконтроллера 8](#_Toc27168880)

[1.2 Описание отладочной платы 19](#_Toc27168881)

[1.3 Описание контроллера АЦП 22](#_Toc27168882)

[1.4 Описание контроллера ЦАП 25](#_Toc27168883)

[1.5 Описание работы с EEPROM 26](#_Toc27168884)

[1.6 Описание усилителя MAX9812 26](#_Toc27168885)

[1.7 Схемы алгоритмов 28](#_Toc27168886)

[1.8 Расчет потребляемой мощности 28](#_Toc27168887)

[2 Технологическая часть 28](#_Toc27168888)

[2.1 Программа разработки и отладки 28](#_Toc27168889)

[2.2 Оценка времени работы модулей 28](#_Toc27168890)

[2.3 Способ программирования памяти программ 28](#_Toc27168891)

[ЗАКЛЮЧЕНИЕ 28](#_Toc27168892)

[СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ 28](#_Toc27168893)

[ПРИЛОЖЕНИЕ А – Спецификация 28](#_Toc27168894)

[ПРИЛОЖЕНИЕ Б – текст программы 28](#_Toc27168895)

# ВВЕДЕНИЕ

С развитием технологий разработки микросхем, сложные вычислительные задачи могут быть решены с помощью микроконтроллеров, имеющих очень компактные размеры.

АО "ПКК Миландр" — ведущий российский разработчик и производитель изделий микроэлектроники (микроконтроллеры, микропроцессоры, микросхемы памяти, микросхемы приемопередатчиков, микросхемы преобразователей напряжения, радиочастотные схемы), универсальных электронных модулей и приборов промышленного и коммерческого назначения, разработки ПО для современных информационных систем и изделий микроэлектроники. Устройства данной компании пользуются достаточно высокой популярностью.  
 Цель работы – разработка и реализация устройства речевого ввода и вывода на основе микроконтроллера. Устройство должно предоставлять возможность записи речи, ее хранения и воспроизведения. Управление осуществляется с помощью пульта оператора.

Работа выполняется на основе микросхемы производства выше описанной АО "ПКК Миландр", а именно - К1986ВЕ92QI, имеющий все необходимые модули для реализации устройства речевого ввода-вывода.

# 1 Конструкторская часть

# Описание архитектуры микроконтроллера

Микроконтроллер К1986ВЕ92QI российской компании «Ми-ландр» (АО «ПКК Миландр») имеет следующие характеристики:

1. Ядро:

* ARM 32-битное RISC-ядро Cortex™-M3 ревизии 2.0, тактовая частота до 80 МГц;
* производительность 1.25 DMIPS/МГц (Dhrystone 2.1) при нулевой задержке памяти,
* блок аппаратной защиты памяти MPU,
* умножение за один цикл, аппаратная реализация деления.

1. Память:

* встроенная энергонезависимая Flash-память программ размером 128 Кбайт,
* встроенное ОЗУ размером 32 Кбайт,
* контроллер внешней шины с поддержкой микросхем памяти СОЗУ, ПЗУ, NAND Flash.

1. Питание и тактовая частота:

* внешнее питание 2,2 ÷ 3,6 В,
* встроенный регулируемый стабилизатор напряжения на 1,8 В для питания ядра,
* встроенные схемы контроля питания,
* встроенный домен с батарейным питанием,
* встроенные подстраиваемые RC генераторы 8 МГц и 40 кГц,
* внешние кварцевые резонаторы на 2 ÷ 16 МГц и 32 кГц,
* встроенный умножитель тактовой частоты PLL для ядра,
* встроенный умножитель тактовой частоты PLL для USB.

1. Режим пониженного энергопотребления:

* режимы Sleep, Deep Sleep и Standby,
* батарейный домен с часами реального времени и регистрами аварийного сохранения.

1. Аналоговые модули:

* два 12-разрядных АЦП (до 16 каналов),
* температурный датчик,
* двухканальный 12-разрядный ЦАП,
* встроенный компаратор.

1. Периферия:

* контроллер DMA с функциями передачи Периферия-Память, Память-Память,
* два контроллера CAN интерфейса,
* контроллер USB интерфейса с функциями работы Device и Host,
* контроллеры интерфейсов UART, SPI, I2C,
* три 16-разрядных таймер-счетчика с функциями ШИМ и регистрации событий.

до 96 пользовательских линий ввода-вывода.

1. Отладочные интерфейсы:

* последовательные интерфейсы SWD и JTAG,
* Тип корпуса - LQFP64,
* Ближайший аналог - STM32F103x,
* Температурный диапазон – минус 45 °С ...+85°С.

Таким образом, микроконтроллер может быть использован для решения широкого спектра задач, так как обладает внушительными характеристиками.

На рисунке 1 представлена схема расположения выводов данного микроконтроллера. При этом почти все выводы с портов ввода/вывода имеют альтернативные функции.

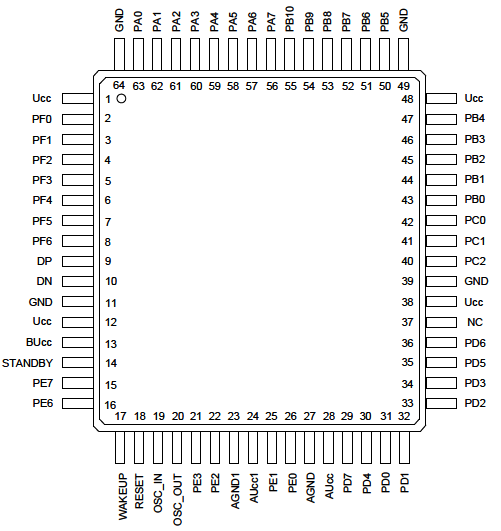


Рисунок 1 – Схема выводов микроконтроллера

Назначение линий портов микроконтроллера приведено в таблице 1. Для того, чтобы линии порта перешли под управление того или иного периферийного блока, необходимо задать для выбранных линий выполняемую функцию и настройки.

Таблица 1 - Функции линий портов микроконтроллера (часть 1)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Линия** | **Вывод** |  | **Цифровая функция** |  | **Аналоговая функция** |
| **Основная** | **Альтернат.** | **Переопред.** |
| **1** | **2** | **3** | **4** | **5** | **6** |
|  | | | Порт A |  | |
| PA0 | 63 | DATA0 | EXT\_INT1 | – | – |
| PA1 | 62 | DATA1 | TMR1\_CH1 | TMR2\_CH1 | – |
| PA2 | 61 | DATA2 | TMR1\_CH1N | TMR2\_CH1N | – |
| PA3 | 60 | DATA3 | TMR1\_CH2 | TMR2\_CH2 | – |
| PA4 | 59 | DATA4 | TMR1\_CH2N | TMR2\_CH2N | – |
| PA5 | 58 | DATA5 | TMR1\_CH3 | TMR2\_CH3 | – |
| PA6 | 57 | DATA6 | CAN1\_TX | UART1\_RXD | – |
| PA7 | 56 | DATA7 | CAN1\_RX | UART1\_TXD | – |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  | Порт B |  | |
| PB0 | 43 | DATA16 | TMR3\_CH1 | UART1\_TXD | – |
| PB1 | 44 | DATA17 | TMR3\_CH1N | UART2\_RXD | – |

Таблица 1 - Функции линий портов микроконтроллера (часть 2)

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| PB2 | 45 | DATA18 | TMR3\_CH2 | CAN1\_TX | – | |
| PB3 | 46 | DATA19 | TMR3\_CH2N | CAN1\_RX | – | |
| PB4 | 47 | DATA20 | TMR3\_BLK | TMR3\_ETR | – | |
| PB5 | 50 | DATA21 | UART1\_TXD | TMR3\_CH3 | – | |
| PB6 | 51 | DATA22 | UART1\_RXD | MR3\_CH3N | – | |
| PB7 | 52 | DATA23 | nSIROUT1 | TMR3\_CH4 | – | |
| PB8 | 53 | DATA24 | COMP\_OUT | TMR3\_CH4N | – | |
| PB9 | 54 | DATA25 | nSIRIN1 | EXT\_INT4 | – | |
| PB10 | 55 | DATA26 | EXT\_INT2 | nSIROUT1 | – | |
|  |  |  | Порт C |  | | |
| PC0 | 42 | – | SCL1 | SSP2\_FSS | – | |
| PC1 | 41 | OE | SDA1 | SSP2\_CLK | – | |
| PC2 | 40 | WE | TMR3\_CH1 | SSP2\_RXD | – | |
|  |  |  | Порт D |  | | |
| PD0 | 31 | TMR1\_CH1N | UART2\_RXD | TMR3\_CH1 | ADC0\_REF+ | |
| PD1 | 32 | TMR1\_CH1 | UART2\_TXD | TMR3\_CH1N | ADC1\_REF- | |
| PD2 | 33 | BUSY1 | SSP2\_RXD | TMR3\_CH2 | ADC2 | |
| PD3 | 34 | – | SSP2\_FSS | TMR3\_CH2N | ADC3 | |
| PD4 | 30 | TMR1\_ETR | nSIROUT2 | TMR3\_BLK | ADC4 |
| PD5 | 35 | CLE | SSP2\_CLK | TMR2\_ETR | ADC5 |
| PD6 | 36 | ALE | SSP2\_TXD | TMR2\_BLK | ADC6 |
| PD7 | 29 | TMR1\_BLK | nSIRIN2 | UART1\_RXD | ADC7 |
|  |  |  | Порт E |  | |
| PE0 | 26 | ADDR16 | TMR2\_CH1 | CAN1\_RX | DAC2\_OUT |
| PE1 | 25 | ADDR17 | TMR2\_ CH1N | CAN1\_TX | DAC2\_REF |
| PE2 | 22 | ADDR18 | TMR2\_CH3 | TMR3\_CH1 | COMP\_IN1 |
| PE3 | 21 | ADDR19 | TMR2\_CH3N | TMR3\_CH1N | COMP\_IN2 |
| PE6 | 16 | ADDR22 | CAN2\_RX | TMR3\_CH3 | OSC\_IN32 |
| PE7 | 15 | ADDR23 | CAN2\_TX | TMR3\_CH3N | OSC\_OUT32 |
|  |  |  | Порт F |  | |
| PF0 | 2 | ADDR0 | SSP1\_TXD | UART2\_RXD | – |
| PF1 | 3 | ADDR1 | SSP1\_CLK | UART2\_TXD | – |
| PF2 | 4 | ADDR2 | SSP1\_FSS | CAN2\_RX | – |
| PF3 | 5 | ADDR3 | SSP1\_RXD | CAN2\_TX | – |
| PF4 | 6 | ADDR4 | – | – | – |
| PF5 | 7 | ADDR5 | – | – | – |
| PF6 | 8 | ADDR6 | TMR1\_CH1 | – | – |

На рисунке 2 изображена структурная блок-схема микроконтроллера К1986ВЕ92QI, наглядно представляющая периферийные устройства и их взаимодействие. Используемые обозначения представлены в таблице 2.

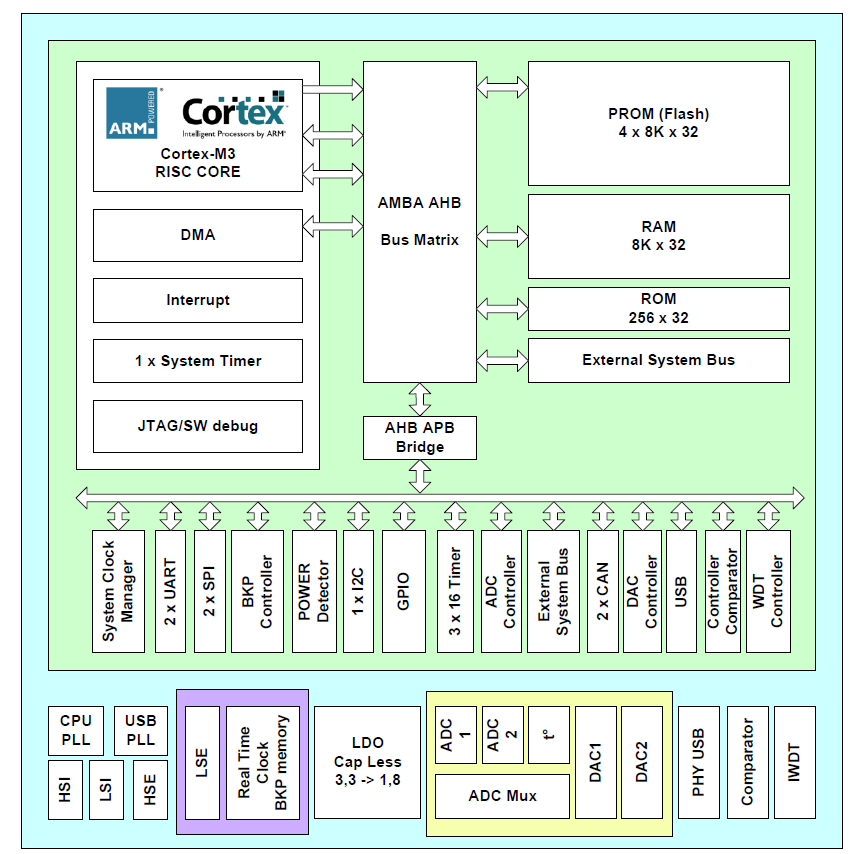


Рисунок 2 – Структурная блок-схема микроконтроллера К1986ВЕ92QI

Таблица 2 - Обозначение функциональных блоков (часть 1)

|  |  |
| --- | --- |
| **Блок** | **Описание** |
| Cortex-M3 RISC CORE | Процессорное ядро ARM Cortex-M3 архитектуры RISC |
| DMA | Контроллер прямого доступа в память |
| Interrupt | Контроллер прерываний |
| System timer | Системный таймер |
| JTAG/SW debug | Отладочный модуль через интерфейс JTAG/SW |
| AMBA AHB Bus Matrix | Шинная матрица для связи высокоскоростных внутренних компонентов |
| AHB APB Bridge | Мост для связи с периферией |
| Flash | Модуль памяти Flash |
| RAM | Модуль памяти RAM |
| ROM | Модуль памяти ROM |
| External System Bus | Внешняя системная шина |
| System Clock Manager | Модуль системного тактирования |
| UART | Контроллер UART |
| SPI | Контроллер SPI |
| BKP Controller | Контроллер резервных данных |
| Power Detector | Модуль управления питанием |
| I2C | Контроллер I2C |
| GPIO | Интерфейс ввода/вывода общего назначения |
| 16 Timer | 16-разрядный таймер |
| ADC Controller | Контроллер аналого-цифрового преобразователя |
| CAN | Контроллер CAN |
| DAC Controller | Контроллер цифро-аналогового преобразователя |
| USB | Контроллер USB |
| Controller Comparator | Контроллер компаратора |
| WDT Controller | Контроллер сторожевого таймера |

В рамках реализации устройства речевого ввода-вывода для управления некоторыми функциональными блоками (такими как GPIO, ADC Controller, DAC Controller, Flash) используются библиотеки, предоставляемые и поддерживаемыми компанией АО "ПКК Миландр". К таким библиотекам относятся MDR32F9Qx\_eeprom, MDR32F9Qx\_port, MDR32F9Qx\_adc, MDR32F9Qx\_dac, подключаемые с помощью директивы #include в начале главной программы.

Таблица 2 - Обозначение функциональных блоков (часть 2)

|  |  |
| --- | --- |
| CPU PLL | Фазовая автоподстройка частоты для процессорного ядра |
| USB PLL | Фазовая автоподстройка частоты для USB |
| HSI | Высокоскоростной внутренний генератор тактовой частоты |
| LSI | Низкоскоростной внутренний генератор тактовой частоты |
| HSE | Высокоскоростной внешний генератор тактовой частоты |
| LSE | Низкоскоростной внешний генератор тактовой частоты |
| Real Time Clock BKP memory | Резервная память |
| LDO Cap Less | Регулятор напряжения |
| ADC | АЦП |
| DAC | ЦАП |
| PSY USB | Дескриптор USB |
| Comparator | Компаратор |
| IWDT | Независимый сторожевой таймер |

Процессорное ядро имеет три системных шины:

* I Code – шина выборки инструкций,
* D Code – шина выборки данных, расположенных в коде программы;
* S Bus – шина выборки данных, расположенных в области ОЗУ.

Также в микроконтроллере реализован контроллер прямого доступа в память (DMA), который осуществляет выборку через шину DMA Bus. Ниже представлена структурная схема организации памяти микроконтроллера.

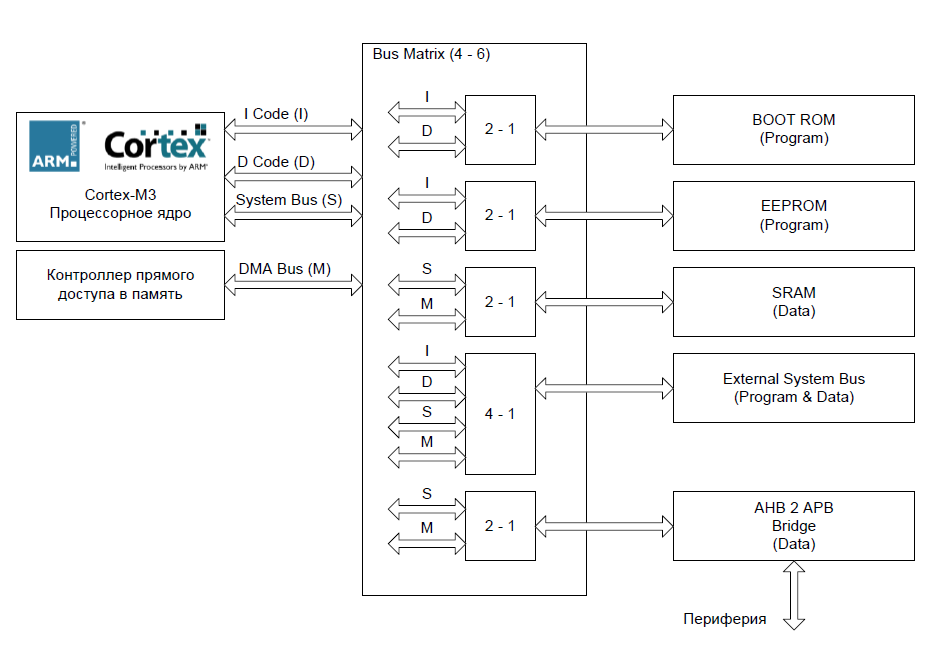


Рисунок 3 - Структурная схема организации памяти

По умолчанию для записи программ и другой информации используется область памяти начиная с 0x08000000 и размером в 0x20000 EEPROM памяти (128К).

После включения питания и снятия внутренних (POR) и внешних (RESET) сигналов сброса, микроконтроллер начинает выполнять программу из загрузочной области ПЗУ BOOT ROM. В загрузочной программе микроконтроллер определяет, в каком из режимов он будет функционировать, и переходит в этот режим. Режим функционирования определяется внешними выводами MODE[2:0], при этом перед опросом состояния этих выводов, для них включается внутренняя подтяжка к шине «Общий» (встроенные резисторы подтяжки к шине «Общий» имеют сопротивление ~50 кОм). Также устанавливается бит FPOR в регистре BKP\_REG\_0E, который может быть сброшен только при отключении основного питания UCC. После перезапуска микроконтроллера уровни на выводах MODE[2:0] не влияют на режим функционирование микроконтроллера, если установлен бит FPOR.

На рисунке 4 представлена подробная схема организации адресного пространства микроконтроллера.

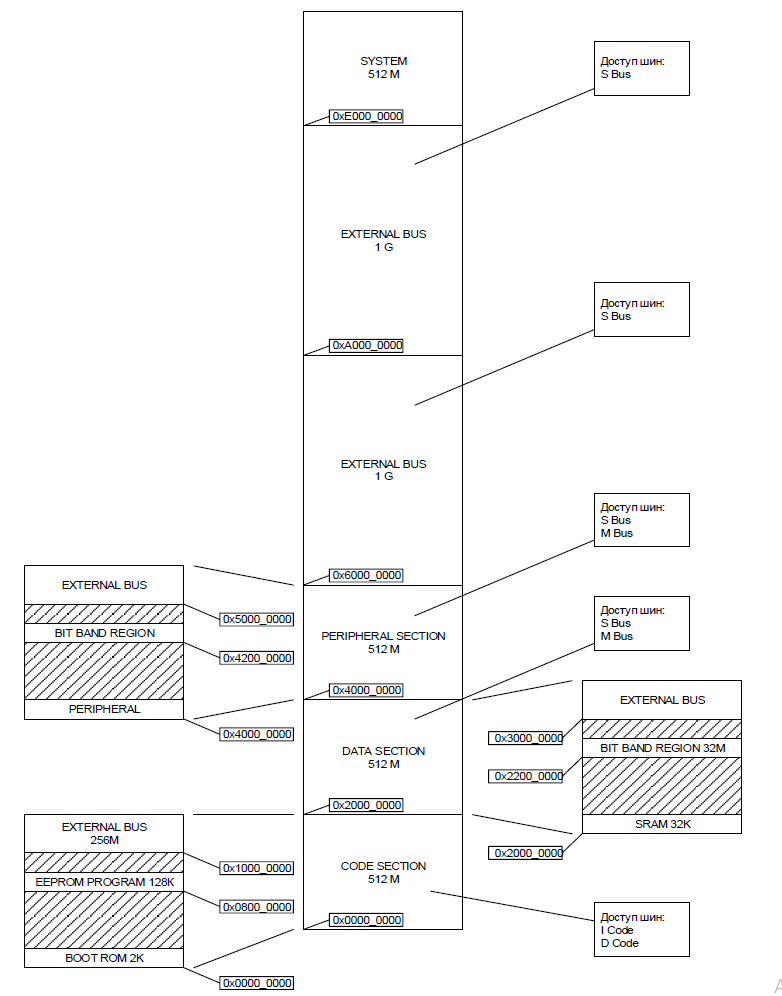


Рисунок 4 - Схема организации адресного пространства

При работе с отладочной платой BOOT SELECT (MODE[2:0]) устанавливается с помощью трех переключателей на плате. Описание режимов MODE[2:0] = 000 (JTAG\_B) и MODE[2:0] = 001 (JTAG\_A) представлены в таблице 3.

Таблица 3 – Режимы BOOT SELECT (первоначального запуска микроконтроллера)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **MODE**  **[2:0]** | **Стартовый адрес** | **Описание** | **Порты** | **Описание выводов интерфейса** |
| 000 | 0х0800\_0000 | Процессор начинает выполнять программу из внутренней Flash-памяти программ. При этом установлен отладочный интерфейс JTAG\_B | PD2/JB\_TRST  PD1/JB\_TCK  PD0/JB\_TMS  PD3/JB\_TDI  PD4/JB\_TDO | В качестве выводов интерфейса используются выводы порта D, совмещенные с каналами АЦП, выводами каналов Таймера 1 и 3, UART2 и SSP2, использование которых при отладке запрещено |
| 001 | 0х0800\_0000 | Процессор начинает выполнять программу из внутренней Flash-памяти программ. При этом разрешается работа отладочного интерфейса JTAG\_А | PB4/JA\_TRST  PB2/JA\_TCK  PB1/JA\_TMS  PB3/JA\_TDI  PB0/JA\_TDO | В качестве выводов интерфейса используются выводы порта B, совмещенные с выводами данных внешней системной шины, выводами таймера 3, выводами UART1 и UART2 и CAN1, использование которых при отладке запрещено |

# Описание отладочной платы

Для разработки и отладки устройства речевого ввода-вывода использовалась отладочная плата для микросхемы К1986ВЕ92QI. На рисунке 5 представлена схема отладочной платы.

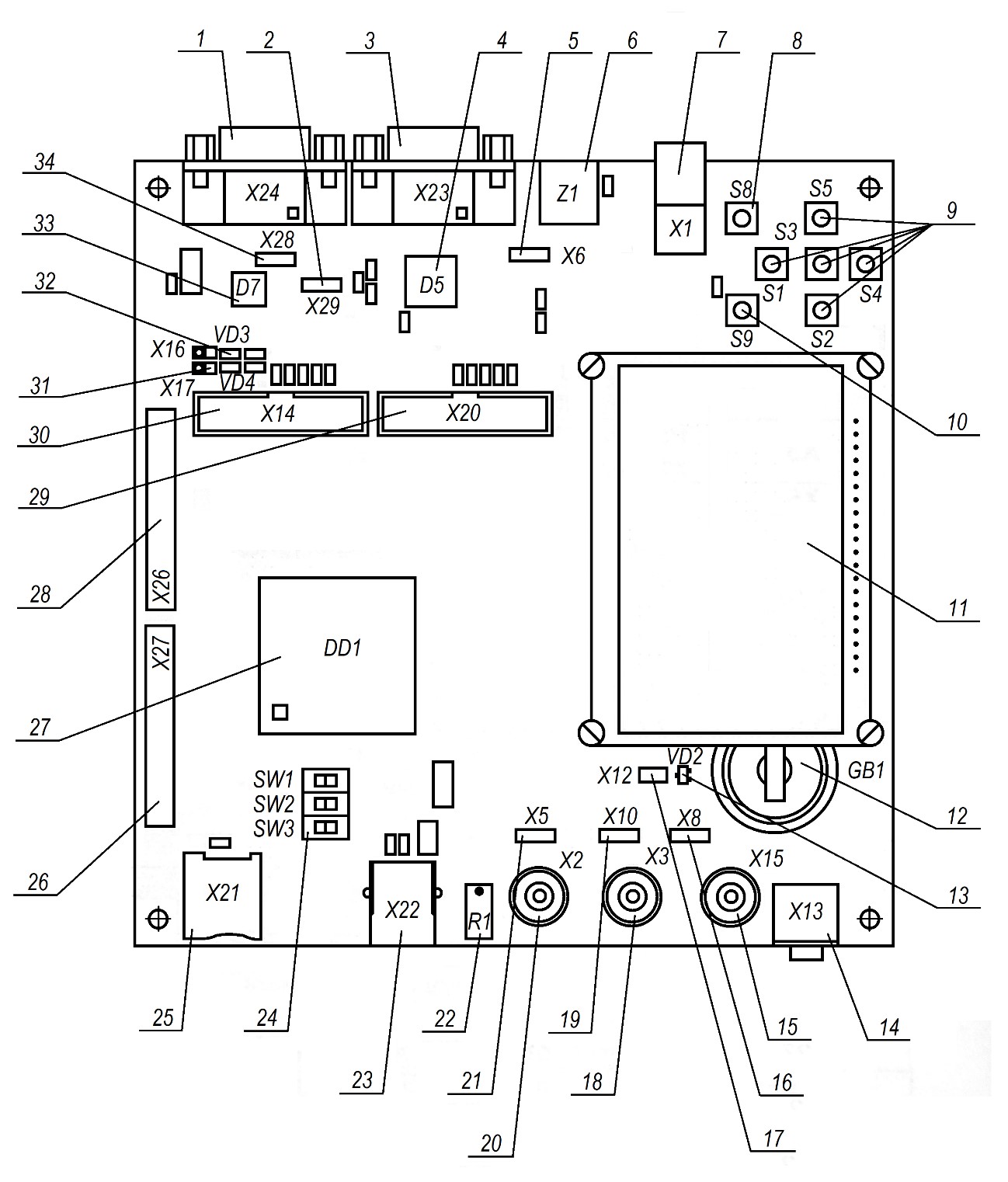


Рисунок 5 - Схема отладочной платы

Кнопки S1 «UP», S2 «LEFT», S3 «SELECT», S4 «DOWN», S5 «RIGHT» могут быть нами запрограммированы. Кнопка S1 подключена к линии PB5 порта B, кнопка S2 – к линии PE3 порта E, кнопка S3 – к линии PC2 порта C, кнопка S4 – к линии PE1 порта E, кнопка S5 – к линии PB6 порта B.

Кнопка S8 «RESET» предназначена для аппаратного сброса.

Кнопка S9 «WAKEUP» служит для выхода микроконтроллера из режима пониженного энергопотребления STANDBY.

Светодиоды VD3 и VD4 (поз. 32 на рисунке 1.3) могут служить для простейшей индикации. Элементы отладочной платы представлены в таблице 4.

Таблица 4 – Элементы отладочной платы (часть 1)

|  |  |  |
| --- | --- | --- |
| **Обозначение** | **Описание** | **Поз.** |
| DD1 | Контактное устройство для микроконтроллера | 27 |
| D5 | Приемопередатчик RS-232 | 4 |
| D7 | Приемопередатчик CAN | 33 |
| GB1 | Батарейный отсек | 12 |
| R1 | Подстроечный резистор канала 7 АЦП | 22 |
| SW1SW3 | Переключатели | 24 |
| S1-S5 | Кнопки UP, LEFT, SELECT, DOWN, RIGHT | 9 |
| S8 | Кнопка RESET | 8 |
| S9 | Кнопка WAKEUP | 10 |
| VD2 | Транзистор для подключения батарейного отсека | 13 |
| VD3, VD4 | Набор светодиодов для порта С | 32 |
| X1 | Разъем питания 5В | 7 |
| X2 | Разъем BNC внешнего сигнала канала 7 АЦП | 20 |
| X3 | Разъем BNC внешнего сигнала на 1-м входе компаратора | 18 |
| X5 | Разъем для установки конфигурационных перемычек | 21 |
| X6 | 5 |
| X8 | 16 |
| X10 | 19 |
| X12 | 17 |

Таблица 4 - Элементы отладочной платы (часть 2)

|  |  |  |  |
| --- | --- | --- | --- |
| **Обозначение** | | **Описание** | **Поз.** |
| X13 | | Разъем Audio 3,5 мм выхода ЦАП1 через звуковой усилитель | 14 |
| X14 | | Разъем отладки JTAG-A | 30 |
| X15 | | Разъем BNC выхода ЦАП-1 | 15 |
| X16, X17 | | Разъемы для установки конфигурационных перемычек | 31 |
| X20 | | Разъем отладки JTAG-B | 29 |
| X21 | | Разъем карты памяти micro-SD | 25 |
| X22 | Разъем USB-B | | 23 |
| X23 | Разъем интерфейса RS-232 | | 3 |
| X24 | Разъем интерфейса CAN | | 1 |
| X26 | Разъем портов B, C, D микроконтроллера | | 28 |
| X27 | Разъем портов A, E, F микроконтроллера | | 26 |
| X28 | Разъем для установки конфигурационных перемычек | | 34 |
| X29 | 2 |
| Z1 | Фильтр питания | | 6 |
| – | Жидкокристаллический модуль | | 11 |

# Описание контроллера АЦП

В микроконтроллере реализовано два 12-разрядных АЦП. С помощью АЦП можно оцифровать сигнал от 16 внешних аналоговых выводов порта D и от двух внутренних каналов, на которые выводятся датчик температуры и источник опорного напряжения. Скорость выборки составляет до 512 тысяч преобразований в секунду для каждого АЦП.

В качестве опорного напряжения преобразования могут выступать:

– питание АЦП с выводов AUCC и AGND,

– внешние сигналы с выводов ADC0\_REF+ и ADC\_REF-.

Контроллер АЦП позволяет:

* + оцифровать один из 16 внешних каналов,
  + оцифровать значение встроенного датчика температуры,
  + оцифровать значение встроенного источника опорного напряжения,
  + осуществить автоматический опрос заданных каналов,
  + выработать прерывание при выходе оцифрованного значения за заданные пределы,
  + запускать два АЦП синхронно для увеличения скорости выборки.

Для осуществления преобразования требуется не менее 28 тактов синхронизации CLK. В качестве синхросигнала может выступать частота процессора CPU\_CLK, либо частота ADC\_CLK, формируемая в блоке «Сигналы тактовой частоты». В данном случае для тактирования используется частота процессора.Выбор частоты осуществляется с помощью бита Cfg\_REG\_CLKS. Частота CPU\_CLK формируется из частоты процессорного ядра делением на коэффициент Cfg\_REG\_DIVCLK[3:0]. Максимальная частота CLK не может превышать 14 МГц.

На рисунке 6 представлена структурная схема контроллера АЦП.

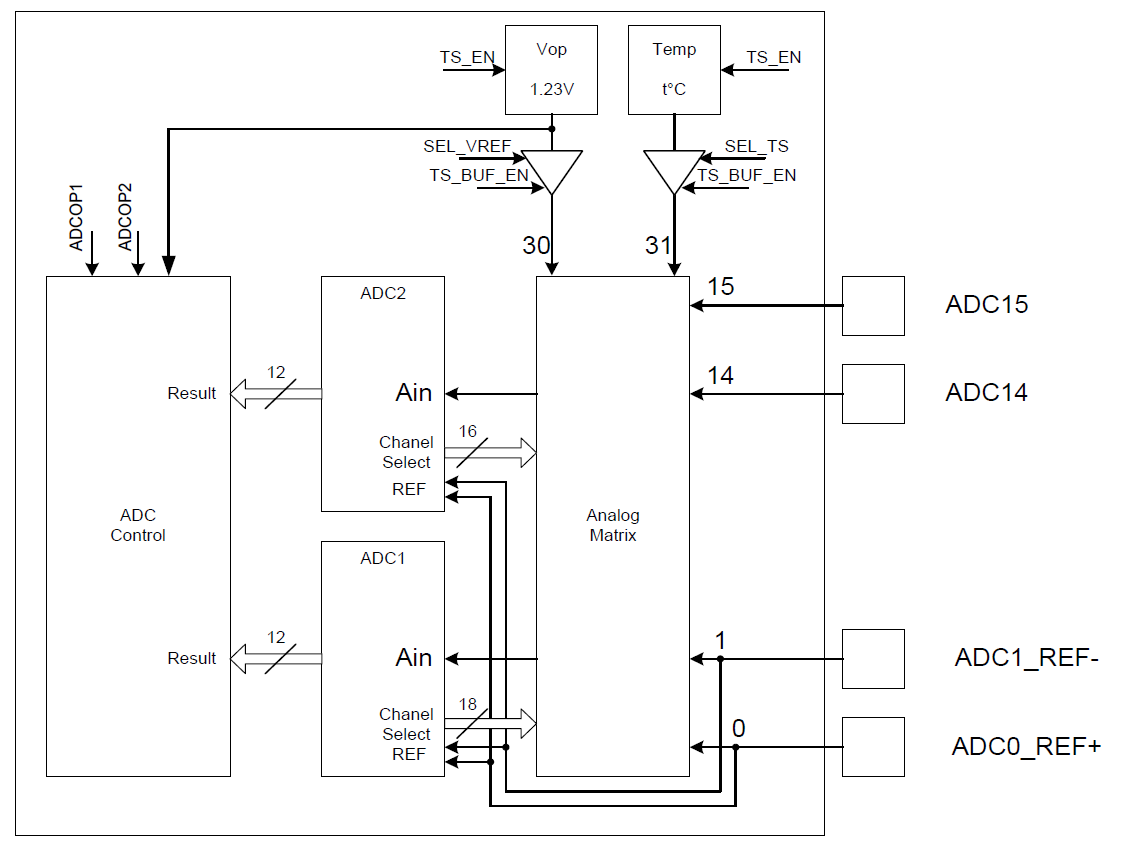


Рисунок 6 - Структурная схема контроллера АЦП

Для включения АЦП необходимо установить бит Cfg\_REG\_ADON.

Следует учитывать, что процесс преобразования состоит из двух этапов: сначала происходит заряд внутренней емкости до уровня внешнего сигнала, и затем происходит преобразование уровня заряда внутренней емкости в цифровой вид. Таким образом, для точного преобразования внешнего сигнала в цифровой вид, за время первого этапа внутренняя емкость должна зарядиться до уровня внешнего сигнала. Это время определяется соотношением номинальной внутренней емкости, входным сопротивлением тракта АЦП и выходным сопротивлением источника сигнала.

АЦП может работать как в режиме одиночного преобразования, так и в режиме последовательного преобразования. Для реализации записи звука выбран режим последовательного преобразования, при этом интервал между преобразованиями выбран 2 такта процессора (устанавливается с помощью ADC\_DelayGo[3:0]). Для задания АЦП данного режима и запуска преобразований необходимо установить бит Cfg\_REG\_SAMPLE регистра MDR\_ADC->ADC1\_CFG. Таким образом интервал между преобразованиями составляет 28 \* CPU\_CLK + 2 \* CPU\_CLK = 30\*CPU\_CLK, при этом фактическая частота записи значений в память отличается, поскольку какое-то время занимает сам процесс записи и отбрасывание младших разрядов для экономии памяти.

В таблице 5 представлено описание регистров блока контроллера АЦП.

Таблица 5 - Описание регистров блока контроллера АЦП (часть 1)

|  |  |  |
| --- | --- | --- |
| **Базовый Адрес** | **Название** | **Описание** |
| 0x4008\_8000 | MDR\_ADC | Контроллер ADC |
| Смещение |  | |
| 0x00 | MDR\_ADC-> ADC1\_CFG | Регистр управления ADC1 |
| 0х04 | MDR\_ADC-> ADC2\_CFG | Регистр управления ADC2 |
| 0x08 | ADC1\_H\_LEVEL | Регистр MDR\_ADC->ADCx\_H\_LEVEL верхней границы ADC1 |
| 0x0C | ADC2\_H\_LEVEL | Регистр MDR\_ADC->ADCx\_H\_LEVEL верхней границы ADC2 |
| 0x10 | ADC1\_L\_LEVEL | Регистр MDR\_ADC->ADCx\_L\_LEVEL нижней границы ADC1 |
| 0x14 | ADC2\_L\_LEVEL | Регистр MDR\_ADC->ADCx\_L\_LEVEL нижней границы ADC2 |

Таблица 5 – Описание регистров блока контроллера АЦП (часть 2)

|  |  |  |
| --- | --- | --- |
| **Смещение** | **Название** | **Описание** |
| 0x18 | ADC1\_RESULT | Регистр MDR\_ADC->ADCx\_RESULT результата ADC1 |
| 0x1C | ADC2\_RESULT | Регистр MDR\_ADC->ADCx\_RESULT результата ADC2 |
| 0x20 | ADC1\_STATUS | Регистр MDR\_ADC->ADCx\_STATUS статуса ADC1 |
| 0x24 | ADC2\_STATUS | Регистр MDR\_ADC->ADCx\_STATUS статуса ADC2 |
| 0x28 | ADC1\_CHSEL | Регистр MDR\_ADC->ADCx\_CHSEL выбора каналов перебора ADC1 |
| 0x2C | ADC2\_CHSEL | Регистр MDR\_ADC->ADCx\_CHSEL выбора каналов перебора ADC2 |

# Описание контроллера ЦАП

В микроконтроллере реализовано два ЦАП. Для включения ЦАП необходимо установить бит Cfg\_ON\_DACx в 1, используемые выводы ЦАП порта Е были сконфигурированы как аналоговые и были отключены какие-либо внутренние подтяжки. Оба ЦАП могут работать независимо или совместно. При независимой работе ЦАП (бит Cfg\_SYNC\_A=0) после записи данных в регистр данных DACx\_DATA на выходе DACx\_OUT формируется уровень напряжения, соответствующий записанному значению. При синхронной работе (бит Cfg\_SYNC\_A=1) данные обоих ЦАП могут быть обновлены одной записью в один из регистров DACx\_DATA. ЦАП может работать от внутренней опоры Cfg\_M\_REFx=0, тогда ЦАП формирует выходной сигнал в диапазоне от 0 до напряжения питания AUCC. В режиме работы с внешней опорой Cfg\_M\_REFx=1 ЦАП формирует выходное напряжение в диапазоне от 0 до значения DACx\_REF.

На рисунке 7 представлена структурная схема контроллера ЦАП.

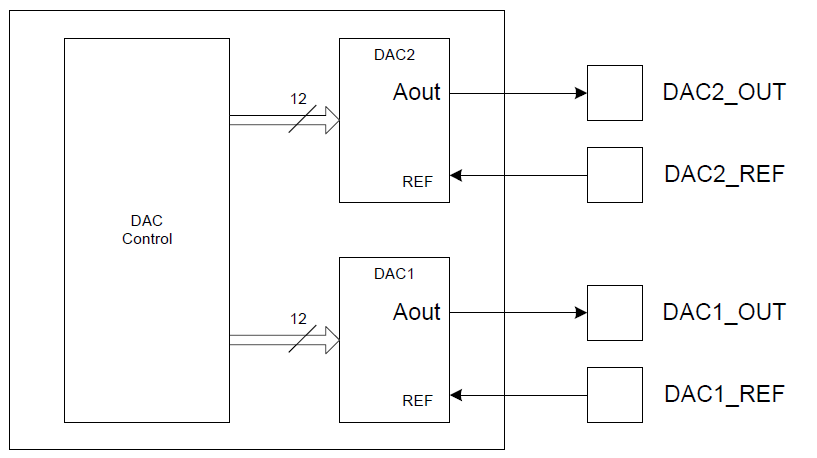


Рисунок 7 - Структурная схема контроллера ЦАП

Таблица 7 - Описание регистров блока контроллера ЦАП

|  |  |  |
| --- | --- | --- |
| **Базовый Адрес** | **Название** | **Описание** |
| 0x4009\_0000 | MDR\_DAC | Контроллер DAC |
| Смещение |  | |
| 0x00 | MDR\_DAC->CFG | Регистр управления DAC |
| 0х04 | MDR\_DAC->DAC1\_DATA | Регистр данных DAC1 |
| 0x08 | MDR\_DAC->DAC2\_DATA | Регистр данных DAC2 |

В таблице 6 представлено описание регистров блока контроллера ЦАП.

# Описание контроллера Flash-памяти MDR\_EEPROM

Микроконтроллер содержит встроенную Flash-память программ с объемом 128 Кбайт основной памяти программ и 4 Кбайта информационной памяти.

В обычном режиме (бит CON = 0, регистр EEPROM\_CMD) доступна основная память программ через системные шины I Code и D code для выборки инструкций и данных кода программы.

В режиме программирования (бит CON = 1, регистр ЕEPROM\_CMD) ,который и используется в рамках реализации заданного устройства, основная и информационная память доступны как периферийные устройства и могут быть использованы для нужд разработчика приложения. В режиме программирования программный код должен выполняться из области системной шины или ОЗУ. Выполнение программного кода из Flash-памяти программ в режиме программирования невозможно.

Память поддерживает до 10 000 циклов перезаписи, при этом не допускается повторять циклы стирания – записи – стирания одной ячейки памяти с периодом менее 4мс.

# Описание микрофонного модуля

Микросхема MAX9812 – это микрофонный усилитель с постоянным усилением 20dB. Имеет полосу пропускания 500КГц, небольшое энергопотребление. Напряжение питания – от 2.7В до 3.6В. Подробные электрические характеристики опущены.

* + – сигнал выключения, активный уровень – логическая единица,
  + GND – земля,
  + OUT – выходной сигнал,
  + VCC – питание (3.3В),
  + BIAS – вход напряжения смещения,
  + IN – вход, сигнал с которого усиливается и подается на OUT.

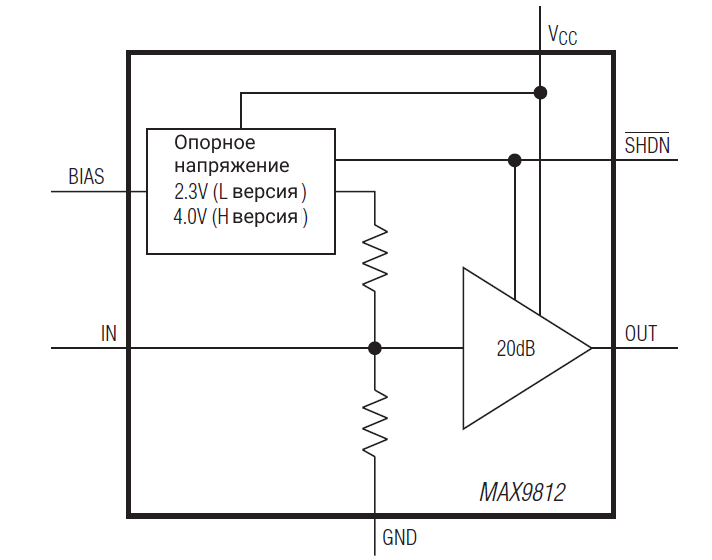


Рисунок 8 - Схема усилителя MAX9812

Для корректной работы микрофонного модуля необходимо сделать обвязку по питанию микросхемы MAX9812, добавить микрофон. Схема представлена на рисунке 9.

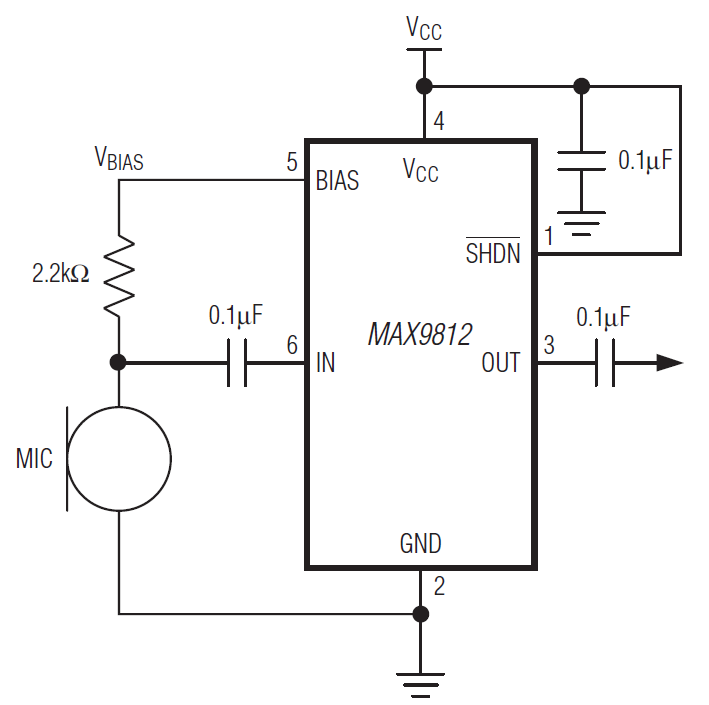


Рисунок 9 - Схема микрофонного модуля на основе усилителя MAX9812

Выход усилителя подается на линию АЦП (порт PD7) микроконтроллера.

# Схемы алгоритмов

# Расчет потребляемой мощности

# 2 Технологическая часть

# 2.1 Программа разработки и отладки

# 2.2 Оценка времени работы модулей

# 2.3 Способ программирования памяти программ

# ЗАКЛЮЧЕНИЕ

В рамках выполнения данного проекта были изучены и использованы некоторые блоки микроконтроллера К1986ВЕ92QI для реализации устройства речевого ввода-вывода. Также была рассмотрена отладочная плата, написана основная и тестирующие программы. Модульное тестирование и интеграционное тестирование показали, что система работает верно.

Для разработки и отладки программ, а так же для программирования микроконтроллера использовалась среда разработки Keil uVision 5 и программатор JTAG/SW.

# СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

# ПРИЛОЖЕНИЕ А – Спецификация

# ПРИЛОЖЕНИЕ Б – текст программы