



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 Программная инженерия

О Т Ч Е Т

по лабораторной работе № 3

Название: Исследование синхронных счетчиков

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-46Б

(Группа)

26.05.2021

(Подпись, дата)

Д.А. Ивахненко

(И.О. Фамилия)

Преподаватель

А.Ю. Попов

(Подпись, дата)

(И.О. Фамилия)

Москва, 2021

Изучение принципов построения счетчиков, овладение методом синтеза синхронных счетчиков, экспериментальная оценка динамических параметров счетчиков, изучение способов наращивания разрядности синхронных счетчиков.

Проверить работу счётчика:

- Просмотреть на экране логического анализатора временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.



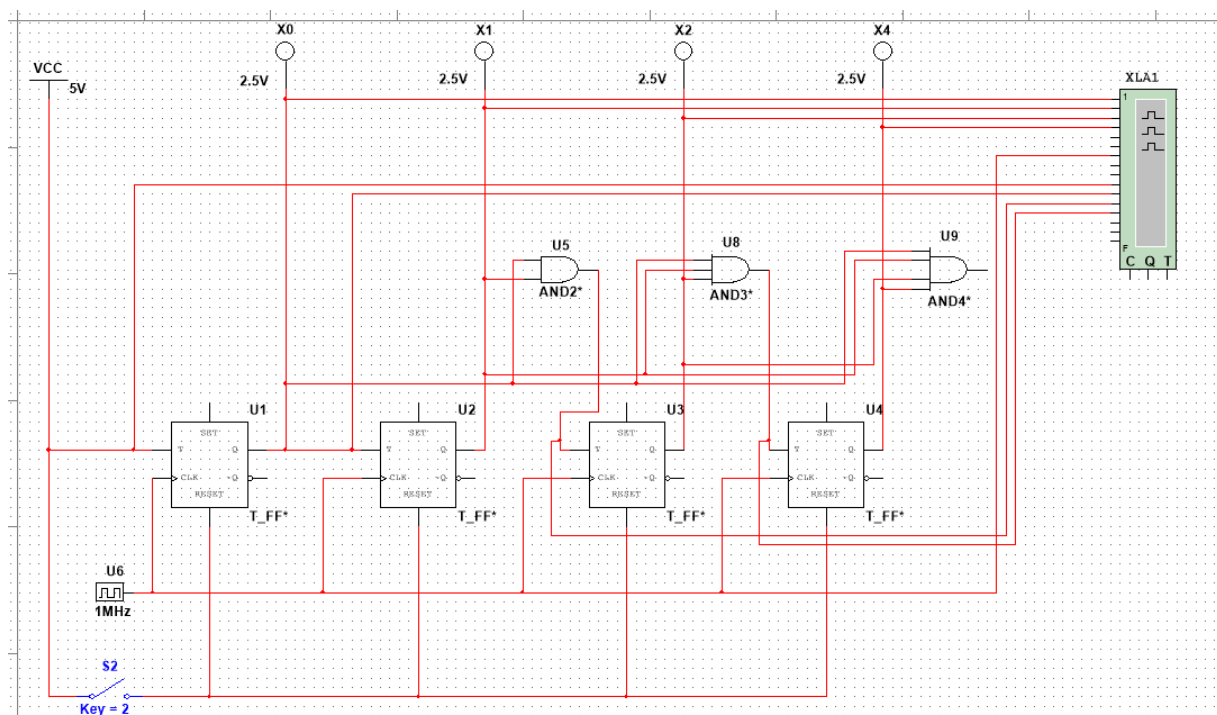


Рисунок 2. Схема с импульсами генератора

Для измерения времени задержки распространения счетчика и максимальной частоты счета установил задержки на ЛЭ и триггерах:

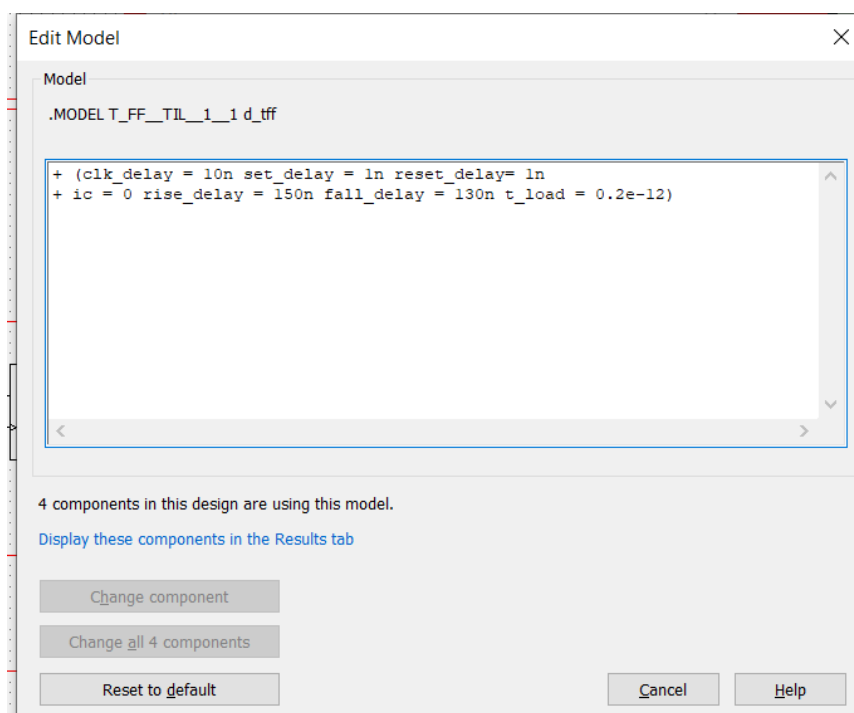


Рисунок 3. Установка задержек

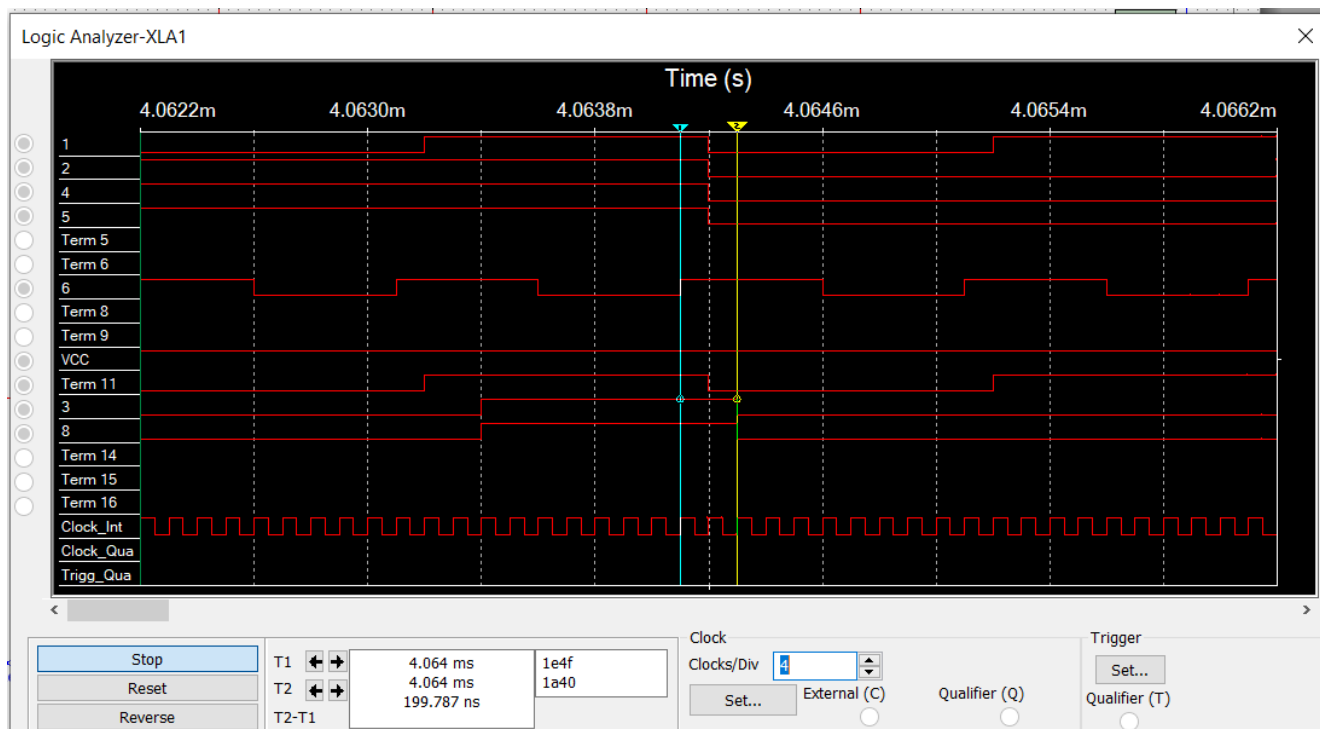


Рисунок 4. Результаты Logic Analyzer

Общая задержка: 199.787 нс.

Максимальная частота счета: $(1 / 199.137\text{нс}) = 5.02 \text{ МГц}$

При помощи Т-триггеров и логических элементов можно собрать синхронный суммирующий счетчик с параллельным переносом любой разрядности. С каждым тактом он прибавляет к текущему двоичному значению единицу, либо переводит все разряды в 0, если в момент такта они все были равны единице (переполнение).

Чтобы счётчик работал корректно, частота подачи сигнала не должна превышать максимальную частоту счета.

Синтез двоично-десятичного счётчика с заданной последовательностью состояний.

Вариант 4: 0, 1, 2, 3, 4, 5, 8, 9, 10, 11.

Таблица 1

№	Q_3	Q_2	Q_1	Q_0	Q'_3	Q'_2	Q'_1	Q'_0	J_3	K_3	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	0	0	0	1	0	A	0	A	0	A	1	A
1	0	0	0	1	0	0	1	0	0	A	0	A	1	A	A	1
2	0	0	1	0	0	0	1	1	0	A	0	A	A	0	1	A
3	0	0	1	1	0	1	0	0	0	A	1	A	A	1	A	1
4	0	1	0	0	0	1	0	1	0	A	A	0	0	A	1	A
5	0	1	0	1	1	0	0	0	1	A	A	1	0	A	A	1
8	1	0	0	0	1	0	0	1	A	0	0	A	0	A	1	A
9	1	0	0	1	1	0	1	0	A	0	0	A	1	A	A	1
10	1	0	1	0	1	0	1	1	A	0	0	A	A	0	1	A
11	1	0	1	1	0	0	0	0	A	1	0	A	A	1	A	1

Минимизируем методом карт Карно

Таблица 2. Карта Карно для J_0

Q_1Q_0	00	01	11	10
Q_3Q_2				
00	1	A	A	1
01	1	A	-	-
11	-	-	-	-
10	1	A	A	1

$$J_0 = 1$$

Таблица 3. Карта Карно для J_1

Q1Q0	00	01	11	10
Q3Q2				
00	0	1	A	A
01	0	0	-	-
11	-	-	-	-
10	0	1	A	A

$$J_1 = Q_0 \& \neg Q_2$$

Таблица 4. Карта Карно для J_2

Q1Q0	00	01	11	10
Q3Q2				
00	0	0	1	0
01	A	A	-	-
11	-	-	-	-
10	0	0	0	0

$$J_2 = Q_0 \& Q_1 \& \neg Q_3$$

Таблица 5. Карта Карно для J_3

Q1Q0	00	01	11	10
Q3Q2				
00	0	0	0	0
01	0	1	-	-
11	-	-	-	-
10	A	A	A	A

$$J_3 = Q_0 \& Q_2$$

Таблица 6. Карта Карно для K_0

Q1Q0	00	01	11	10
Q3Q2				
00	A	1	1	A
01	A	1	-	-
11	-	-	-	-
10	A	1	1	A

$$K_0 = 1$$

Таблица 7. Карта Карно для K_1

Q1Q0	00	01	11	10
Q3Q2				
00	A	A	1	0
01	A	A	-	-
11	-	-	-	-
10	A	A	1	0

$$K_1 = Q_0$$

Таблица 8. Карта Карно для K_2

Q1Q0	00	01	11	10
Q3Q2				
00	A	A	A	A
01	0	1	-	-
11	-	-	-	-
10	A	A	A	A

$$K_2 = Q_0$$

Таблица 9. Карта Карно для КЗ

Q1Q0 Q3Q2	00	01	11	10
00	A	A	A	A
01	A	A	-	-
11	-	-	-	-
10	0	0	1	0

$$K_3 = Q_0 \text{ \& } Q_1$$

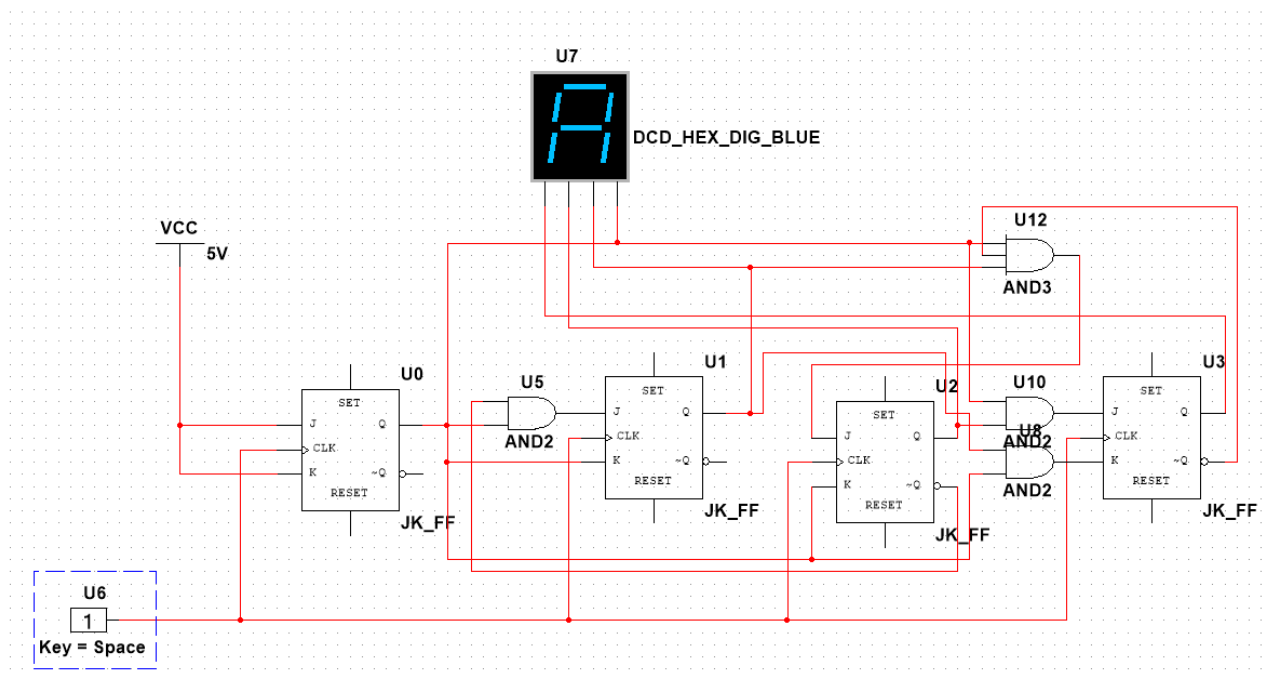


Рисунок 5. Схема счётчика

На JK-триггерах может быть построен синхронный счетчик с произвольным порядком счета, путем синтеза логических функций и минимизации их при помощи карт Карно.

Собрать десятичный счётчик, используя элементную базу приложения Multisim или учебного макета. Установить счётчик в начальное состояние, подав на установочные входы R соответствующий сигнал

Таблица 30.

№	Q_3	Q_2	Q_1	Q_0	Q'_3	Q'_2	Q'_1	Q'_0	J_3	K_3	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	0	0	0	1	0	A	0	A	0	A	1	A
1	0	0	0	1	0	0	1	0	0	A	0	A	1	A	A	1
2	0	0	1	0	0	0	1	1	0	A	0	A	A	0	1	A
3	0	0	1	1	0	1	0	0	0	A	1	A	A	1	A	1
4	0	1	0	0	0	1	0	1	0	A	A	0	0	A	1	A
5	0	1	0	1	0	1	1	0	0	A	A	0	1	A	A	1
6	0	1	1	0	0	1	1	1	0	A	A	0	A	0	1	A
7	0	1	1	1	1	0	0	0	1	A	A	1	A	1	A	1
8	1	0	0	0	1	0	0	1	A	0	0	A	0	A	1	A
9	1	0	0	1	0	0	0	0	A	1	0	A	0	A	A	1

Минимизируем методом карт Карно

Таблица 11. Карта Карно для J3

Q_1Q_0	00	01	11	10
Q_3Q_2				
00	0	0	0	0
01	0	0	1	0
11	-	-	-	-
10	A	A	-	-

$$J_3 = Q_0 \& Q_1 \& Q_2$$

Таблица 12. Карта Карно для J2

Q1Q0 Q3Q2	00	01	11	10
00	0	0	1	0
01	A	A	A	A
11	-	-	-	-
10	0	0	-	-

$$J_2 = Q_0 \& Q_1$$

Таблица 13. Карта Карно для J1

Q1Q0 Q3Q2	00	01	11	10
00	0	1	A	A
01	0	1	A	A
11	-	-	-	-
10	0	0	-	-

$$J_1 = Q_0 \& \neg Q_3$$

Таблица 14. Карта Карно для J0

Q1Q0 Q3Q2	00	01	11	10
00	1	A	A	1
01	1	A	A	1
11	-	-	-	-
10	1	A	-	-

$$J_0 = 1$$

Таблица 15. Карта Карно для K_0

Q1Q0	00	01	11	10
Q3Q2				
00	A	1	1	A
01	A	1	1	A
11	-	-	-	-
10	A	1	-	-

$$K_0 = 1$$

Таблица 16. Карта Карно для K_1

Q1Q0	00	01	11	10
Q3Q2				
00	A	A	1	0
01	A	A	1	0
11	-	-	-	-
10	A	A	-	-

$$K_1 = Q_0$$

Таблица 17. Карта Карно для K_2

Q1Q0	00	01	11	10
Q3Q2				
00	A	A	A	A
01	0	0	1	0
11	-	-	-	-
10	A	A	-	-

$$K_2 = Q_0 \& Q_1$$

Таблица 18. Карта Карно для K_3

Q1Q0	00	01	11	10
Q3Q2				
00	A	A	A	A
01	A	A	A	A
11	-	-	-	-
10	0	1	-	-

$$K_3 = Q_0$$

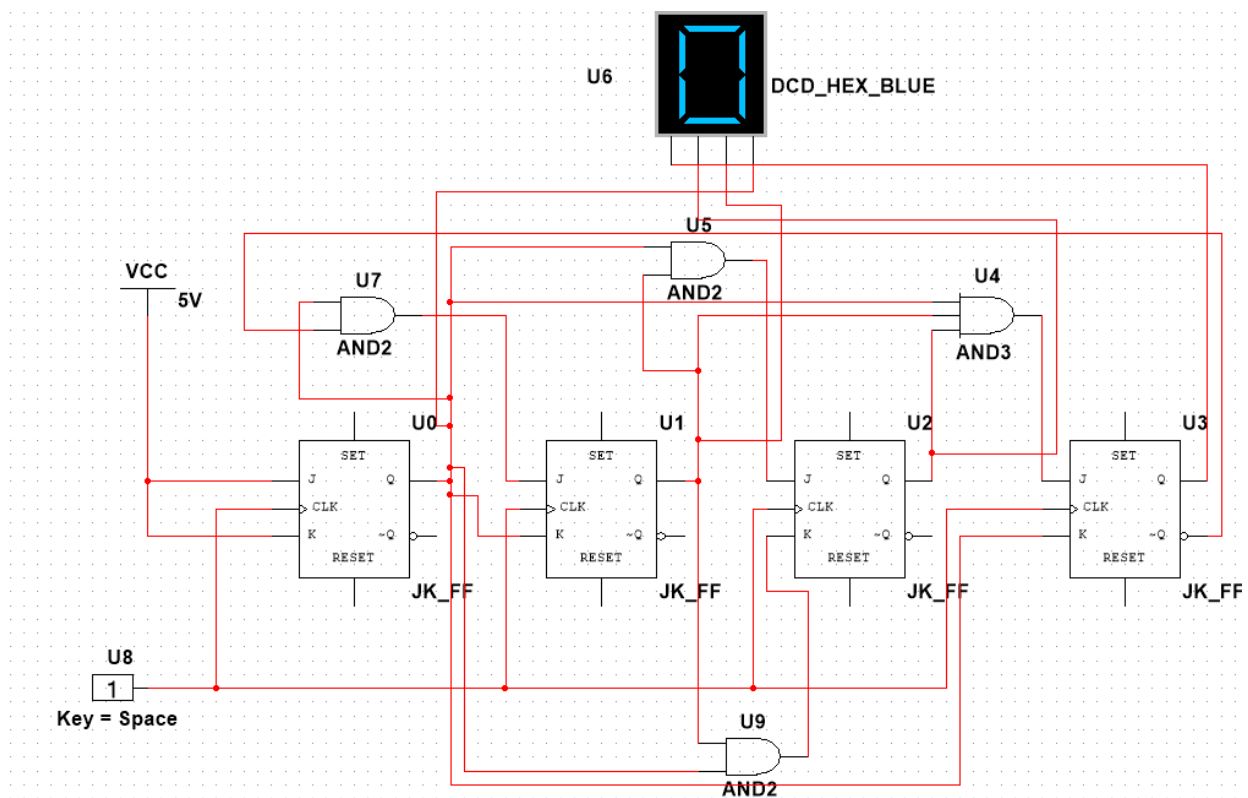


Рисунок 6. Схема

На JK-триггерах достаточно просто построить десятичный счетчик.

Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом.

Проверить работу счётчика:

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы
- от импульсов генератора.

Просмотреть на экране логического анализатора временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

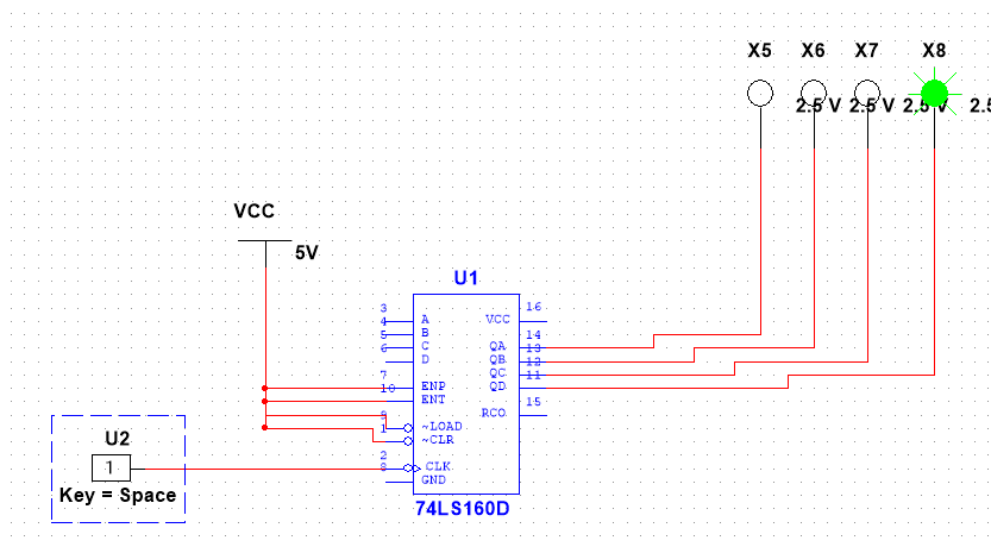


Рисунок 7. От одиночных импульсов

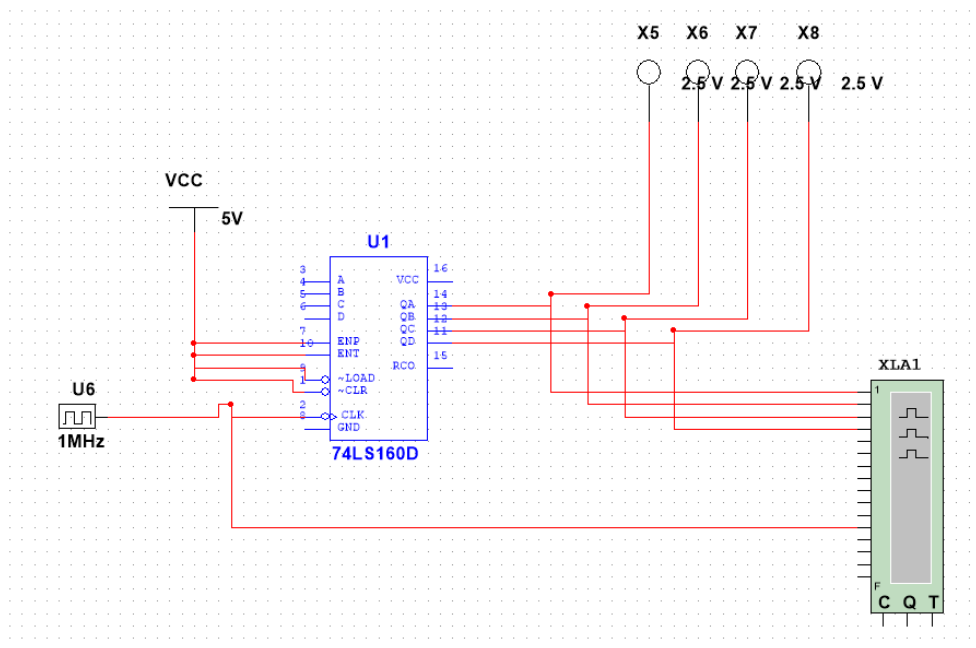


Рисунок 8. От импульсов генератора.

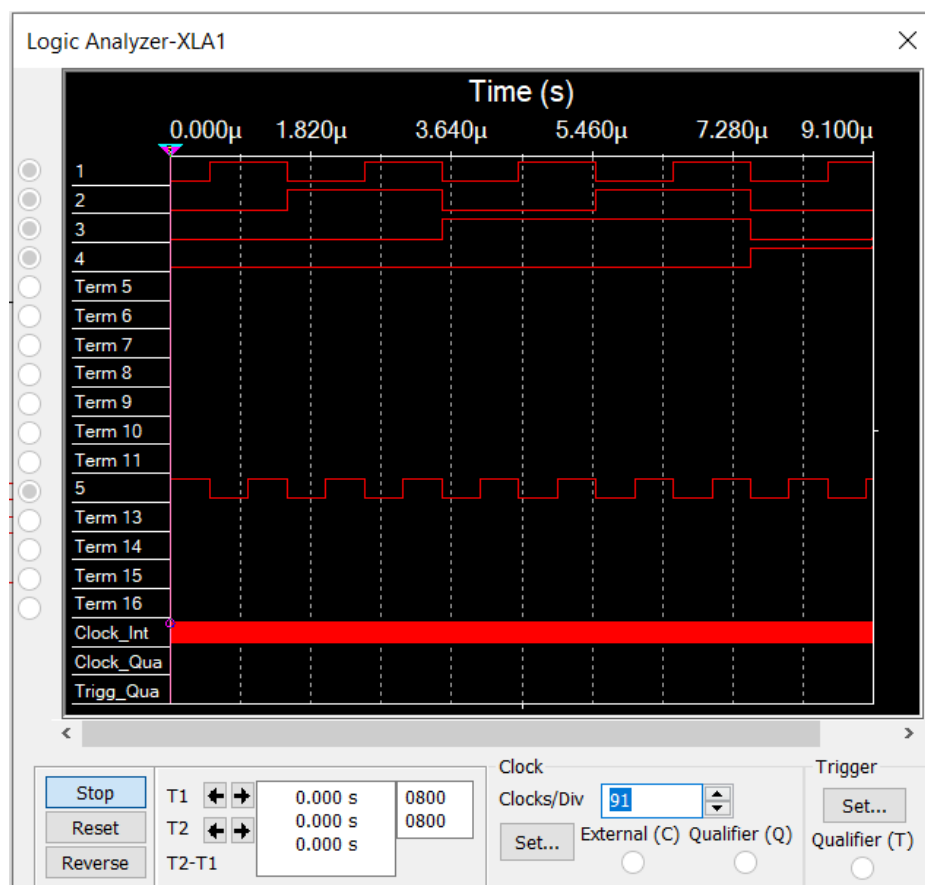


Рисунок 9. Результат Logic Analyzer

Точность логического анализатора не достаточна для определения времени задержки и максимальной частоты счета.

Исследование схем наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями и по структуре «быстрого» счета

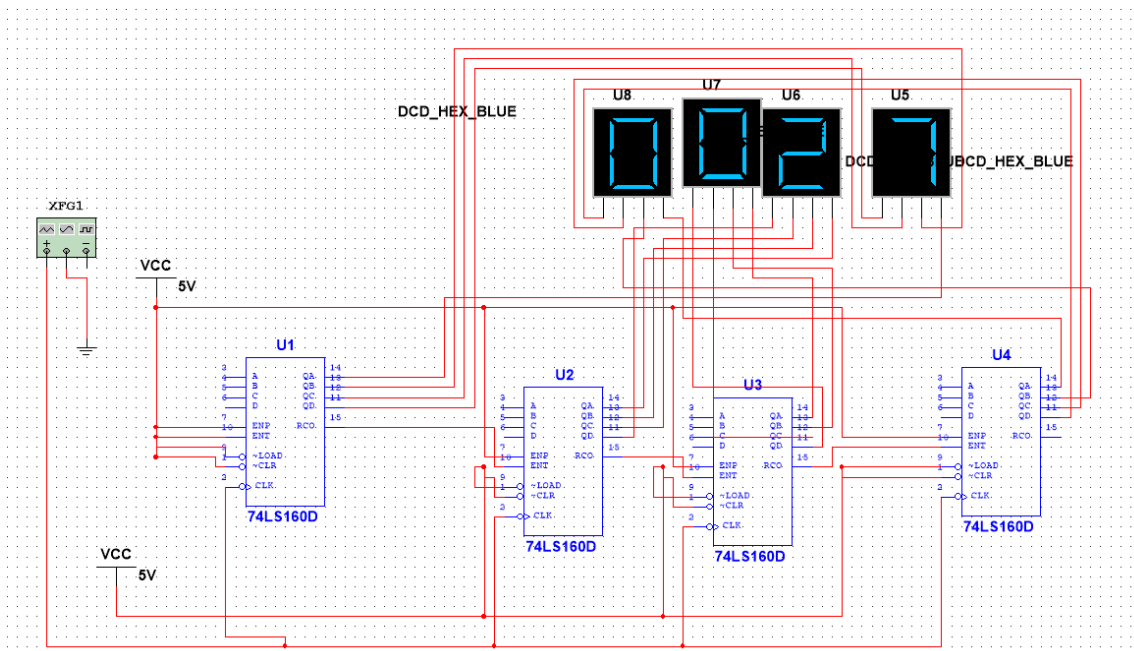


Рисунок 10. Последовательный перенос между секциями

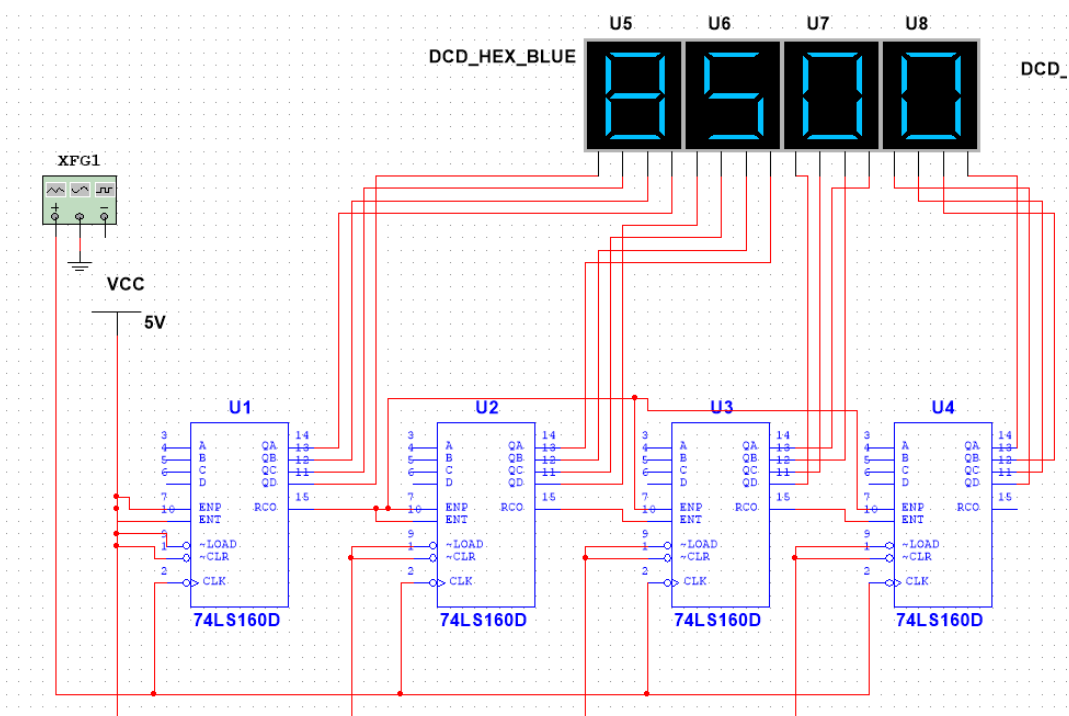


Рисунок 11. Быстрый счет

При помощи наращивания разрядностей счетчиков можно получить многоразрядные счетчики.

Вывод

В результате выполнения данной лабораторной работы был изучен счетчик, его устройство, принцип работы, а также способы моделирования данного элемента при помощи триггеров и логических элементов.