



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 Программная инженерия

О Т Ч Е Т

по лабораторной работе № 4

Название: Исследование мультиплексоров

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-46Б

(Группа)

26.05.2021

(Подпись, дата)

Д.А. Ивахненко

(И.О. Фамилия)

Преподаватель

А.Ю. Попов

(Подпись, дата)

(И.О. Фамилия)

Москва, 2021

Цель работы

Изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 цифровых сигналов

а) на информационные входы D0 ...D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения $U=5\text{ В}$ и 0 В (общая);

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц .

в) снять временную диаграмму сигналов при $EN=1$ и провести ее анализ.

Наблюдение сигналов выполнить на логическом анализаторе

Вариант 4: F = 1 1 0 1 1 0 0 1

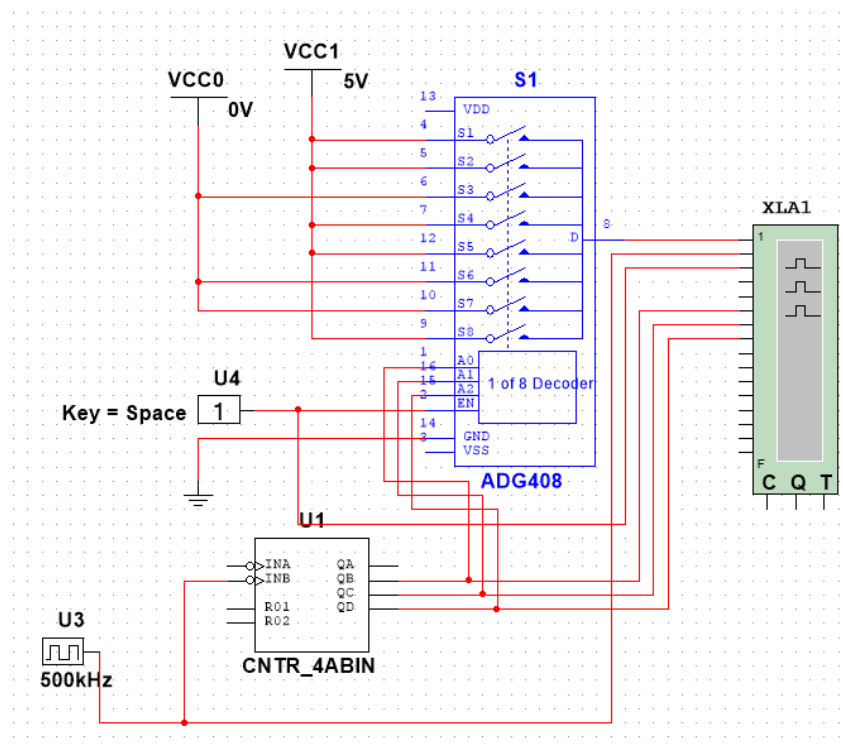


Рисунок 1

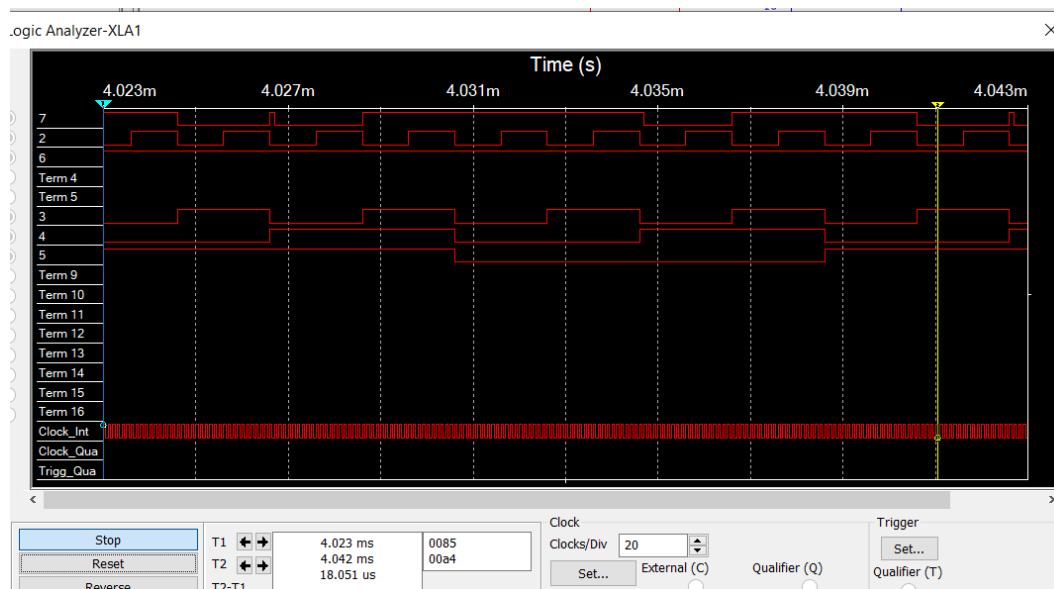


Рисунок 2

При помощи мультиплексора можно получить на выходе один из нескольких информационных сигналов согласно тому, какой код был подан на адресные входы. У аналоговых мультиплексоров возможно возникновение ложного сигнала на выходе из-за помех. Эту проблему можно устранить выключением стробирующего сигнала на время переключения сигналов на адресных входах.

Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 аналоговых сигналов

а) на информационные входы D0 ...D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ.

Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

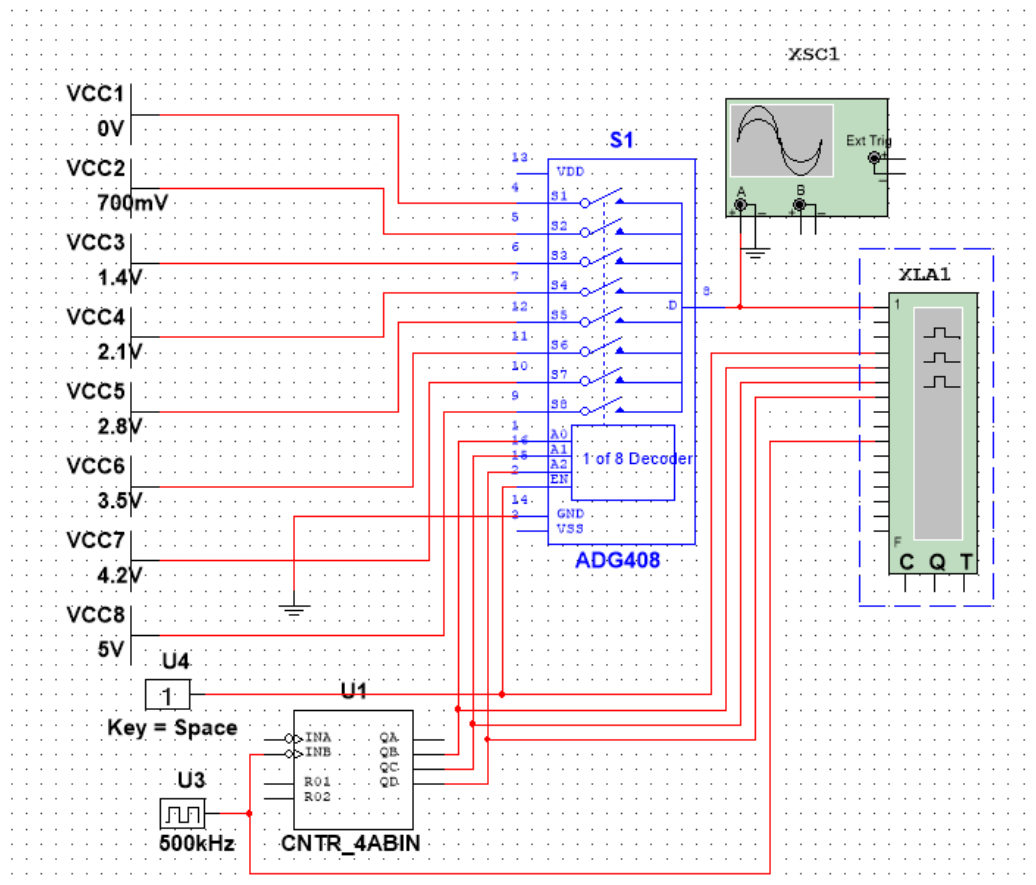


Рисунок 3

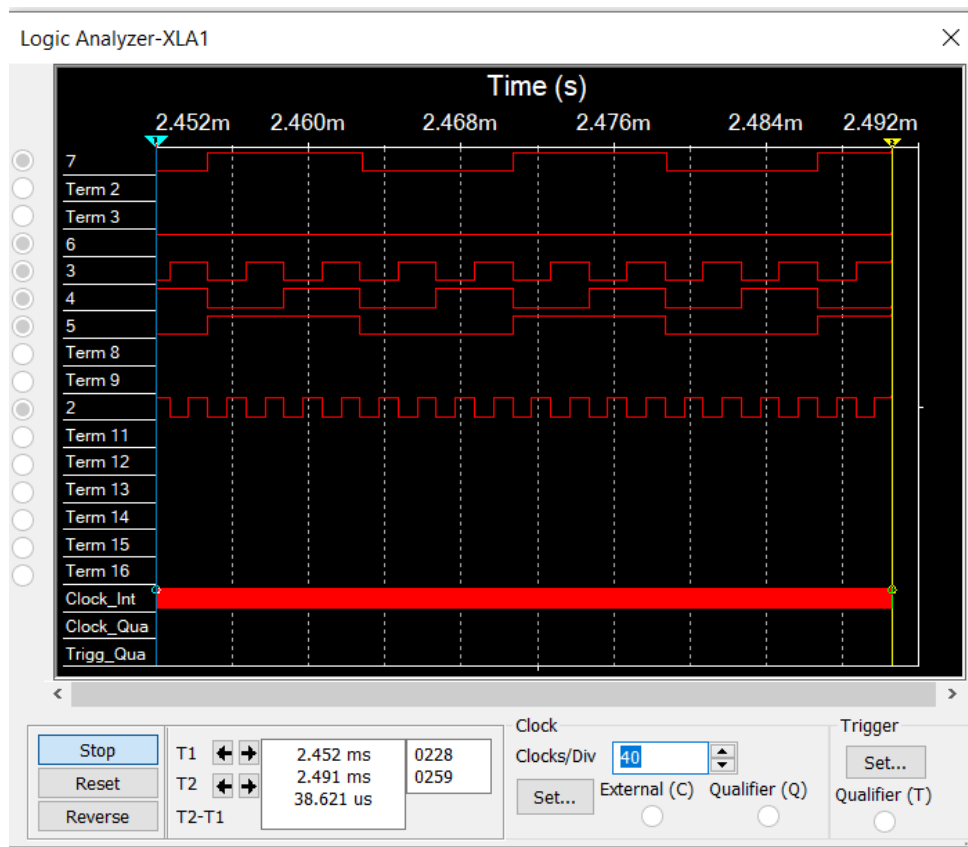


Рисунок 4. Logic Analyzer

При текущих настройках логического анализатора помех не видно. Однако при увеличении напряжения для логической единицы (по умолчанию логическая единица равна напряжению в 2.5 В), на 3.5 В, получим помехи.

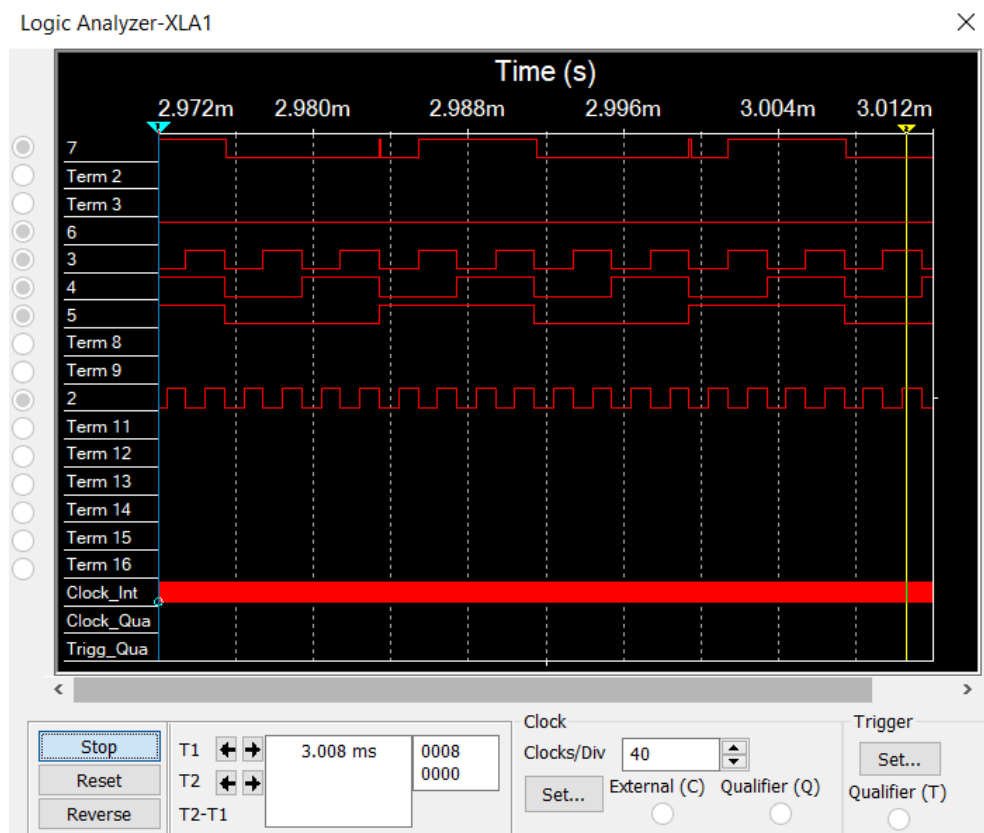


Рисунок 5. Помехи в Logic Analyzer

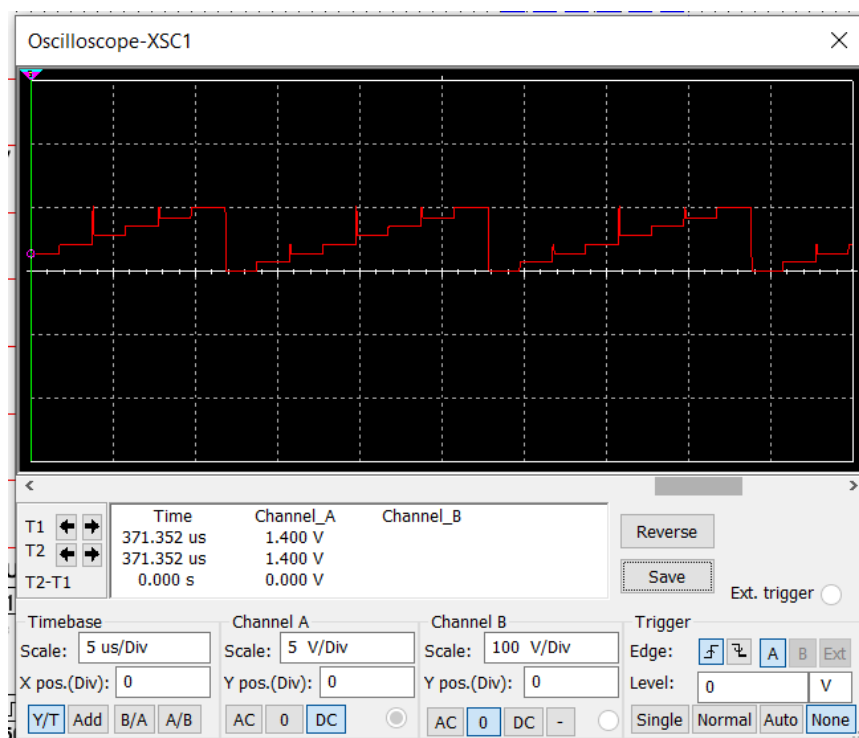


Рисунок 6. Осциллограф

Исследуемый аналоговый мультиплексор, как можно понять из результатов измерений на осциллографе, передает на выход примерно то значение напряжения, которое было подано на соответствующий вход. При этом возможно возникновение помех, при которых значение напряжения на выходе отличается от входного, что может породить ложные логические сигналы.

Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных

Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

Вариант 4: F = 3 6 7 8 11 12 13 15

Таблица 1

№	x_4	x_3	x_2	x_1	F	D_i
0	0	0	0	0	0	$D_0 = 0$
1	0	0	0	1	0	
2	0	0	1	0	0	$D_1 = x_1$
3	0	0	1	1	1	
4	0	1	0	0	0	$D_2 = 0$
5	0	1	0	1	0	
6	0	1	1	0	1	$D_3 = 1$
7	0	1	1	1	1	
8	1	0	0	0	1	$D_4 = \neg x_1$
9	1	0	0	1	0	
10	1	0	1	0	0	$D_5 = x_1$
11	1	0	1	1	1	
12	1	1	0	0	1	$D_6 = 1$
13	1	1	0	1	1	
14	1	1	1	0	0	$D_7 = x_1$
15	1	1	1	1	1	

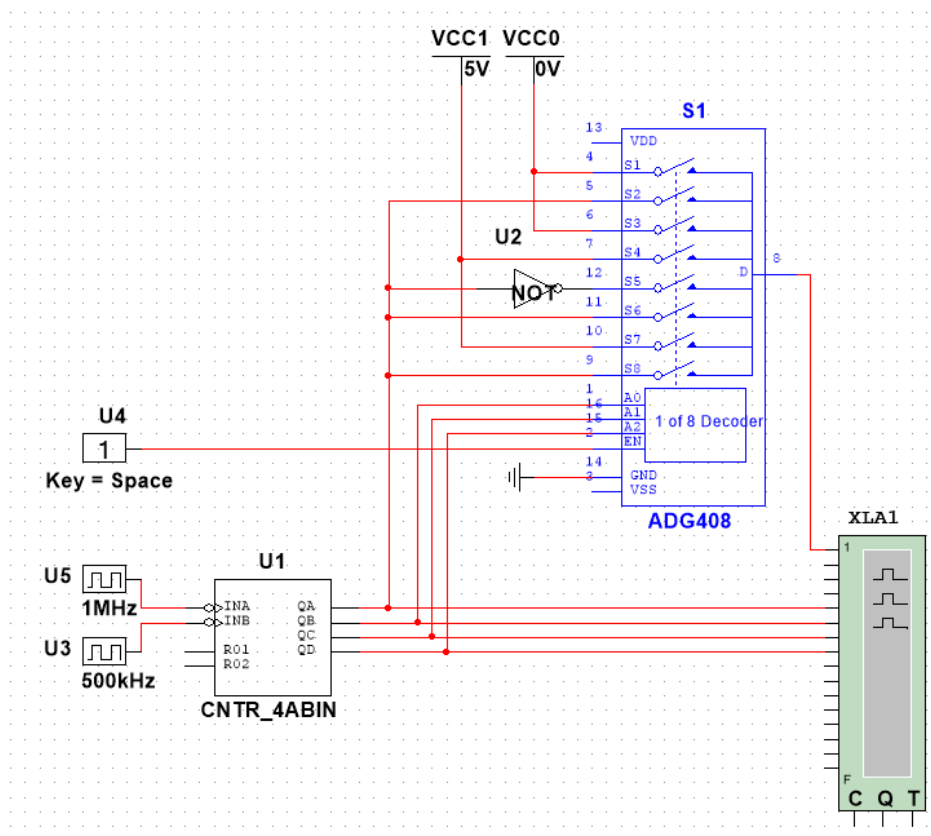


Рисунок 7

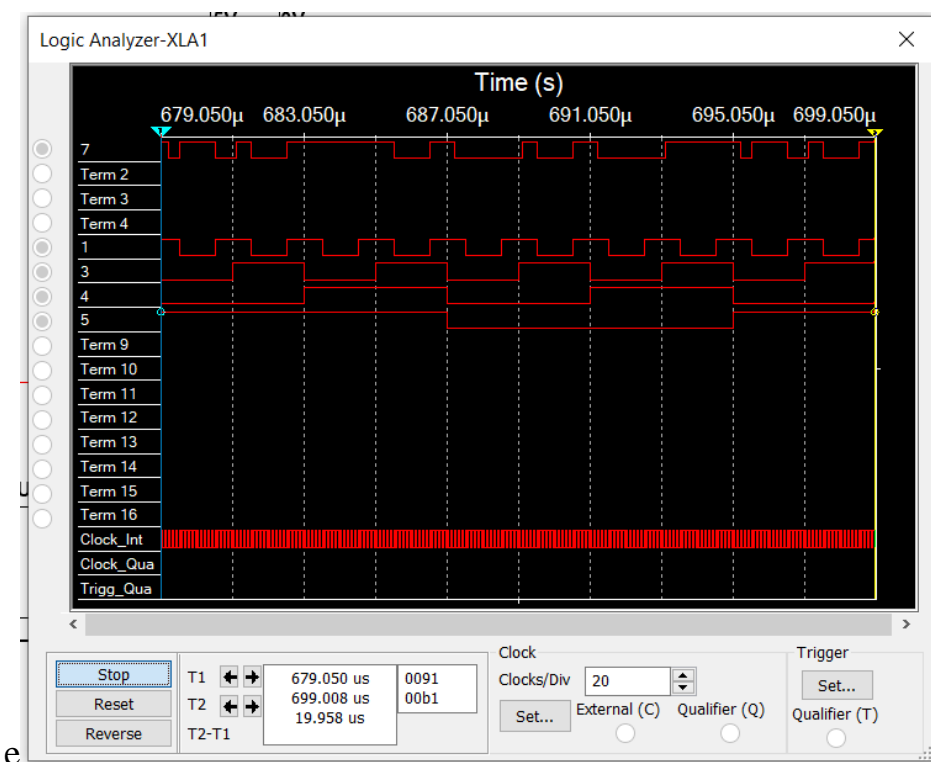


Рисунок 8

При помощи мультиплексора с имеющим N адресных входов можно сформировать функции алгебры логики от $N + 1$ переменных.

Наращивание мультиплексора.

Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4.

Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 ...D15. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1.

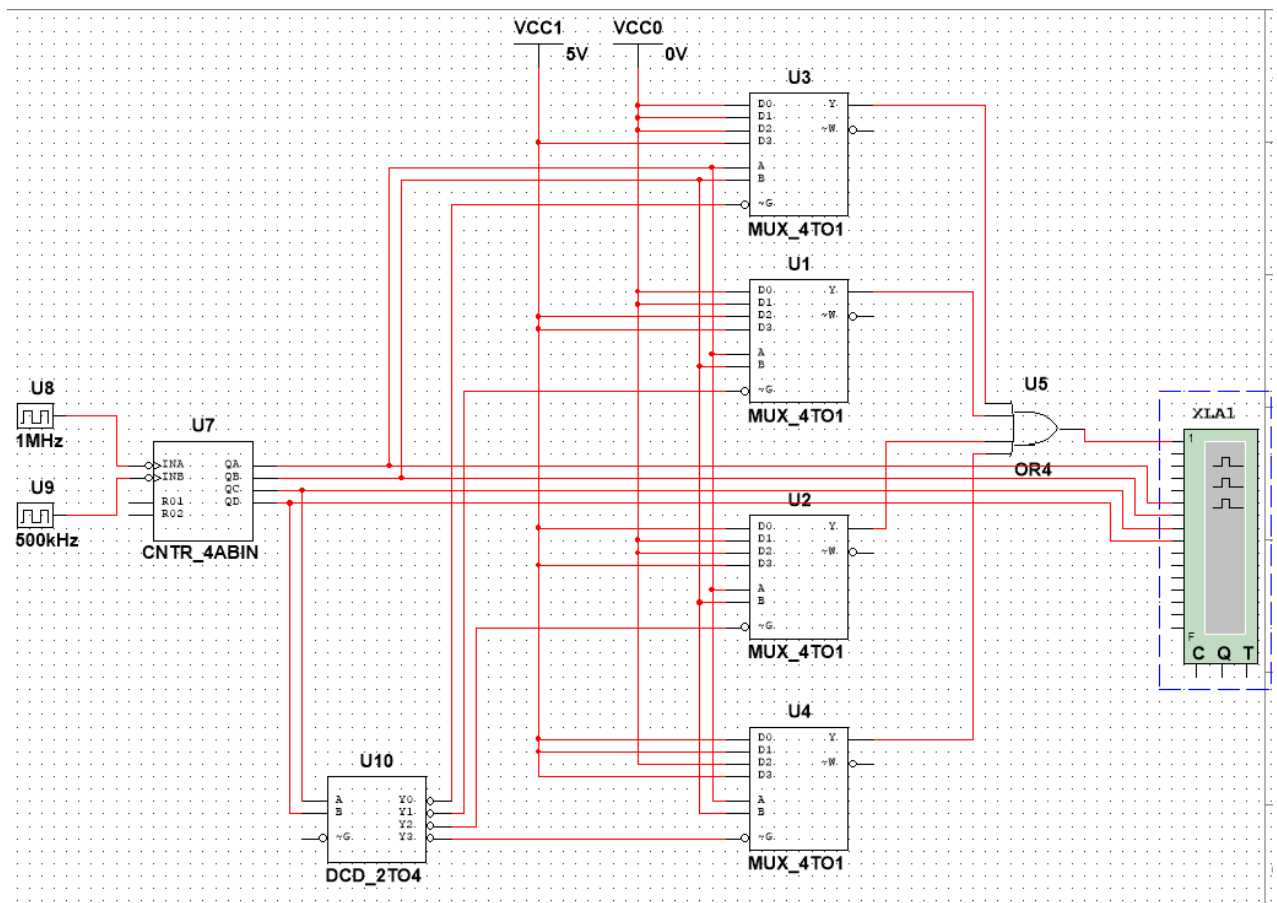


Рисунок 9

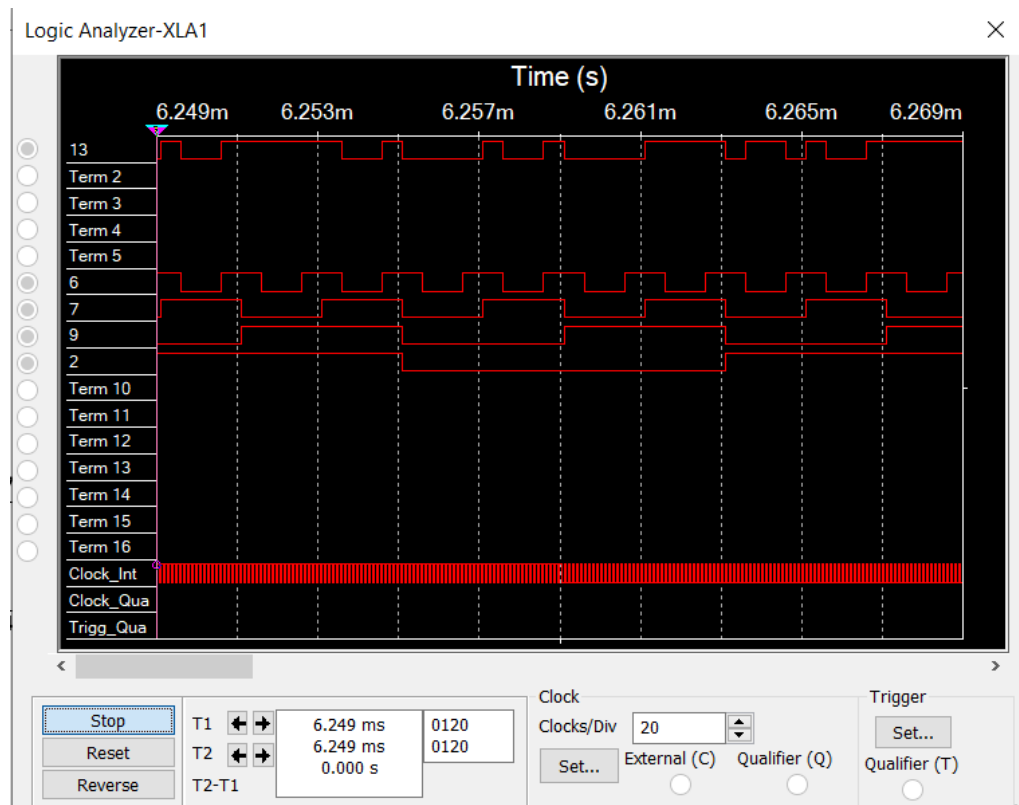


Рисунок 10

При наращивании мультиплексора на основе мы можем использовать дешифратор, определяющий какой мультиплексор отвечает за данный блок информационных сигналов.

Вывод

В результате выполнения данной лабораторной работы был изучен мультиплексор, его устройство, способы моделирования и наращивания.