

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04** Программная инженерия

по лабораторной работе № 2

Название: Исследование дешифраторов

Дисциплина: Архитектура ЭВМ

Преподаватель	<hr/>	А.Ю. Попов
	(Подпись, дата)	(И.О. Фамилия)

Москва, 2021

Цель работы

Изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

1. Линейный двухвходовый дешифратор с инверсными выходами

Исследование линейного двухвходового дешифратора с инверсными выходами:

а) собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов задать в выходы четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;

б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при $EN=1$);

в) подать на вход счетчика сигнала генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

е) определить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

Рисунок 1. Схема линейного дешифратора с инверсными выходами

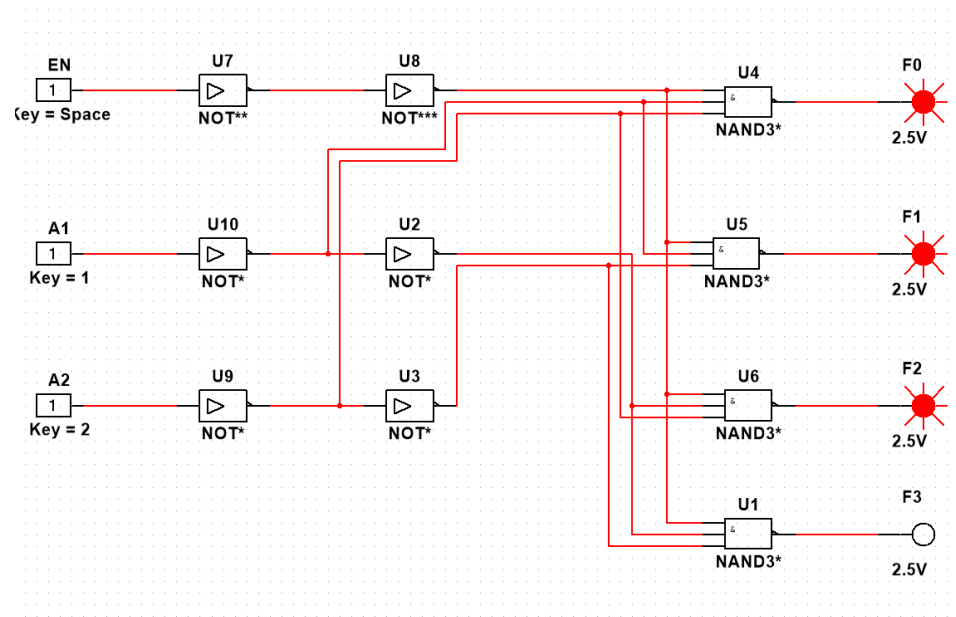


Рисунок 2. Схема дешифратора для получения временной диаграммы

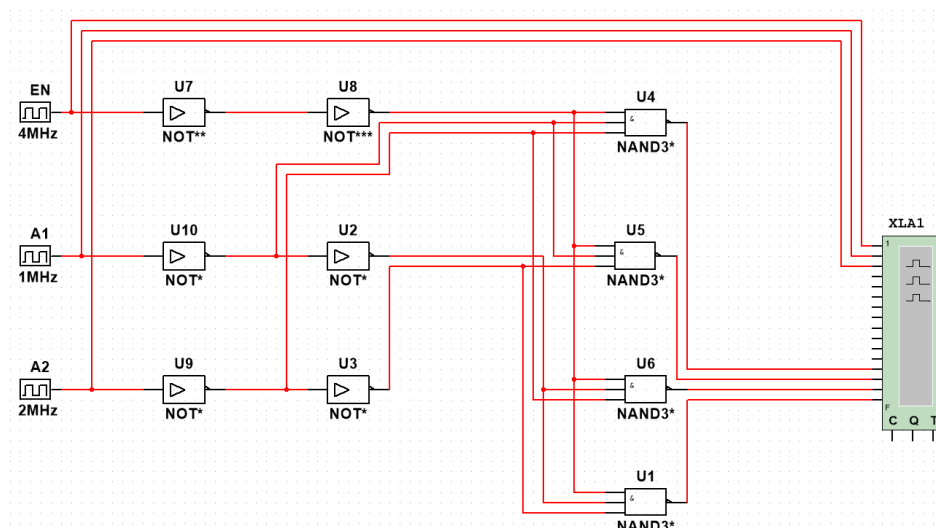
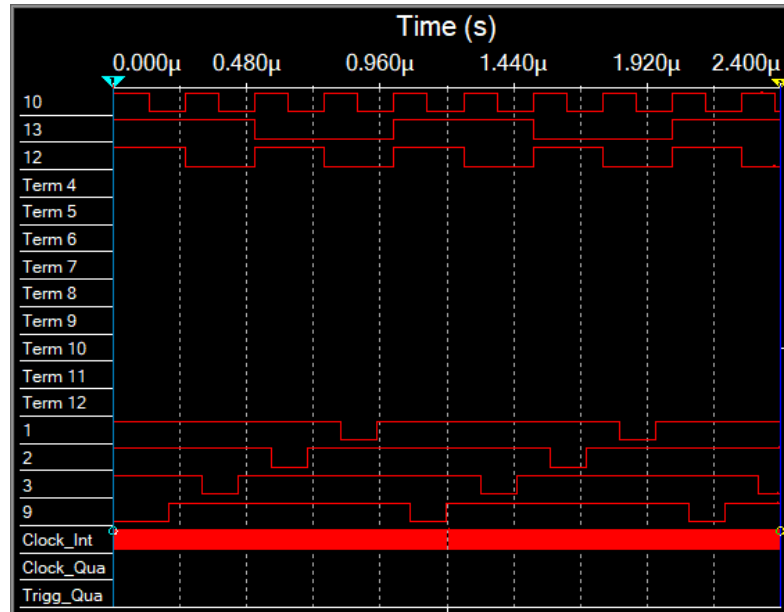


Таблица 1. Таблица истинности нестробируемого дешифратора с инверсными выходами

EN	A_1	A_2	F_0	F_1	F_2	F_3
0	*	*	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

Рисунок 3. Временная диаграмма сигналов дешифратора



В реальных цепях (а не в компьютерной симуляции) вследствие переходных процессов и временных задержек сигналов могут возникнуть так называемые гонки, приводящие к появлению ложных сигналов на выходах схемы.

Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Сигнал на входе EN не должен быть активным во время переходных процессов в дешифраторе. Среднее время задержки для исключения помех равно сумме средних времен прохождения сигнала через элементы НЕ и И-НЕ.

2. Дешифраторы ИС К155ИД4

Исследование дешифраторов ИС К155ИД4 (74LS155):

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q_0 и Q_1 выходов счетчика, а на стробирующие входы \overline{E}_3 и \overline{E}_4 – импульсы генератора, задержанные линией задержки;

б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4, задавая входные сигналы A_0, A_1, A_2 с выходов Q_0, Q_1, Q_2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

Рисунок 4. Схема для исследования двухвходового дешифратора 74LS155

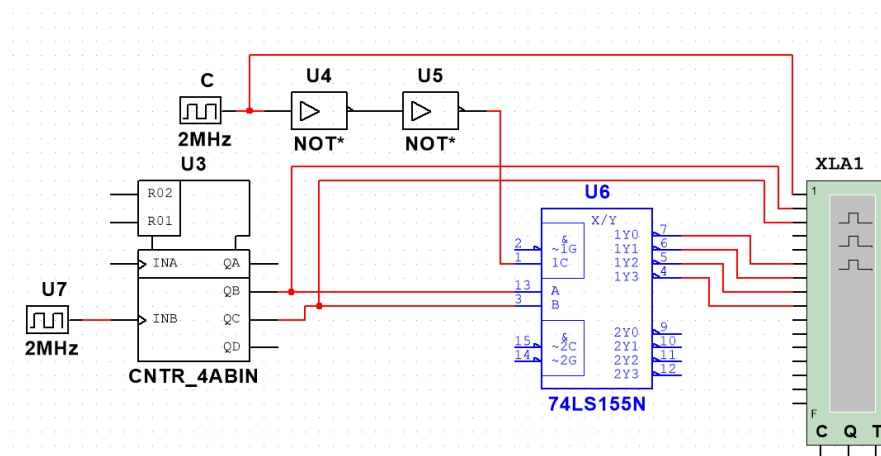
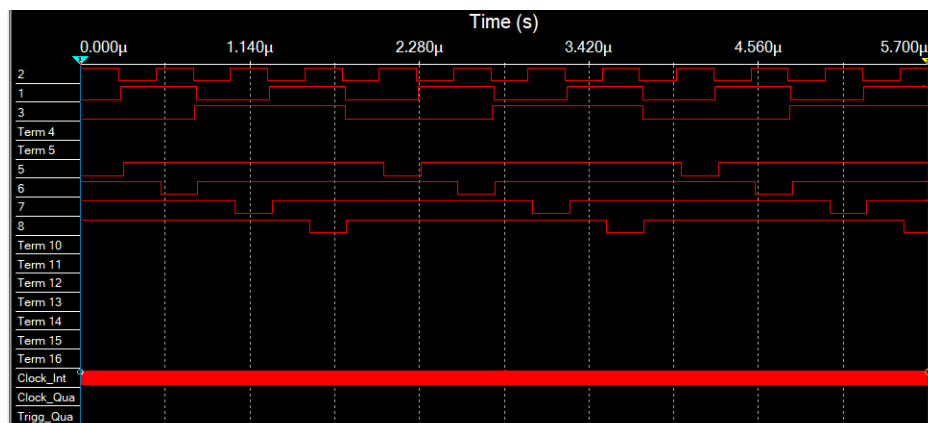


Рисунок 5. Временные диаграммы сигналов двухвходового дешифратора



The circuit diagram shows a 4-bit counter implemented using a 74LS155 (U6) and two 74LS04 inverters (U1, U4). A 2MHz clock source (C1) is connected to the INB pin of the 74LS155. The 74LS155 is configured with X/Y inputs to 1G and 1C, and A/B inputs to 1A and 1B. The 74LS155 outputs (1Y0-1Y3) are connected to the 74LS04 inverters. The 74LS04 inverters are connected in a chain: U4's output is connected to U1's input, and U1's output is connected to U4's input. The 74LS155 outputs are also connected to a 4-bit counter (C1) which has inputs for C, Q, and T. The 74LS155 is labeled U6 and the 74LS04 inverters are labeled U1 and U4. The 74LS155 is also labeled CNTR_4ABIN.

[illegible]

3. Дешифраторы ИС КР531ИД14

Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п. 2. ИС 74LS139 содержит два дешифратора DC 2-4 с отдельными адресными входами и разрешения.

Рисунок 8. Исследование дешифраторов ИС КР531ИД14

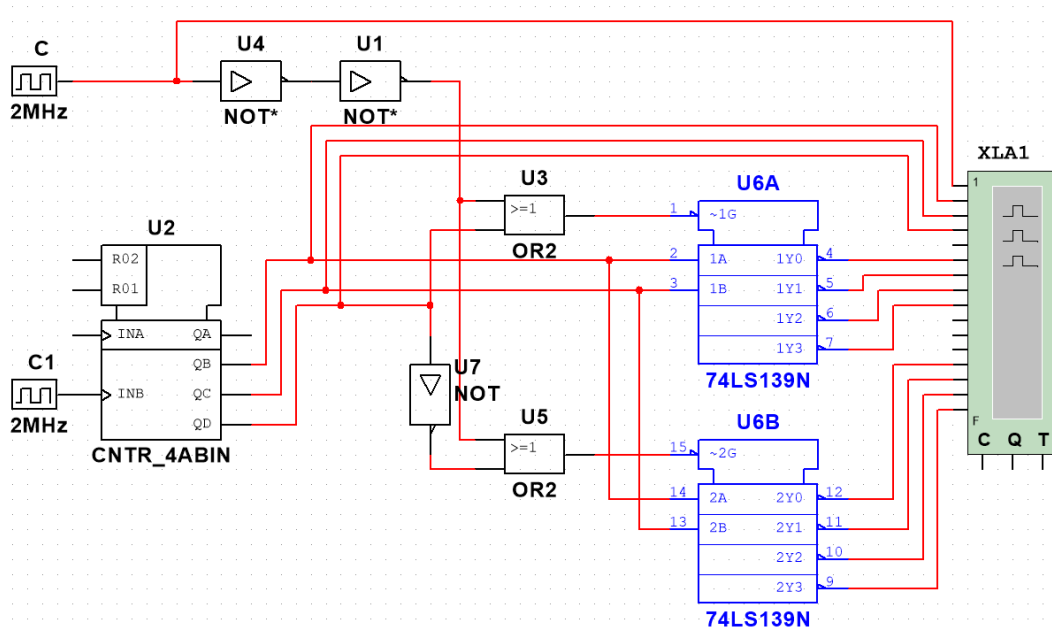
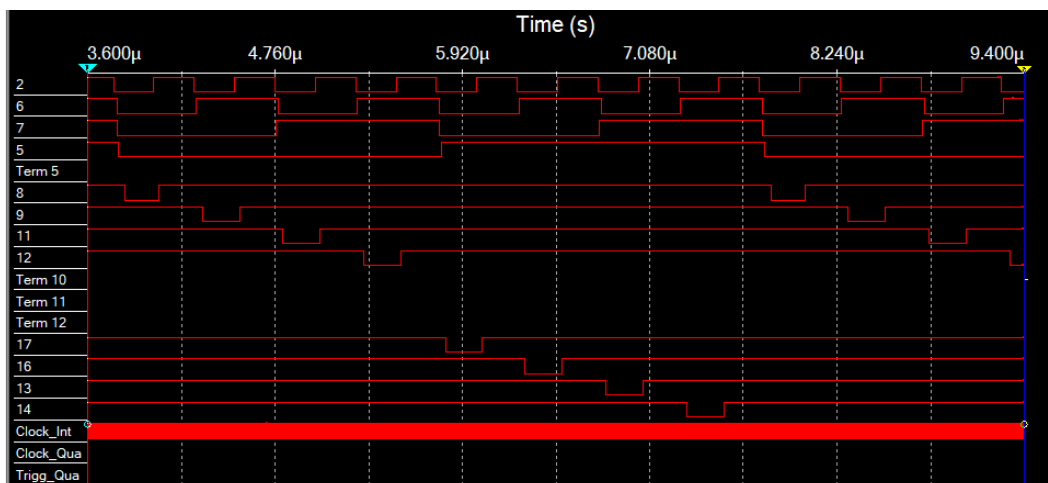


Рисунок 9. Временные диаграммы сигналов



4. Исследовать работоспособность дешифраторов ИС 533ИД7

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы с выходов счетчика, а на входы разрешения E1, E2, E3 – сигналы лог. 1, 0, 0 соответственно;

б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета

Рисунок 10. Схема для исследования дешифратора

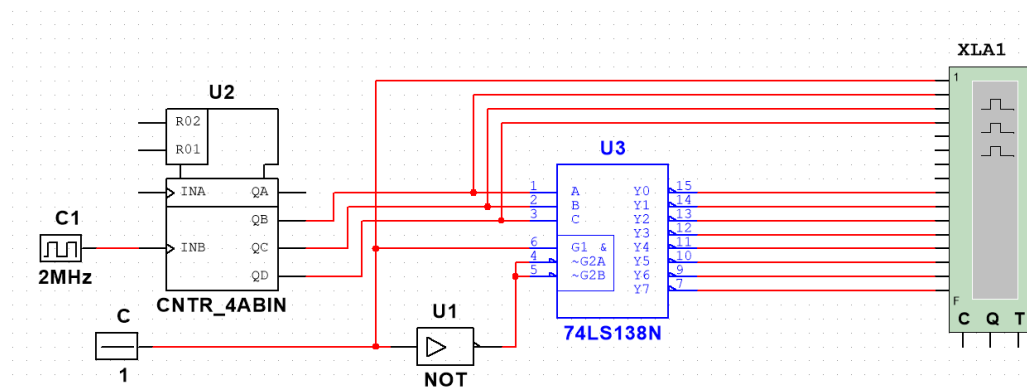


Рисунок 11. Временные диаграммы сигналов

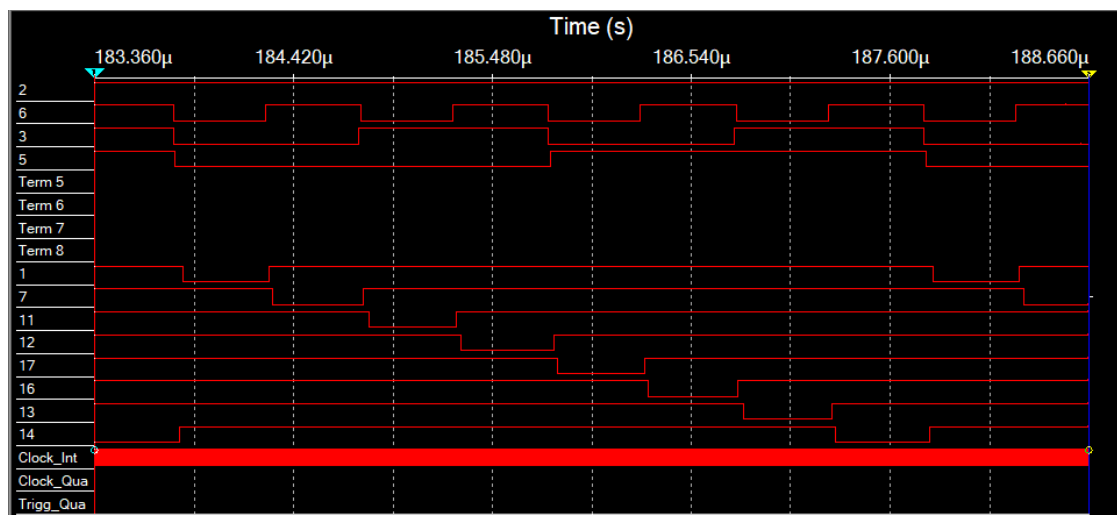


Рисунок 12. Схема дешифратора DC 5-32

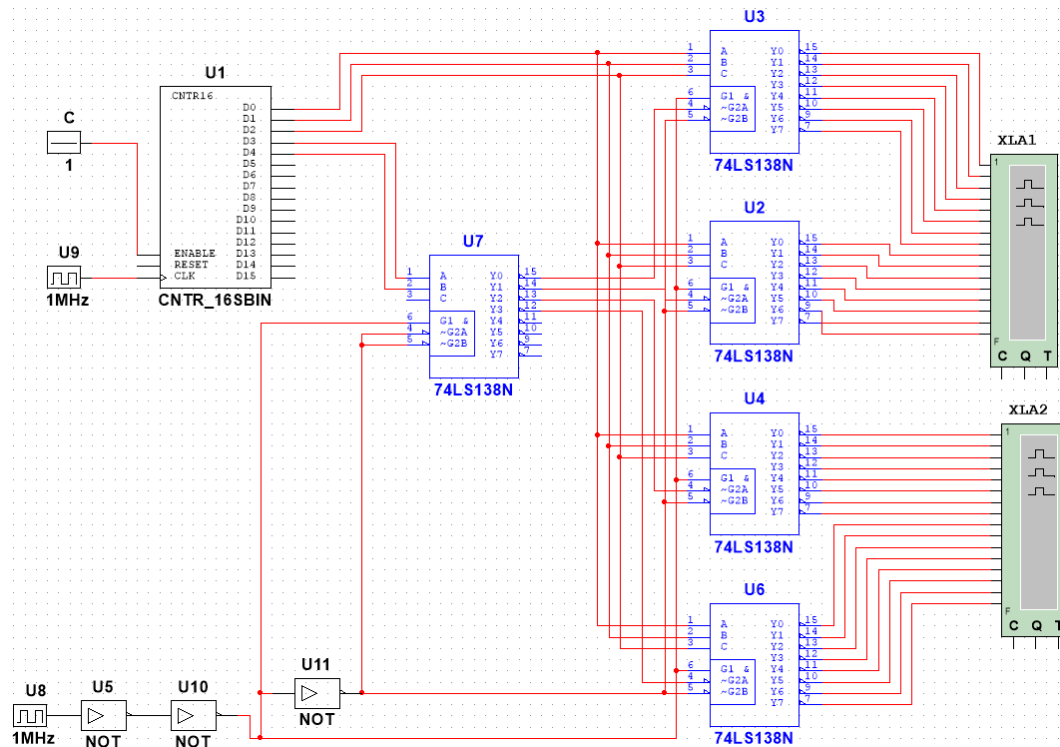


Рисунок 13. Временные диаграммы сигналов (часть 1)

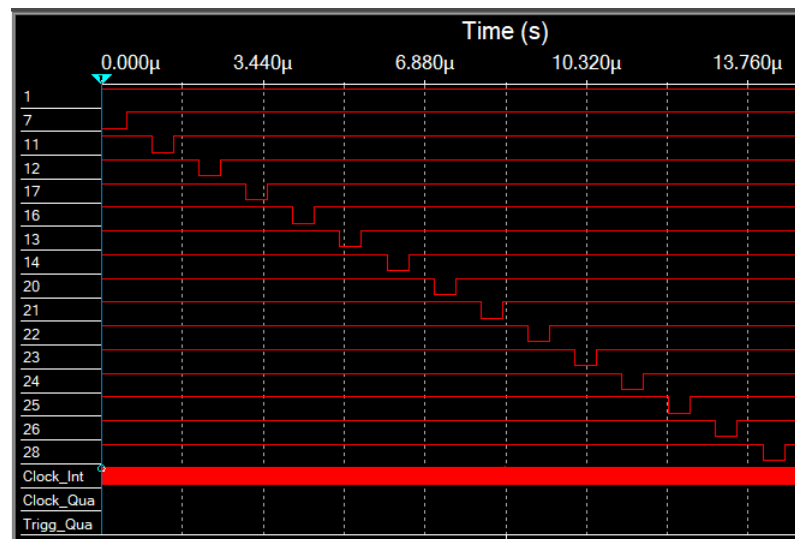
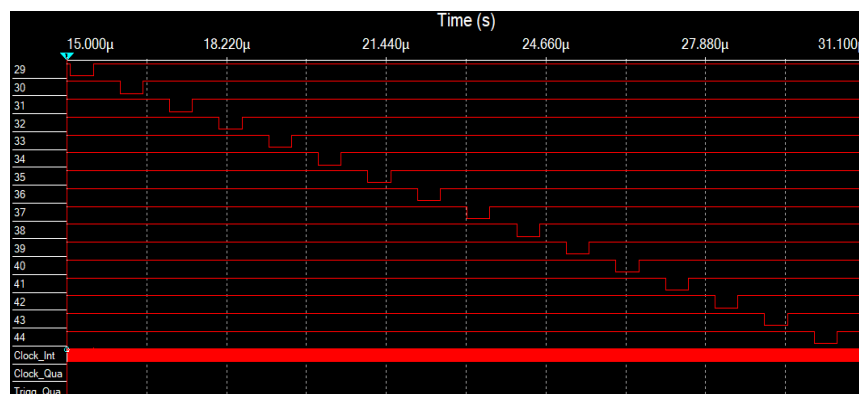


Рисунок 14. Временные диаграммы сигналов (часть 2)



Вывод

При выполнении данной лабораторной работы я изучил принципы построения и методы синтеза, а также экспериментально исследовал различные схемы дешифраторов.