|  |  |
| --- | --- |
| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **Компьютерные системы и сети (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 Программная инженерия**

**Отчет**

|  |  |
| --- | --- |
| **по лабораторной работе №** | 1 |

**Название:**

Синхронные одноступенчатые триггеры со статическим и динамическим управлением записью

**Дисциплина:** Архитектура ЭВМ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Студент | ИУ7-46Б |  | 03.03.2021 | Д.А. Ивахненко |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  | А.Ю. Попов |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2021

# Цель работы

Изучить схемы асинхронного RS-триггера, который является запоминающей ячейкой всех типов триггеров, синхронных RS- и D-триггеров со статическим управлением записью и DV-триггера с динамическим управлением записью.

# Асинхронный RS-триггер с инверсными входами в статическом режиме

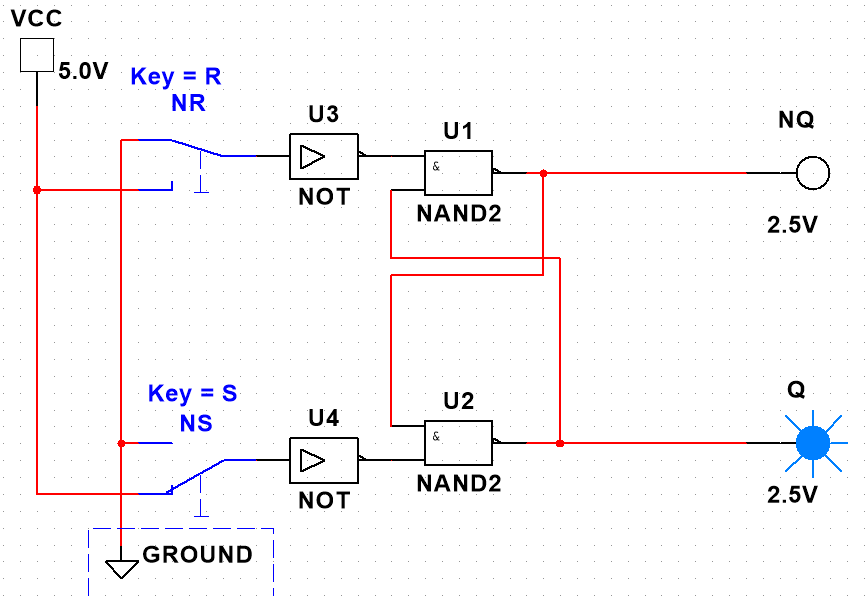


Рисунок 1. Схема асинхронного RS-триггера в статическом режиме.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *S* | *R* |  |  | *Режим* |
| 0  0 | 0  0 | 0  1 | 0  1 | Хранение |
| 0  0 | 1  1 | 0  1 | 0  0 | 0 |
| 1  1 | 0  0 | 0  1 | 1  1 | 1 |
| 1  1 | 1  1 | 0  1 | X  X | Запрещенное состояние |

Таблица 1. Таблица переходов асинхронного RS-триггера в статическом режиме

Получается, что 𝑆 всегда устанавливает триггер в состояние единицы, а 𝑅 устанавливает в состояние нуля. Одновременная подача 𝑆 и 𝑅 запрещена.

# Синхронный RS-триггер в статическом режиме

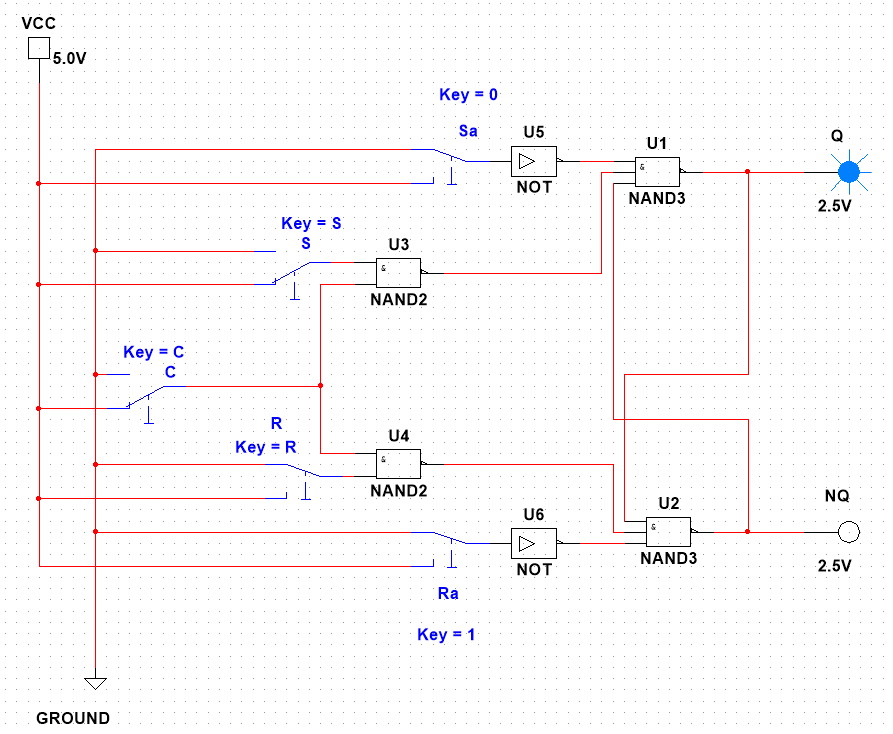


Рисунок 2. Схема синхронного RS-триггера в статическом режиме

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *C* | *S* | *R* |  |  | *Режим* |
| 0  0  1  1 | ~  ~  0  0 | ~  ~  0  0 | 0  1  0  1 | 0  1  0  1 | Хранение |
| 1  1 | 0  0 | 1  1 | 0  1 | 0  0 | 0 |
| 1  1 | 1  1 | 0  0 | 0  1 | 1  1 | 1 |
| 1  1 | 1  1 | 1  1 | 0  1 | X  X | Запрещенное состояние |

Таблица 2. Таблица переходов синхронного RS-триггера в статическом режиме

Вход 𝐶 позволяет контролировать сигнал, поступающий в триггер.

# D-триггер в статическом режиме

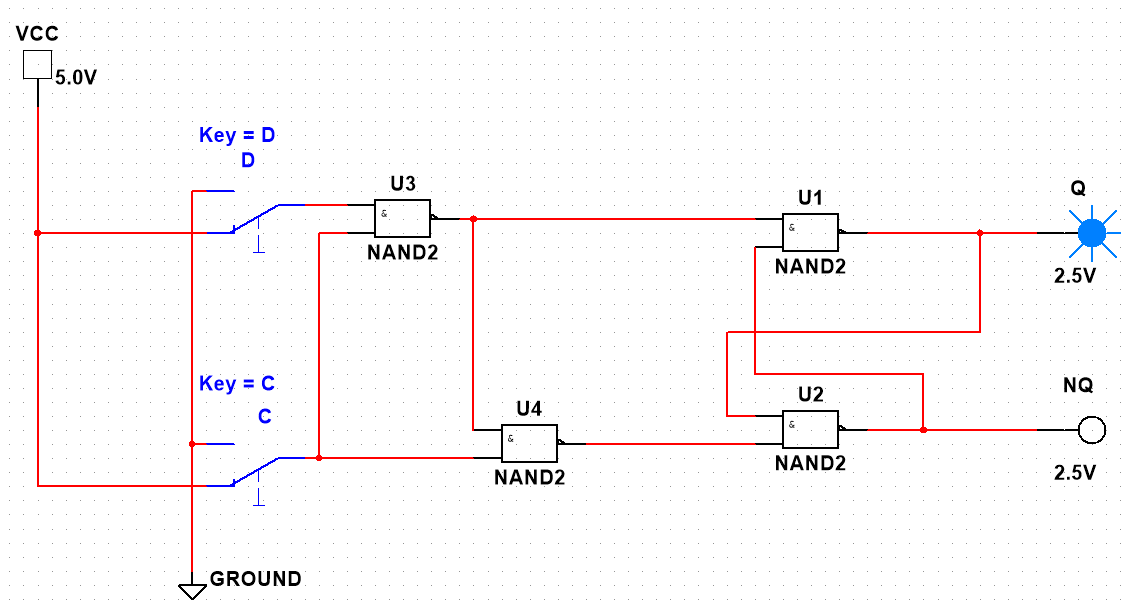


Рисунок 3. Схема D-триггера в статическом режиме

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *C* | *D* |  |  | *Режим* |
| 0  0 | ~ | 0  1 | 0  1 | Хранение |
| 1  1 | 0  0 | 0  1 | 0 | 0 |
| 1  1 | 1  1 | 0  1 | 1 | 1 |

Таблица 3. Таблица переходов D-триггера в статическом режиме

Заметим, что, когда синхронизирующий вход равен 1, текущее значение D отбирается и сохраняется. Сохраненное значение всегда доступно на выходе Q. Чтобы загрузить в память текущее значение D, нужно пустить положительный импульс по линии синхронизирующего сигнала.

# 4. Синхронный D-триггер с динамическим управлением

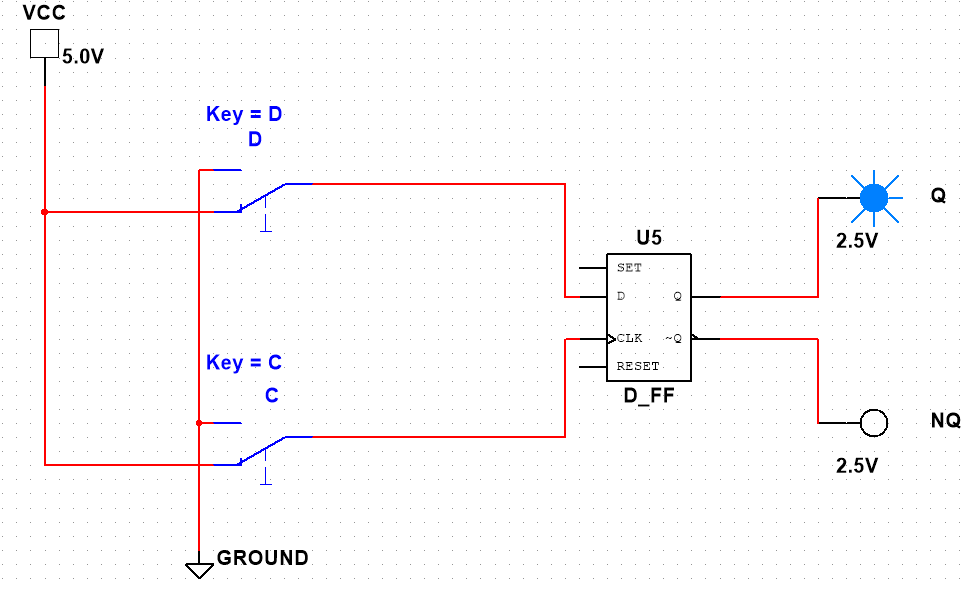


Рисунок 4. Схема синхронного D-триггера с динамическим управлением

|  |  |  |  |
| --- | --- | --- | --- |
| *D* | *C* |  |  |
| ~ | 0 OR 1 | 0  1 | 0  1 |
| 0  0  1  1 | Switch  [0 to 1] | 0  1  0  1 | 0  0  1  1 |
| 0  0  1  1 | Switch  [1 to 0] | 0  1  0  1 | 0  1  0  1 |

Таблица 4. Таблица переходов синхронного D-триггера с динамическим управлением

В такой схеме, смена состояния происходит не тогда, когда синхронизирующий сигнал равен 1, а при переходе синхронизирующего сигнала с 0 на 1 (фронт) или с 1 на 0 (спад). То есть особенностью синхронных триггеров с динамическим управлением является то, что они запускаются перепадом, а не уровнем сигнала.

# 5. Синхронный DV-триггер с динамическим управлением

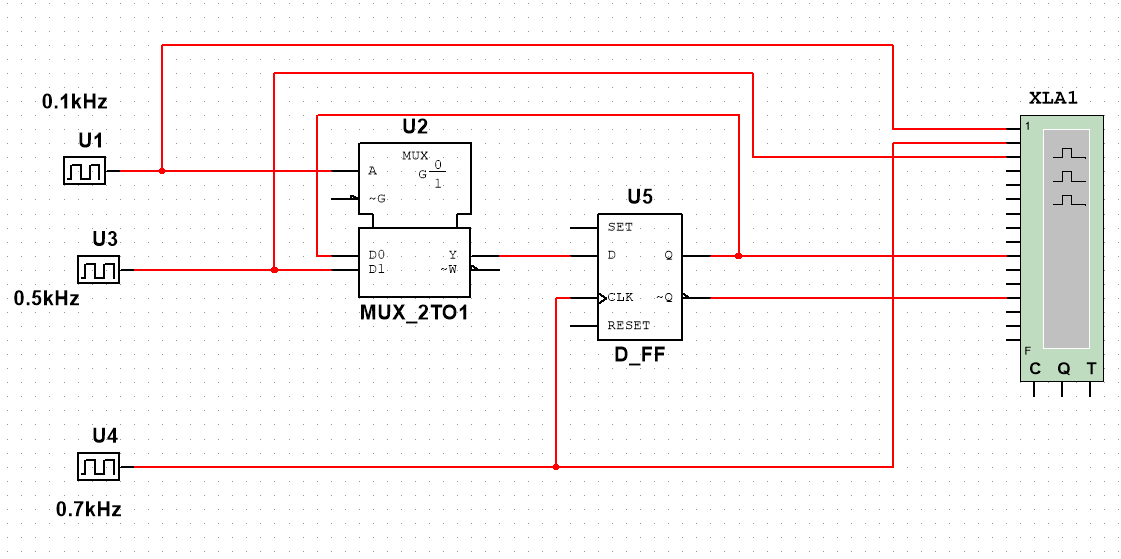


Рисунок 5. Схема синхронного DV-триггера с динамическим управлением

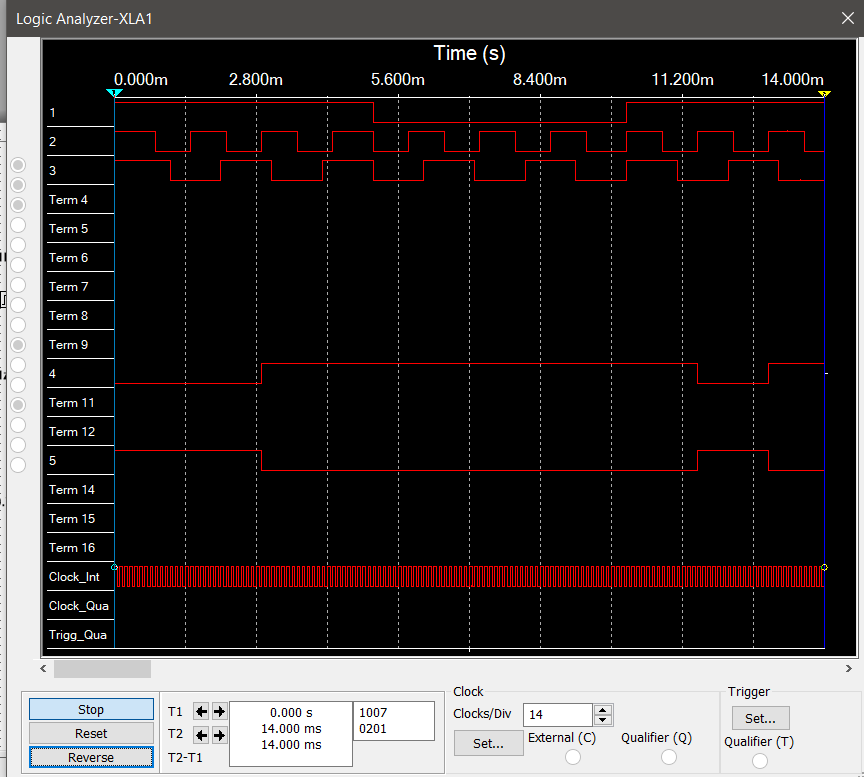


Рисунок 6. Показатели Logic Analyzer для синхронного DV-триггера с динамическим управлением

При **V = 1** DV-триггер работает по правилам D-триггера, то есть при изменении С (0 на 1) происходит смена состояния в соответствии с текущим значением D.

При **V = 0** DV-триггер сохраняет свое состояние неизменным – хранит информацию независимо от состояния D.

# 6. DV-триггер, включенный по схеме TV-триггера

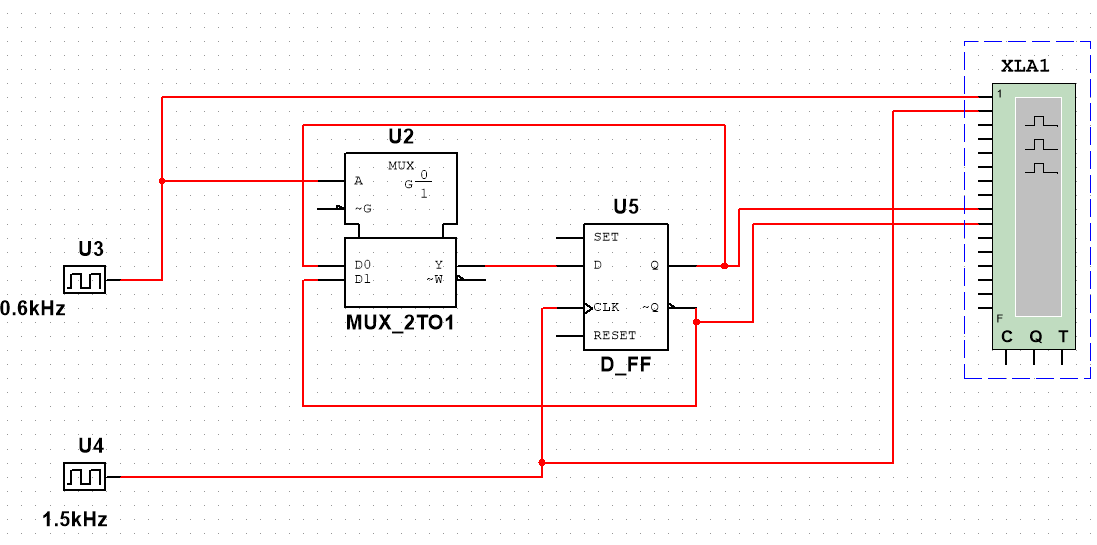


Рисунок 7. Схема DV-триггера, включенного по схеме TV-триггера

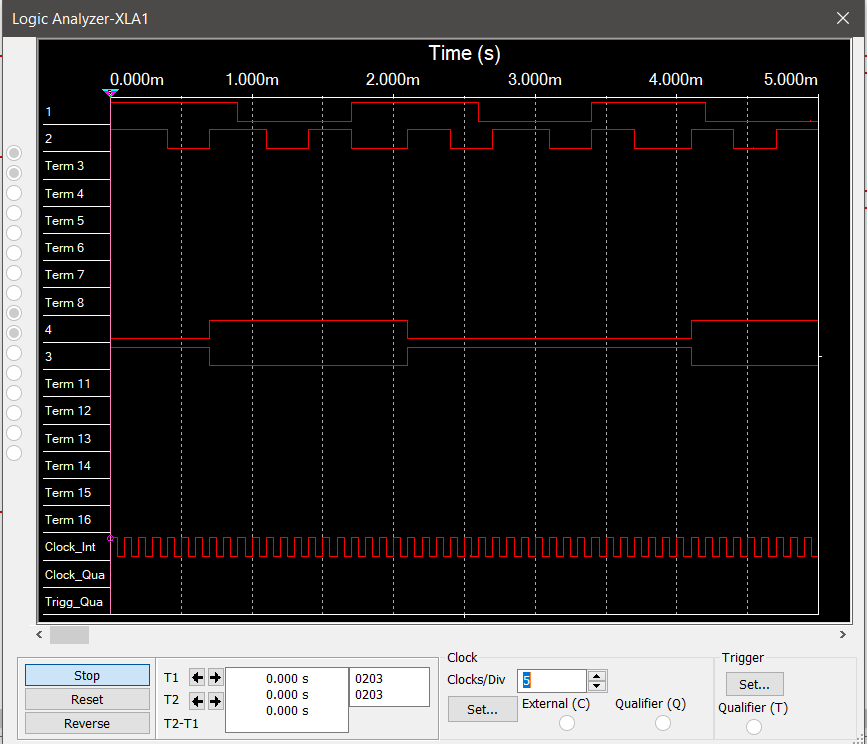


Рисунок 8. Показатели Logic Analyzer для DV-триггера

После поступления на вход Т-импульса, состояние триггера меняется на прямо противоположное. При поступлении второго импульса Т-триггер сбрасывается в исходное состояние.

**Асинхронный T-триггер** переходит в противоположное состояние каждый раз при подаче на 𝑇-вход единичного сигнала. 𝑇-триггер реализует счет по модулю 2: = 𝑇 ⊕ .

**Синхронный Т-триггер** имеет вход 𝐶 и вход 𝑇. Синхронный 𝑇-триггер переключается в противоположное состояние сигналом С, если на счетном входе Т действует единичный сигнал.

# Вывод

При выполнении этой лабораторной работы я изучил схемы, а также познакомился с принципом работы, минусами и плюсами различных синхронных и асинхронных триггеров.