TEMA 4: Sistemas Secuenciales

Índice:

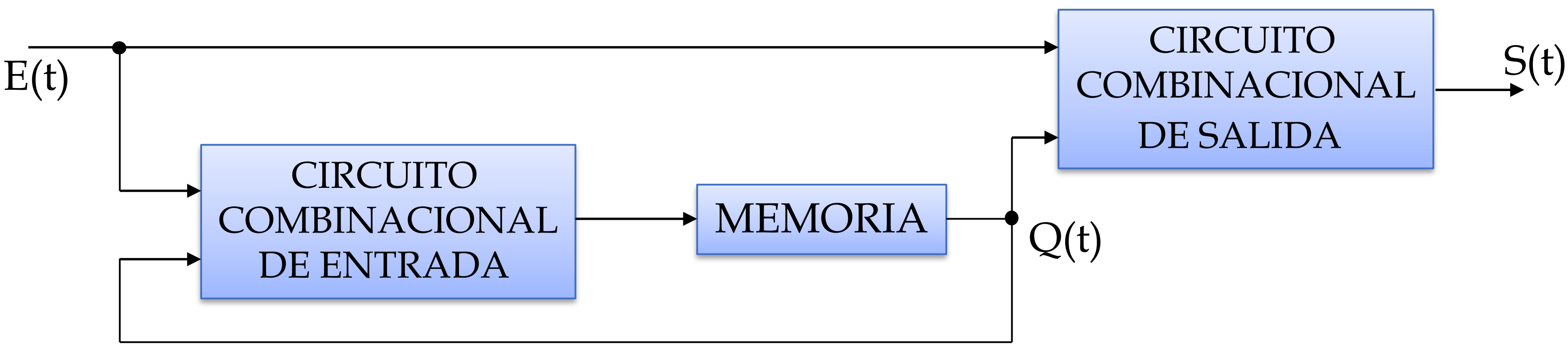
TEMA 4: Sistemas Secuenciales

Bibliografía:

- T.L.Floyd. Fundamentos de Sistemas Digitales.
  - Cap. 8: Flip-Flops y Dispositivos Relacionados
  - Cap. 9: Contadores
  - Cap. 10: Registros de Desplazamiento
- C.Blanco. Fundamentos de Electrónica Digital.
  - Cap. 6: Registros
  - Cap. 7: Contadores
- Victor P. Nelson. Análisis y diseño de circuitos lógicos digitales.
  - Cap. 8: Análisis y síntesis de circuitos secuenciales síncronos.
- Kennet J. Breeding. Digital design fundamentals.
  - Cap. 5: Sequential Circuits.

1. Definición de Sistema Secuencial.

Los sistemas secuenciales son aquellos cuya salida en un instante dado depende, no sólo de las entradas al sistema en ese instante, sino también de la evolución o historia anterior de las mismas, es decir de la secuencia de entradas a la que ha estado sometido.



$$S(t) = f_1\left[E(t), Q(t)\right] \qquad Q(t+\Delta t) = f_2\left[E(t), Q(t)\right]$$

Si suprimimos los circuitos combinacionales de entrada y salida nos queda un circuito compuesto solamente por el elemento de memoria.

2.1 Biestables. Definición y Clasificación

Los biestables (flip-flops o básculas) son circuitos lógicos, con dos estados estables, capaces de permanecer indefinidamente en cualquiera de ellos, aun después de desaparecer la señal de entrada que provocó el paso al estado alcanzado. Por tanto, son circuitos capaces de almacenar un bit.

Su principal característica, y que hace que pueda tener este comportamiento, es la **realimentación**.

Clasificación

Por su modo de funcionamiento hablaremos de:

- Biestable RS
- Biestable JK
- Biestable D
- Biestable T

Por su modo de activación hablaremos de:

- Biestables Asíncronos (no existe señal de reloj)

$$\bullet\text{Biestables Síncronos (con señal de reloj)}\begin{cases}\text{Por Nivel}\begin{cases}\text{Alto}\\ \text{Bajo}\end{cases}\\ \text{Por Flanco}\begin{cases}\text{De Subida}\\ \text{De Bajada}\end{cases}\end{cases}$$

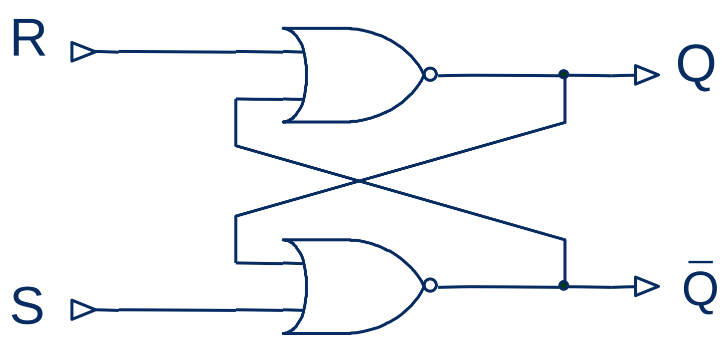
2.2.1 Biestable RS. Biestable RS Asíncrono

Posee dos entradas, llamadas **R** (Reset) y **S** (Set), y dos salidas complementarias, que denominaremos Q y $\bar{Q}$. Su modo de funcionamiento queda definido por la siguiente tabla de verdad:

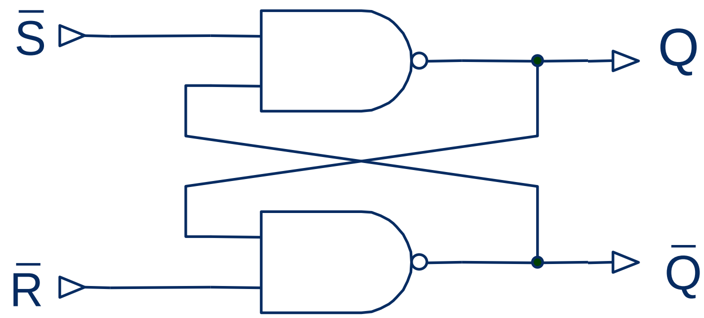
R	S	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	No permitida
1	1	1	No permitida

Tabla Resumen:

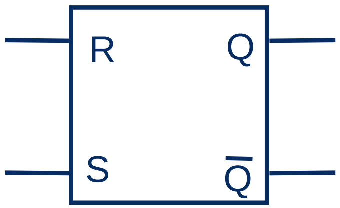
R	S	Q(t+1)
0	0	Q(t)
0	1	1
1	0	0
1	1	-



Alternativamente podemos construirlo con puertas NAND, si bien deberemos tener presente que sus entradas serán negadas

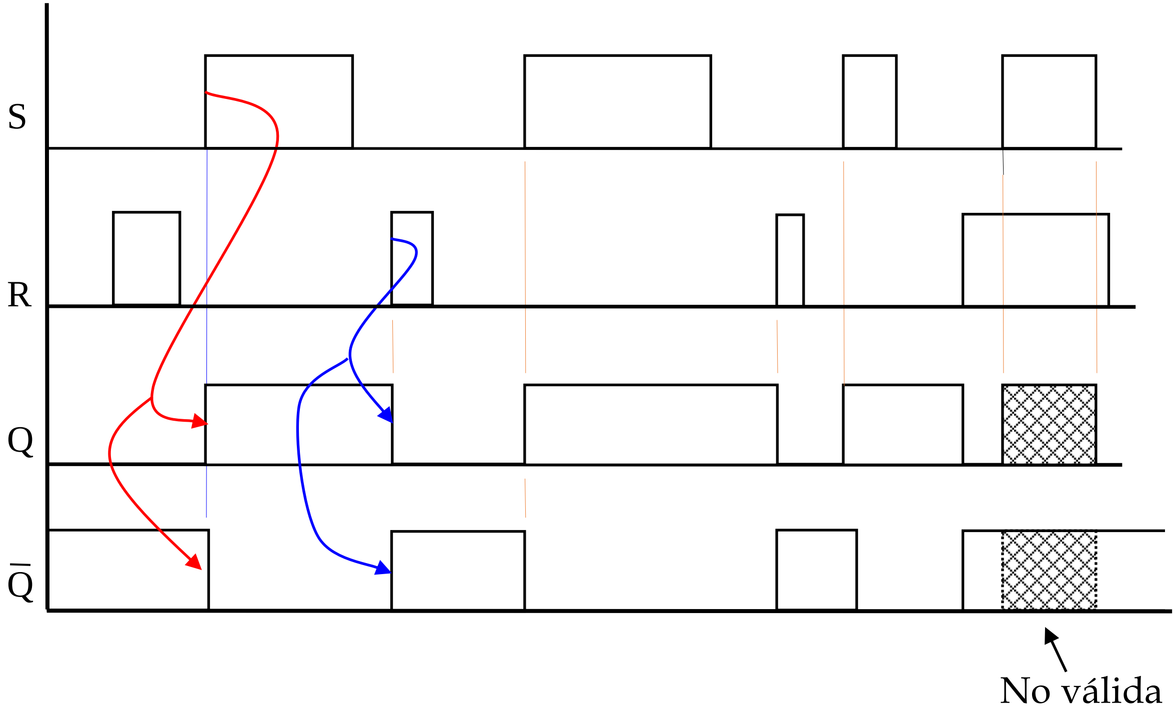


En cualquier caso, para utilizarlo emplearemos su bloque funcional, que siempre responde a la tabla de verdad original.

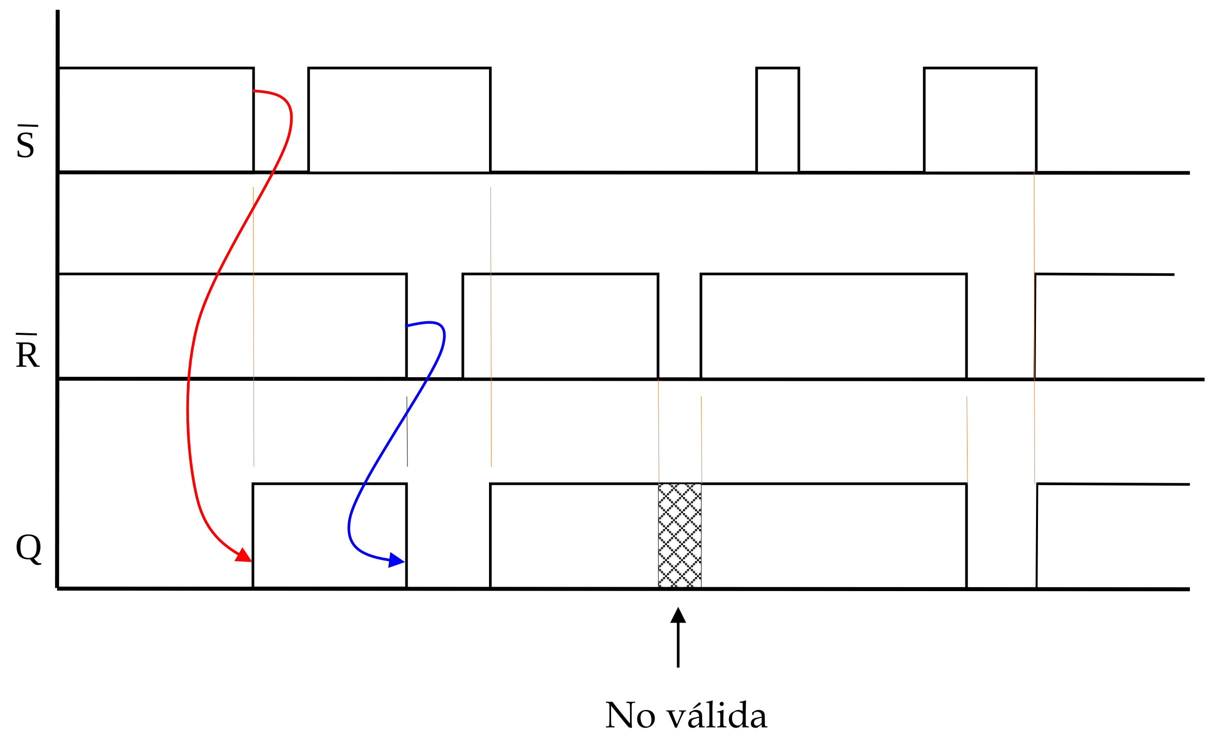


Los diagramas temporales (Cronogramas) nos muestran la evolución de las salidas conforme van cambiando lo datos de entrada

En un biestable RS Asíncrono con Puertas NOR:



Para un biestable RS Asíncrono con Puertas NAND:

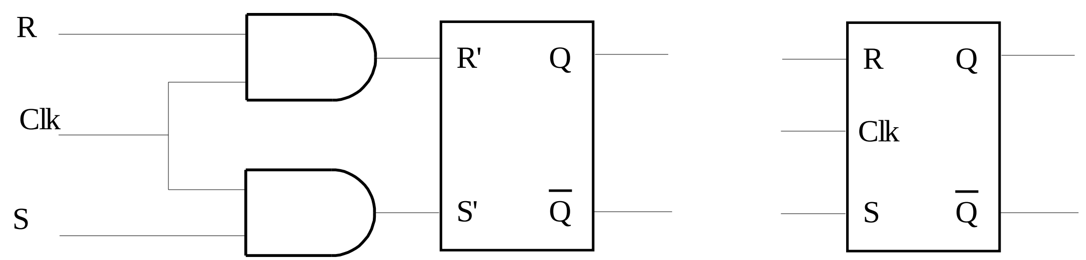


2.2.2 Biestable RS. Biestable RS Síncrono

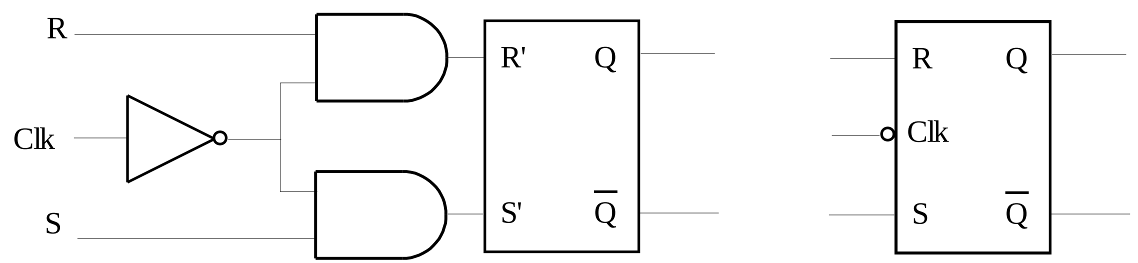
En un biestable síncrono la salida solamente puede cambiar de estado cuando se produzca el valor o cambio adecuado en la entrada de disparo, que denominaremos de ***reloj*** (Clk).

En un biestable activo por ***nivel***, la entrada de reloj actúa como una entrada de habilitación.

Por nivel Alto:

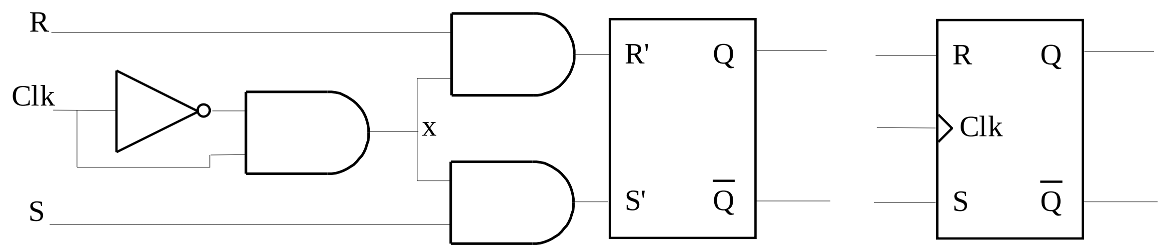


Por nivel Bajo:

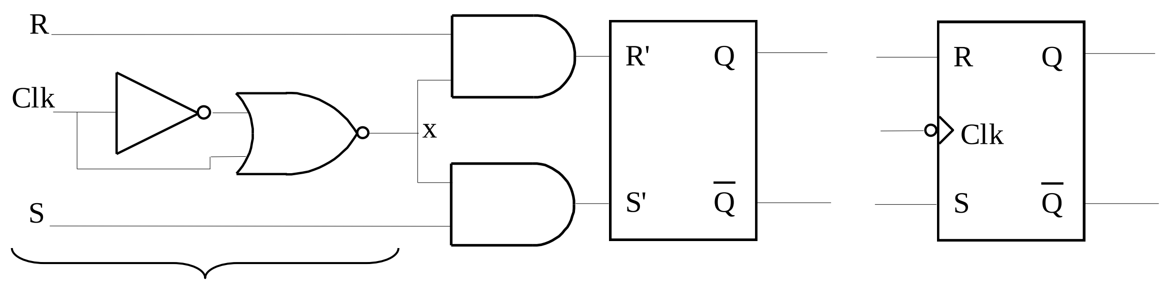


Un biestable activo por ***flanco*** solamente puede cambiar de estado si en su entrada de reloj se produce la transición adecuada: un cambio de Nivel BAJO a nivel ALTO, si es activo por ***flanco de subida*** o bien un cambio de Nivel ALTO a Nivel BAJO si es activo por ***flanco de bajada.***

Por flanco de subida:

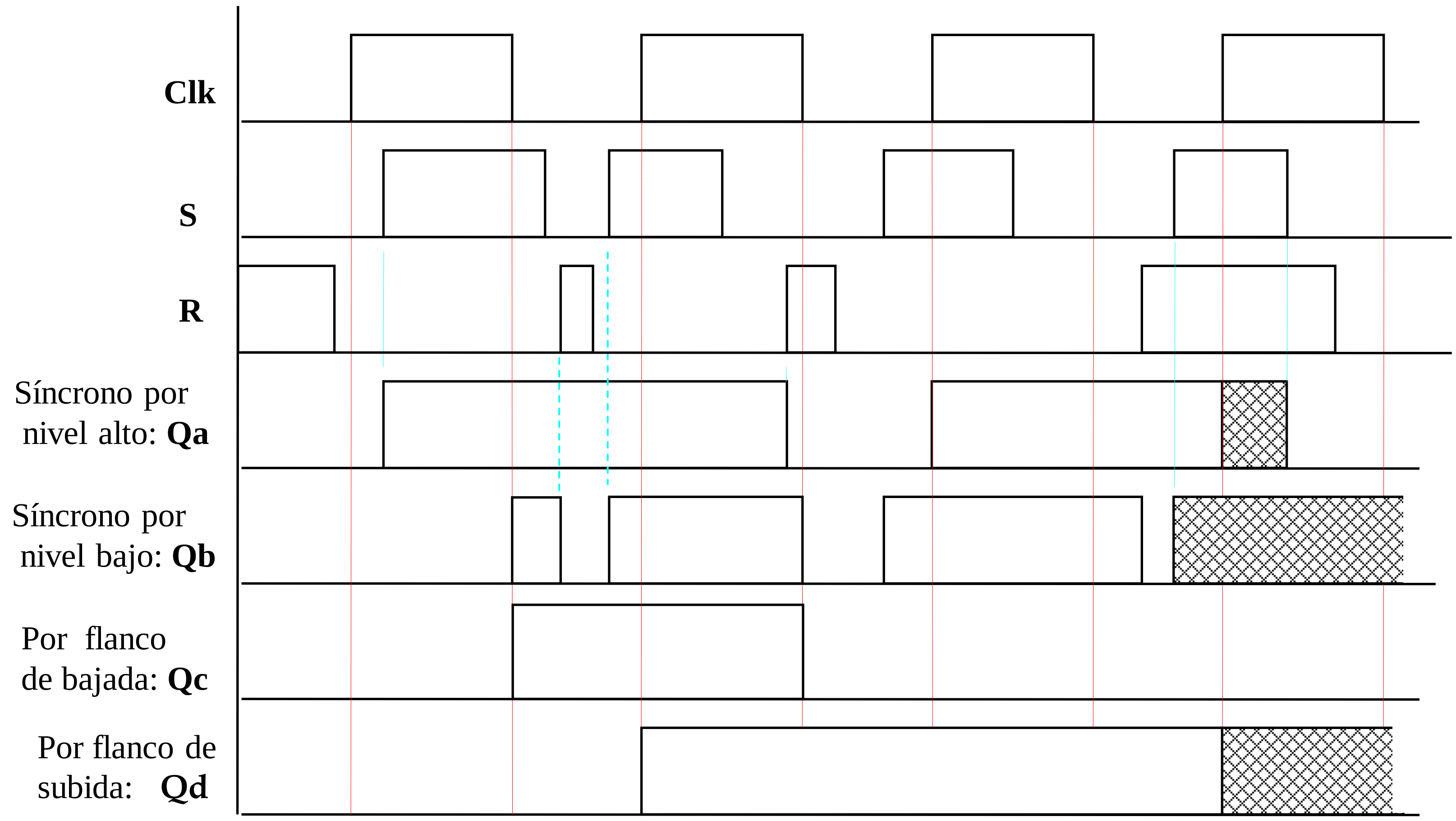


Por flanco de bajada:



Detector de transiciones

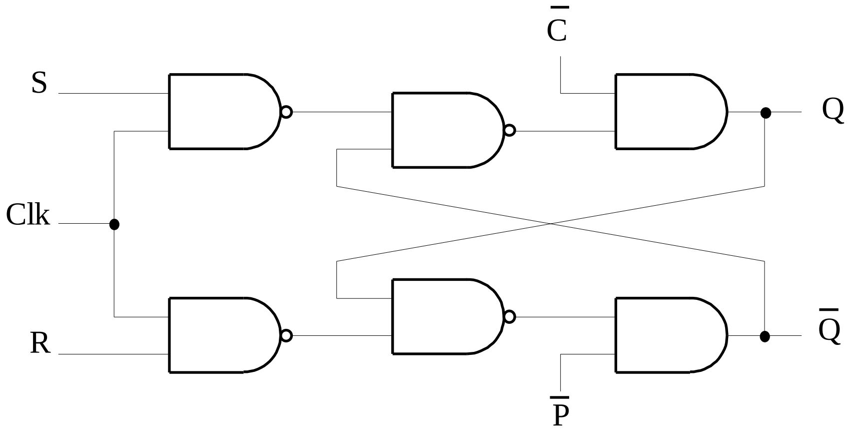
Cronograma según el tipo de activación del Reloj:

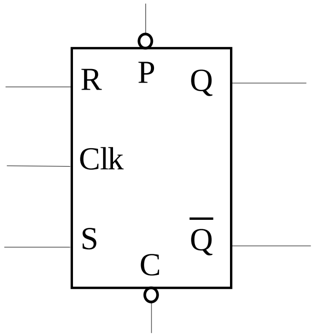


2.2.3 Biestable RS. Biestable RS Síncrono con entradas Asíncronas

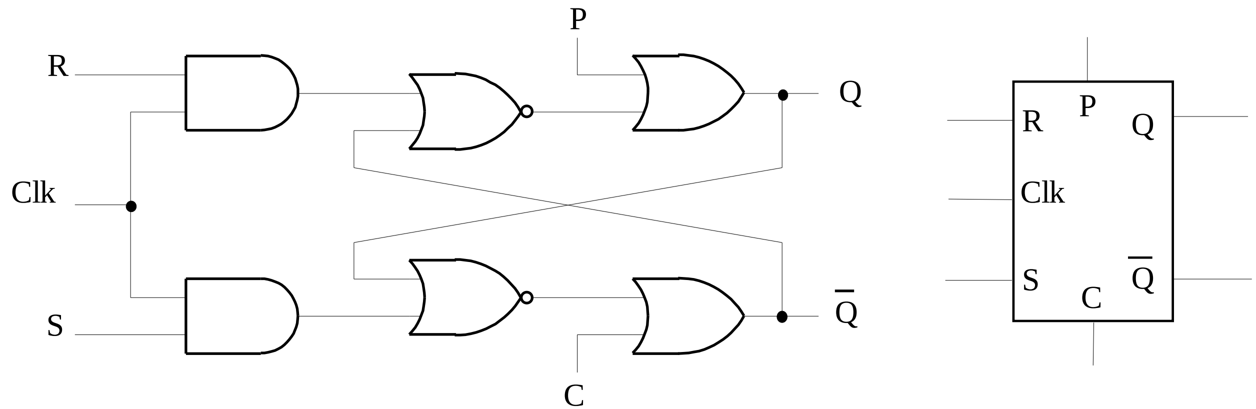
Las ***entradas asíncronas*** fuerzan la salida del biestable a un estado particular, independientemente del valor que coloquemos en las entradas S y R y de la entrada de Reloj. La activación de la entrada asíncrona ***PRESET*** (P) fuerza la aparición en la salida de un Nivel ALTO. La activación de la entrada ***CLEAR*** (C) fuerza la salida a Nivel BAJO.

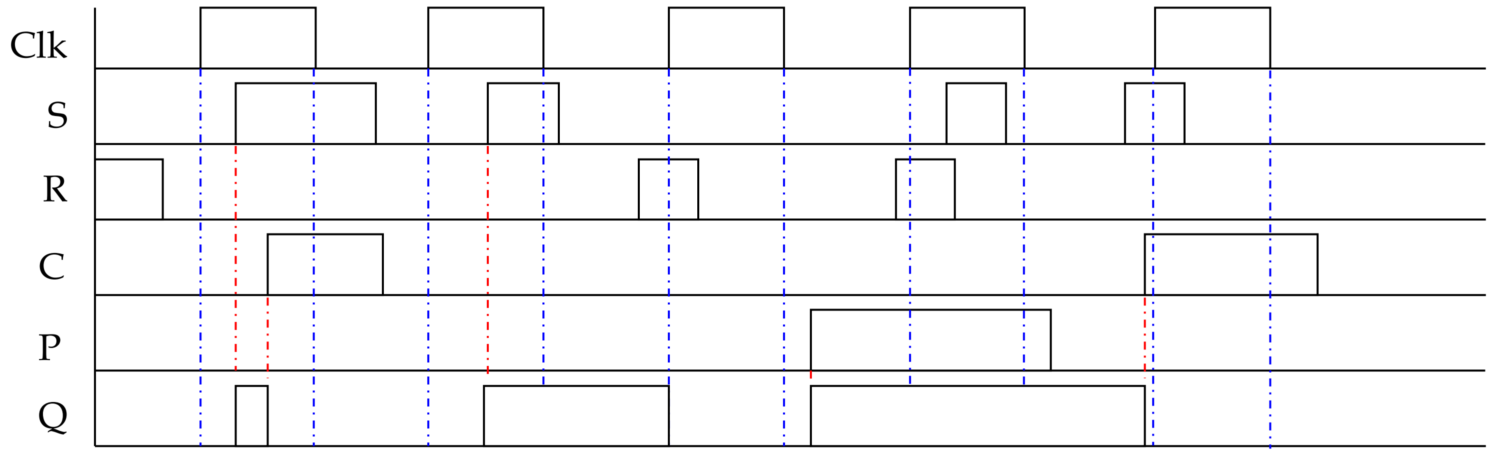
Biestable RS con entradas asíncronas activas a NIVEL BAJO:





Biestable RS con entradas asíncronas activas a NIVEL ALTO:





2.3 Biestable JK.

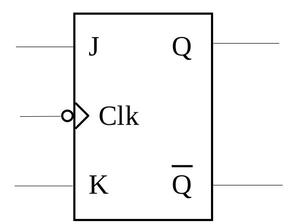
Posee dos entradas, llamadas J y K, y dos salidas complementarias, que denominaremos Q y $\overline{Q}$. Su modo de funcionamiento queda definido por la siguiente tabla de verdad. Siempre son activos por flanco.

J	K	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

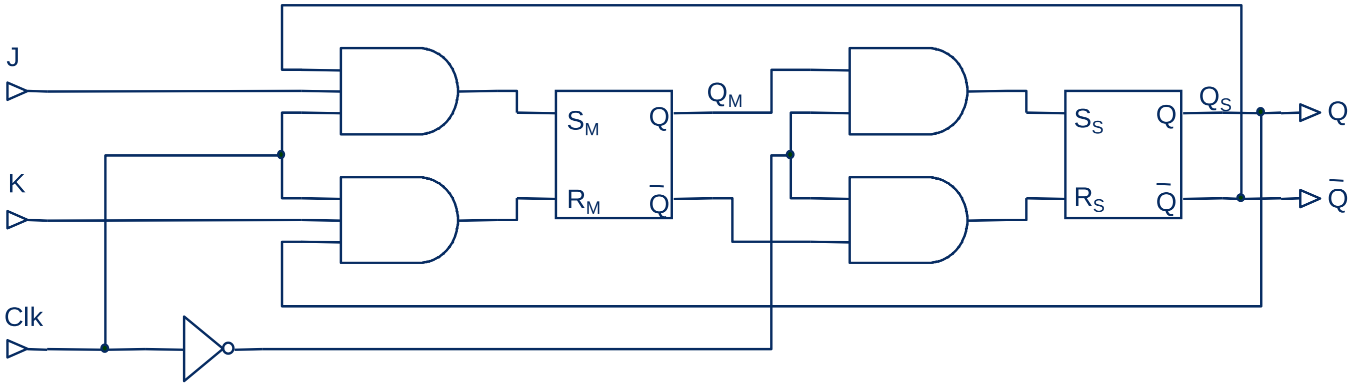
Tabla Resumen:

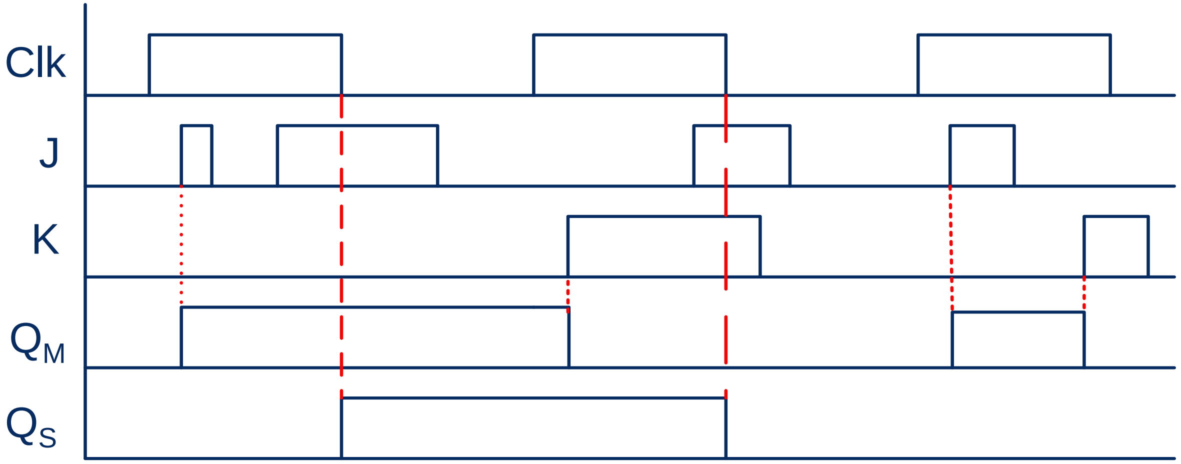
J	K	Q(t+1)	Acción
0	0	Q(t)	No cambia
0	1	0	Reset
1	0	1	Set
1	1	$\overline{Q(t)}$	Basculación

Bloque funcional:



Biestable JK Master-Slave, construido con biestables RS





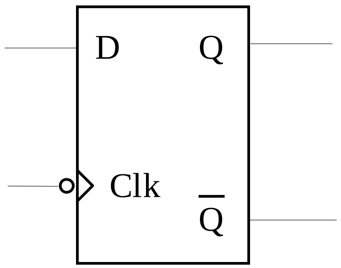
2.4 Biestable D.

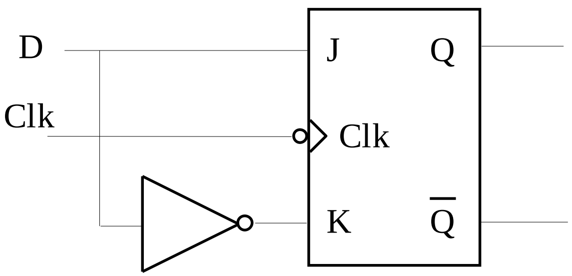
Posee una entrada, llamada D (Data), y dos salidas complementarias, que denominaremos Q y $\overline{Q}$. Su modo de funcionamiento queda definido por la siguiente tabla de verdad.

D	Q(t)	Q(t+1)
0	0	0
0	1	0
1	0	1
1	1	1

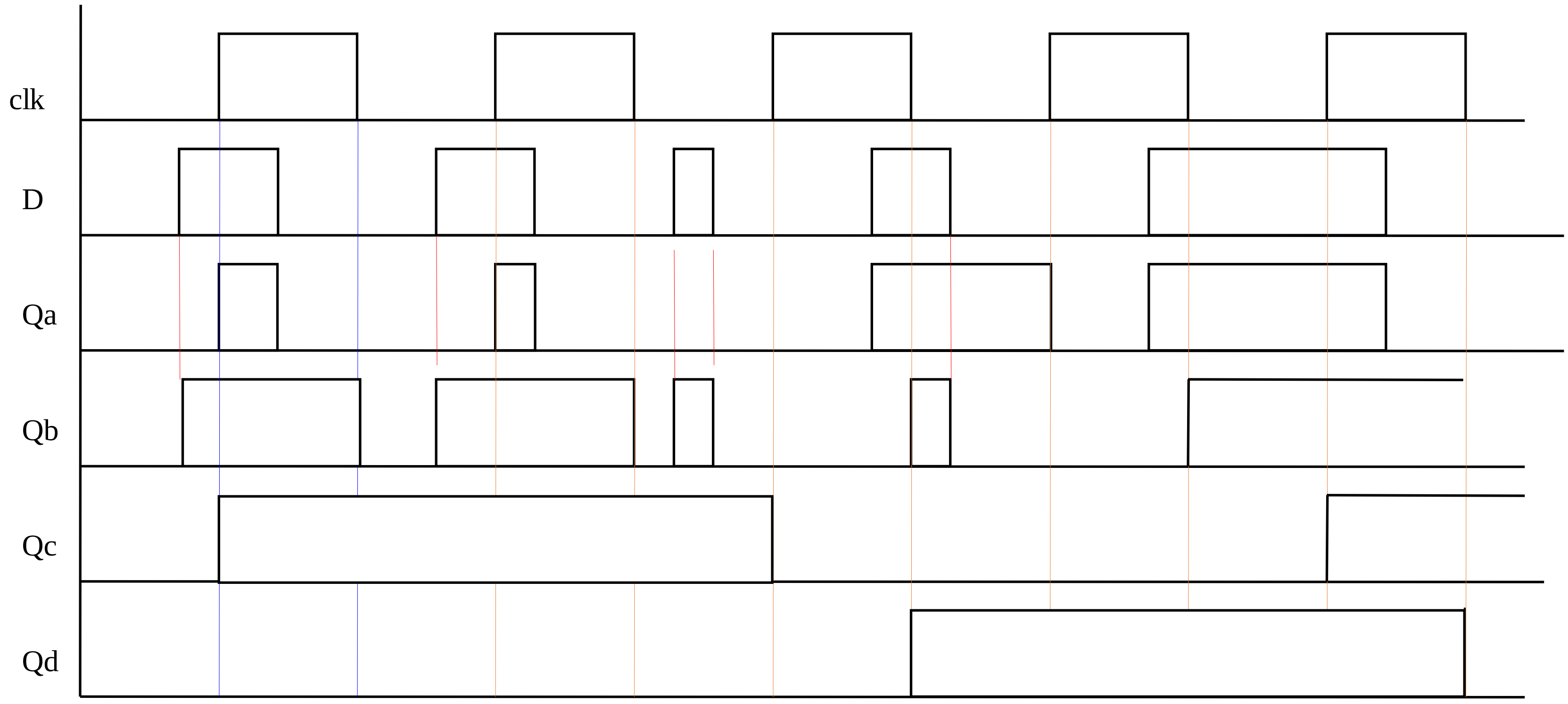
Tabla Resumen:

D	Q(t+1)
0	0
1	1





Cronograma según el tipo de activación del Reloj:



Qa - Síncrono activo por nivel alto (Latch D)
Qb - Síncrono activo por nivel bajo (Latch D)
Qc - Síncrono activo por flanco de subida
Qd - Síncrono activo por flanco de bajada

2.4 Biestable T.

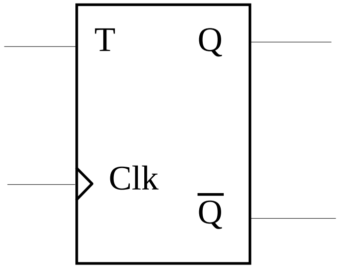
Posee una entrada, llamada T (Toggle), y dos salidas complementarias, que denominaremos Q y $\overline{Q}$. Su modo de funcionamiento queda definido por la siguiente tabla de verdad.

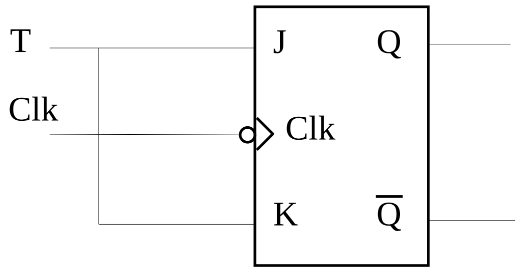
T	Q(t)	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0

Tabla Resumen:

T	Q(t+1)
0	Q(t)
1	$\overline{Q(t)}$

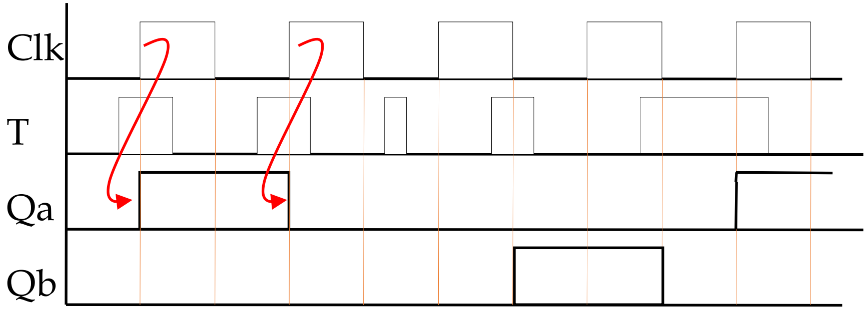
Bloque Funcional:





Cronograma:

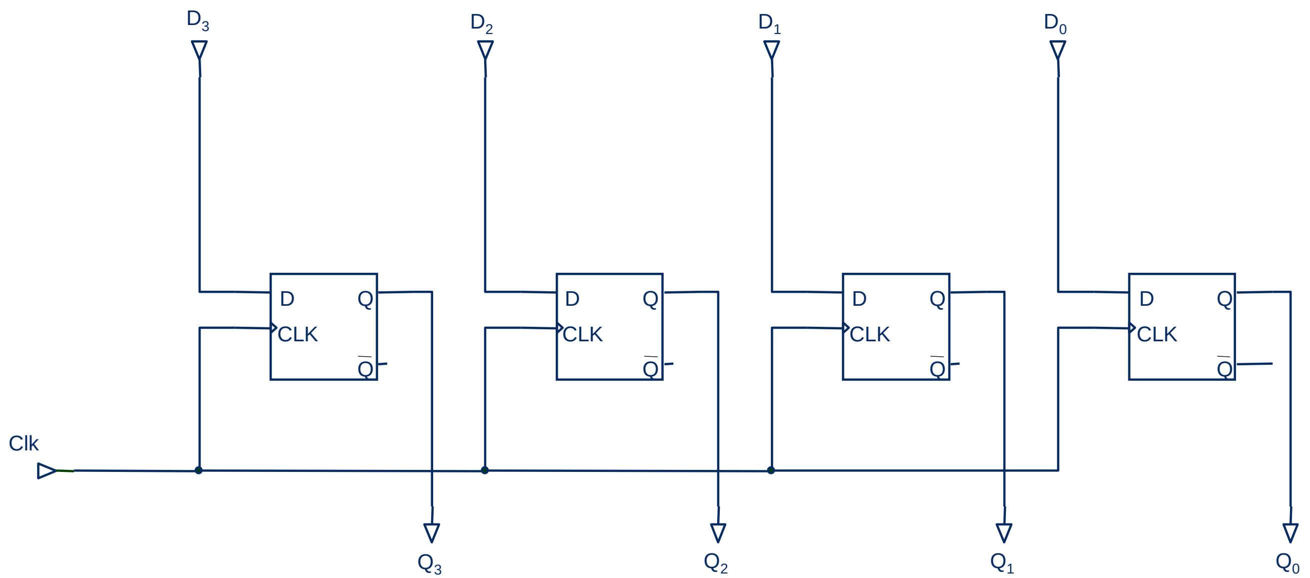
Qa - Síncrono activo por flanco de subida
Qb - Síncrono activo por flanco de bajada



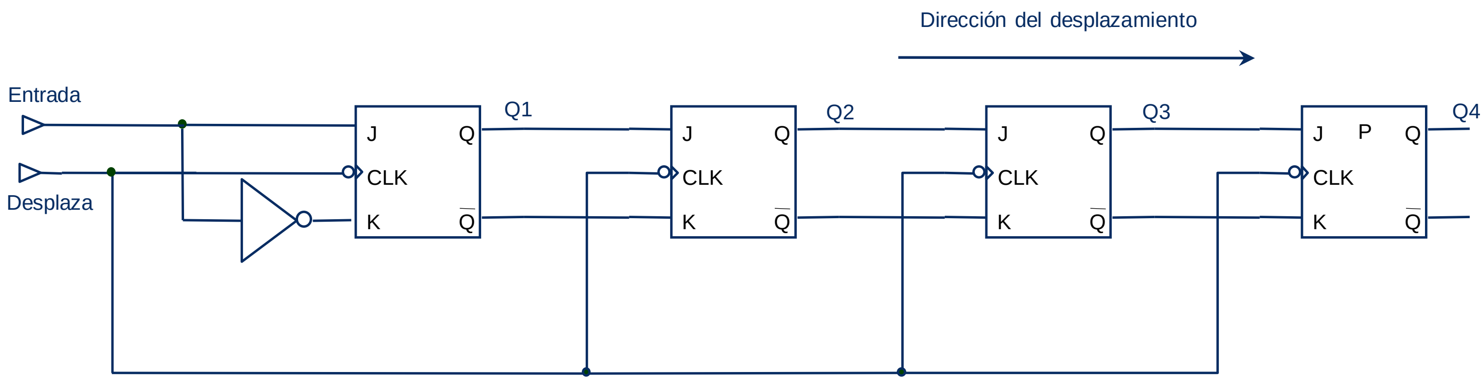
3.1 Registros. Definición. Tipos

Un registro es un grupo de biestables interconectados entre si. Los clasificamos, según su función, en registros de almacenamiento y registros de desplazamiento.

La finalidad de un ***registro de almacenamiento*** es la de mantener temporalmente la información para que pueda ser tratada. Todos los biestables que lo componen comparten la misma señal de reloj.

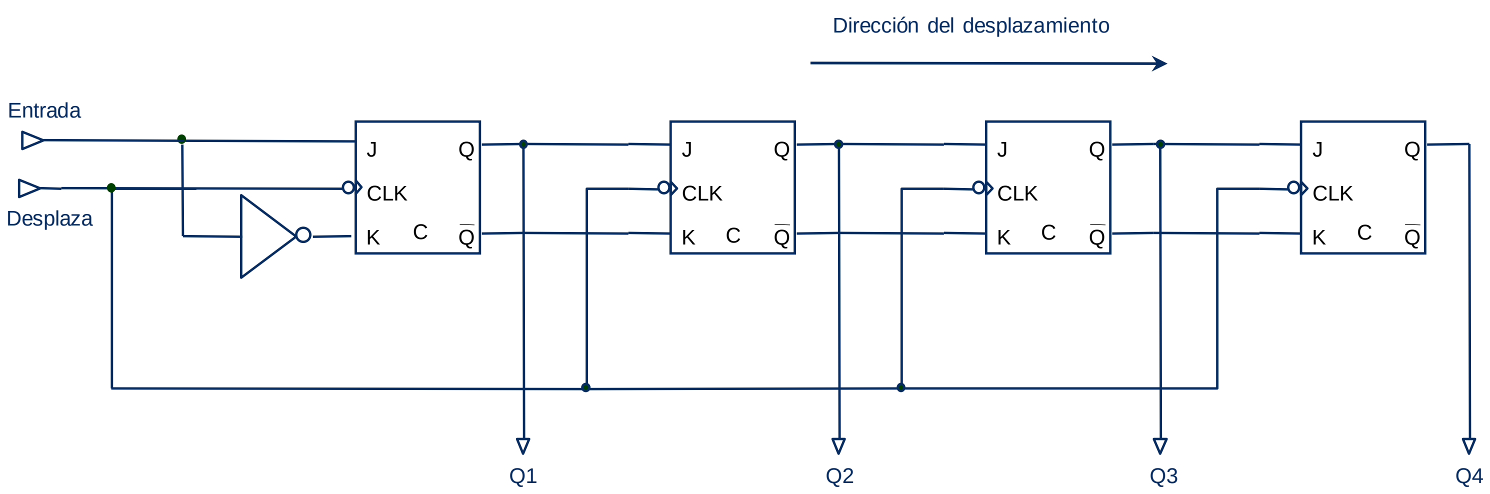


Un ***registro de desplazamiento*** nos permitirá almacenar y mover la información entre las etapas que lo componen de una forma preestablecida y con una finalidad específica. Así, hablaremos de registros de desplazamiento con entrada y salida serie, con entrada serie y salida paralelo y de entrada paralelo y salida serie.



Registro de desplazamiento con entrada y salida serie

Registro de desplazamiento con entrada serie y salida paralelo



3.2.1 Contadores. Definición.

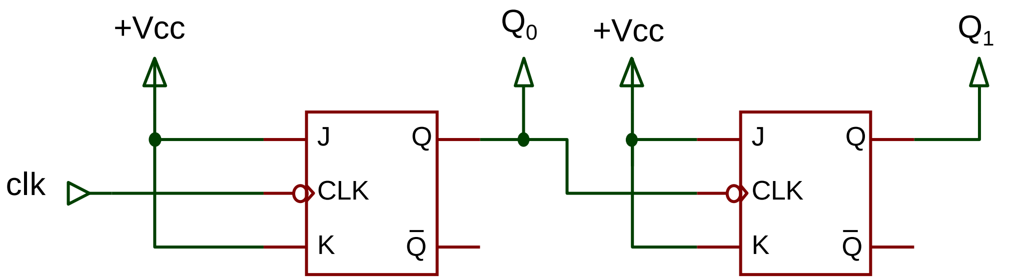
Un ***contador*** es un tipo de circuito secuencial que sigue una secuencia de estados preestablecida ante la aplicación de pulsos de reloj. Los dividiremos en ***contadores síncronos*** y ***asíncronos***.

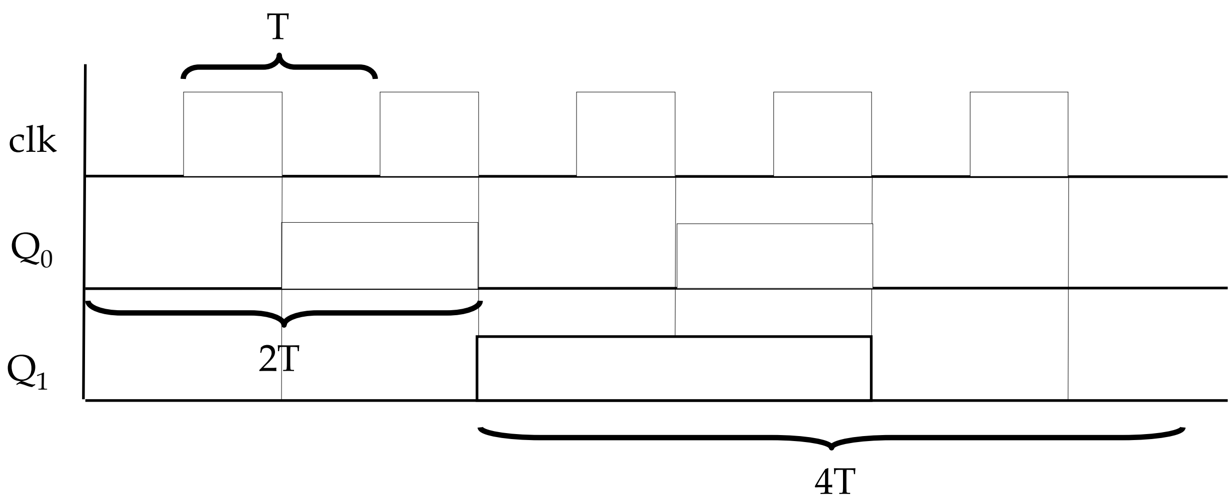
- En un contador asíncrono las entradas de reloj de los biestables que lo forman no son comunes para todos ellos. También se denominan ***contadores de rizado***.
- En un contador síncrono solo existe una única entrada de reloj que activa simultáneamente todos los biestables que lo constituyen.

En general, construiremos un contador asíncrono de n-bits conectando en cascada la salida del biestable ***i*** (Q_i) a la entrada del reloj del siguiente (Clk_{i+1})

3.2.2 Contadores Asíncronos.

Una aplicación inmediata de los contadores asíncronos es su empleo como divisores de frecuencia. Con ***n*** biestables obtendremos una división de 2^n.

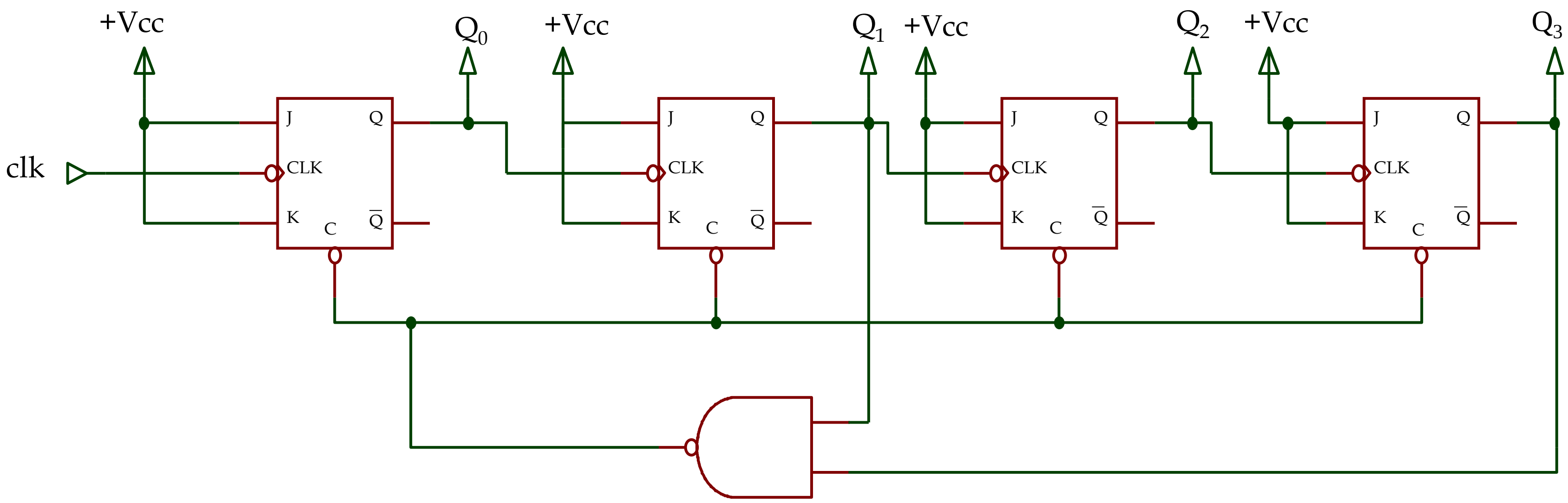




Con ***n*** biestables podremos tener hasta 2^n estados distintos. A la cantidad de estados que forman parte de la salida de un contador la denominaremos ***módulo*** del contador.

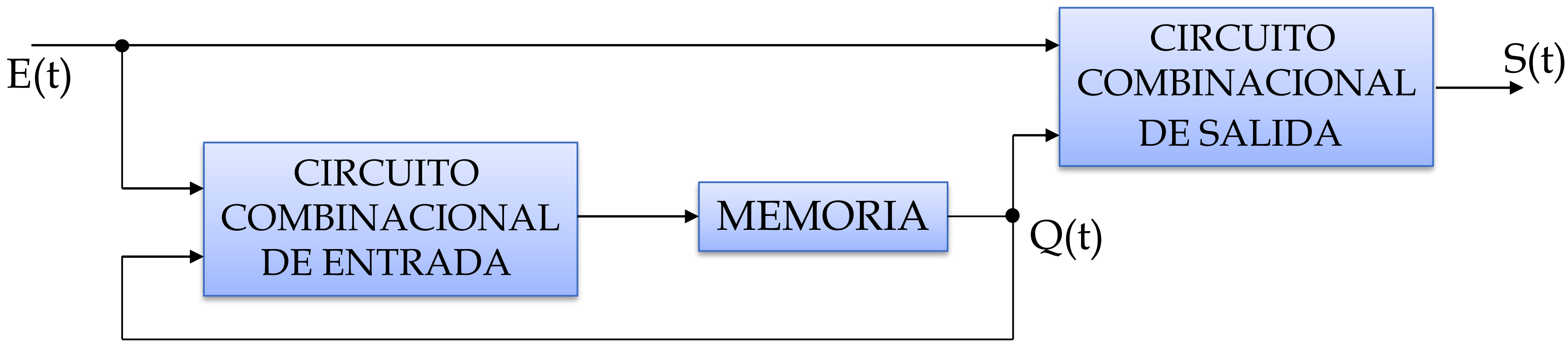
Para construir un contador de módulo K (con $K < 2^n$) haremos uso de las entradas asíncronas. Cuando lleguemos al valor límite, lo reiniciaremos mediante las entradas de Preset y Clear, según sea el caso.

Ejemplo: Contador de décadas (modulo 10):



4.1 Diseño de Sistemas Secuenciales.

Los circuitos cuya salida depende no solo de los valores actuales de las entradas, sino también de su evolución, se denominan **circuitos lógicos secuenciales.** El modelo de un circuito secuencial se suele denominar comúnmente como **máquina secuencial** o **máquina de estados finitos (FSM, *Finite State Machine*)**. Definimos una maquina de estados finitos como una secuencia de eventos discretos.



$$S(t) = f_1\left[E(t), Q(t)\right] \qquad Q(t+\Delta t) = f_2\left[E(t), Q(t)\right]$$

Si observamos la figura anterior, podemos encontrar los siguientes elementos:

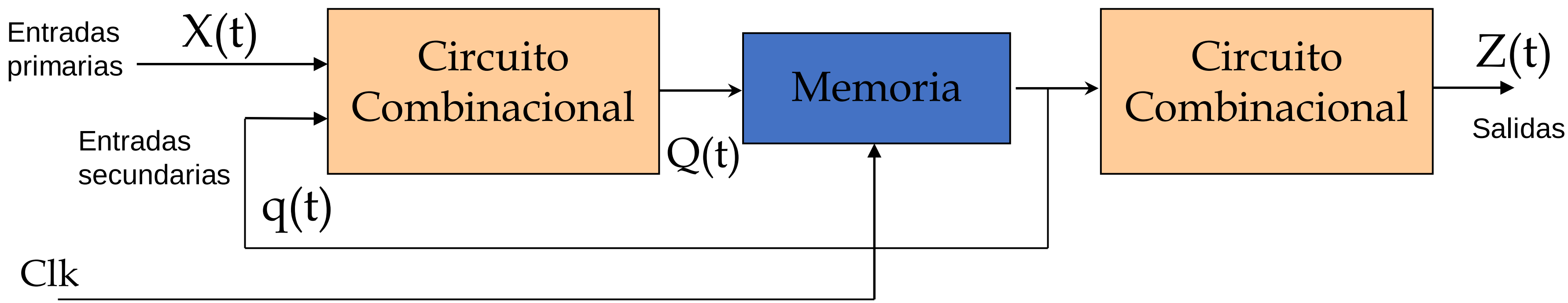
- E(t): Entradas externas
- S(t): Salidas del circuito
- Q(t): Estados. El elemento de memoria esta formado por biestables cuyas salidas constituyen las *variables de estado.*

El reloj y el circuito de inicialización (*reset*) no aparecen en la máquina de estados ni durante la fase de diseño, pero no hemos de olvidar que los cambios de estado se producen con cada flanco de reloj. Es indiferente que los biestables sean activos por flanco de subida o de bajada. El circuito de *reset* siempre es necesario para devolver el sistema a su estado inicial.

4.2.1 Diseño de Sistemas Secuenciales. Modelo de Moore

Modelo de Moore. El siguiente estado (Q), es función del estado actual, (q) y las entradas (X), mientras que la salida sólo depende del estado actual (q). Las expresiones de la salida Z y de Q serán:

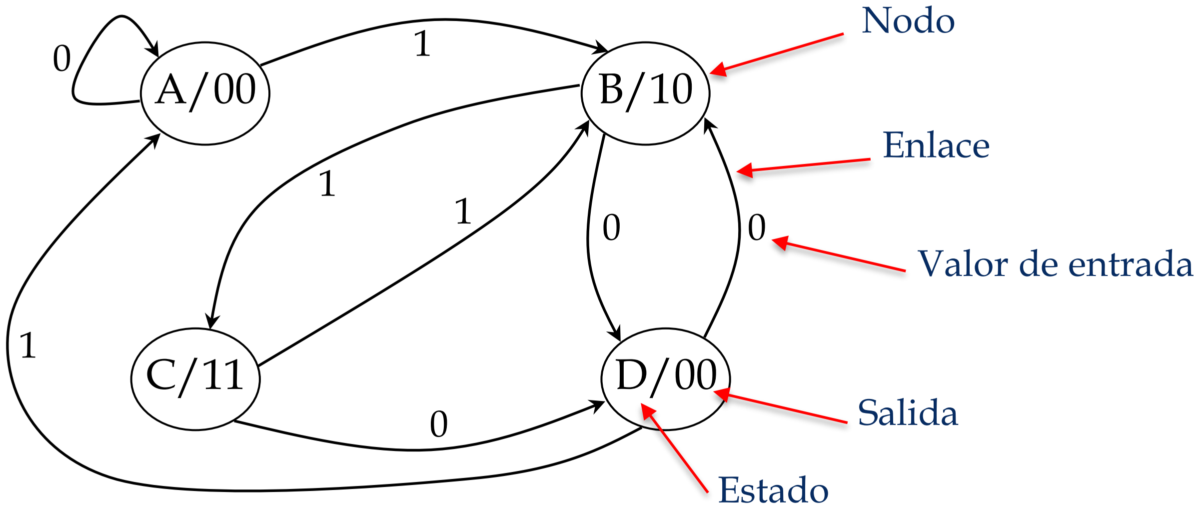
Q = f(q,X) Z = h(q)



Puesto que la salida solo depende del contenido de los elementos de memoria sus cambios siempre estarán sincronizados con el reloj.

Una forma habitual de representar una Máquina de Estados Finitos es mediante un diagrama o grafo de estados. En un modelo de Moore:

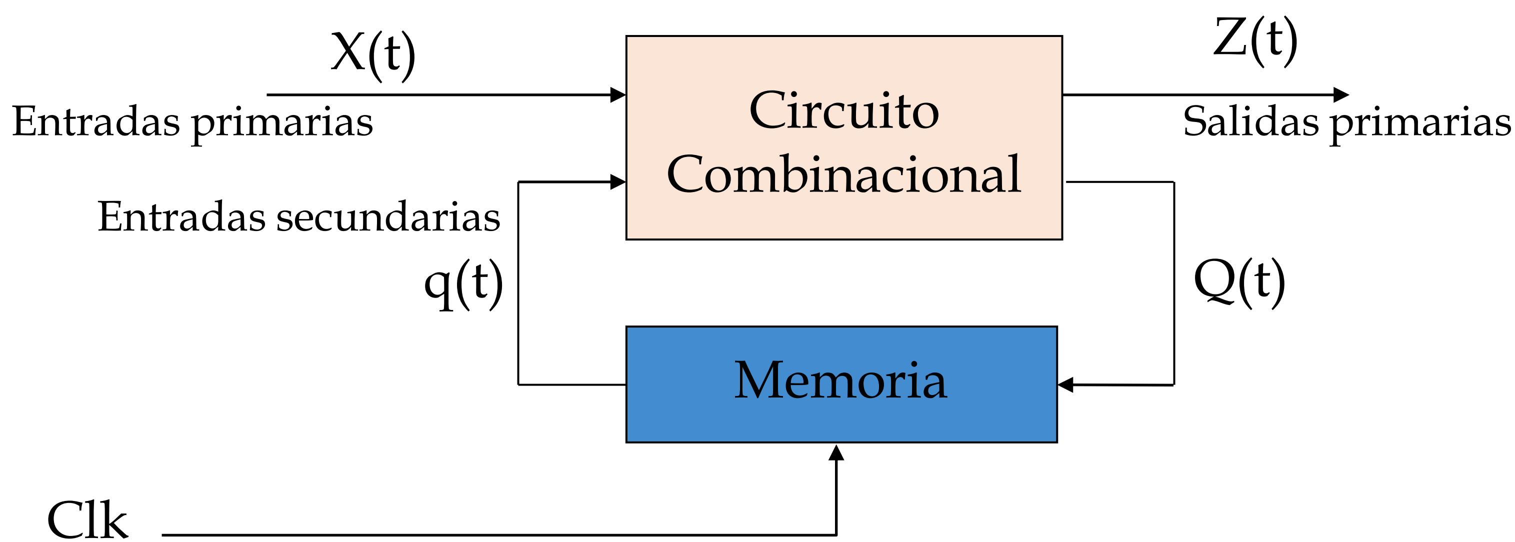
- Cada estado se representa con un **nodo.**
- Las transiciones entre estados mediante **enlaces**
- Los valores de entrada que provocan las transiciones se asocian a los enlaces.
- Las salidas, puesto que solo dependen del estado, se colocan en los nodos.



4.2.2 Diseño de Sistemas Secuenciales. Modelo de Mealy

Modelo de Mealy. El siguiente estado (Q) y la salida (Z) son función del estado actual (q) y las entradas (X). Las expresiones de la salida Z y de Q serán:

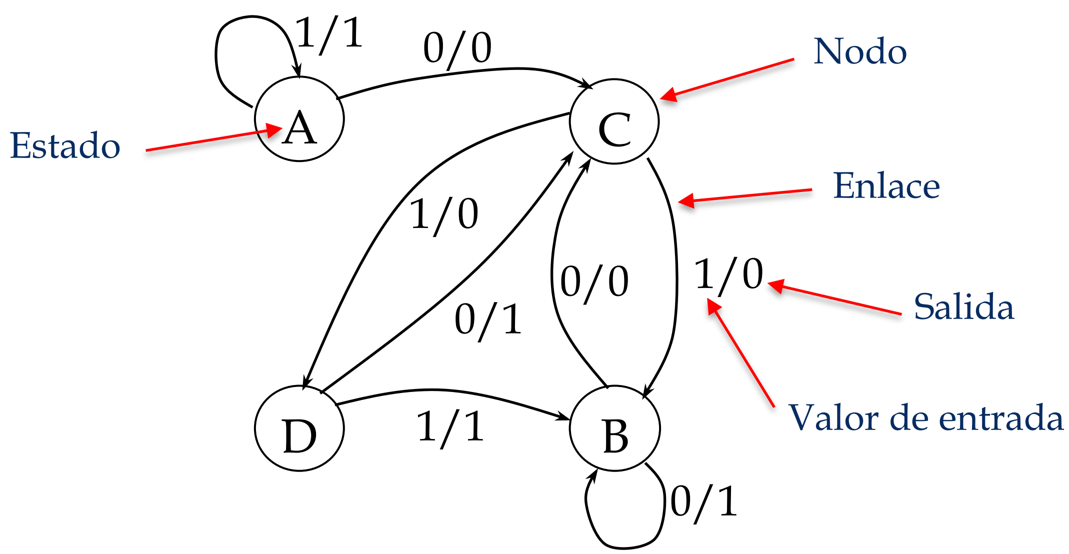
$$Q = f(q,X) \qquad Z = h(q,X)$$



Puesto que la salida depende del contenido de los elementos de memoria y de la entrada externa puede cambiar cuando lo haga ésta y también con los flancos de reloj.

En el grafo de un Modelo de Mealy:

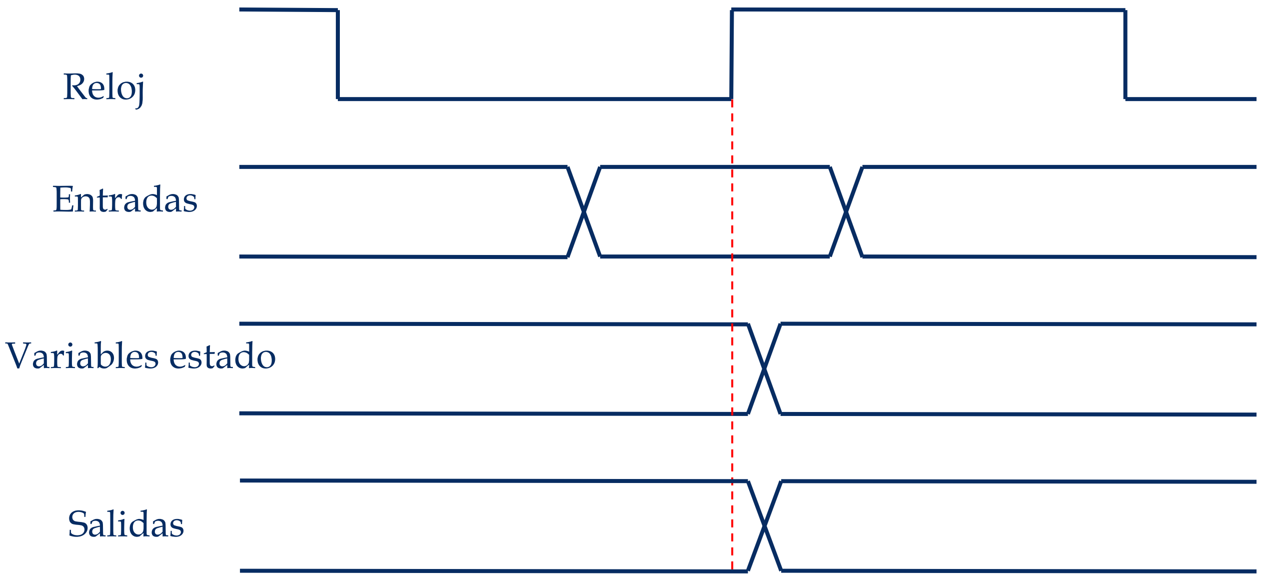
- Cada estado se representa con un **nodo.**
- Las transiciones entre estados mediante **enlaces**
- Los valores de entrada que provocan las transiciones se asocian a los enlaces.
- Las salidas, puesto que solo dependen de la entrada, se colocan en los enlaces.



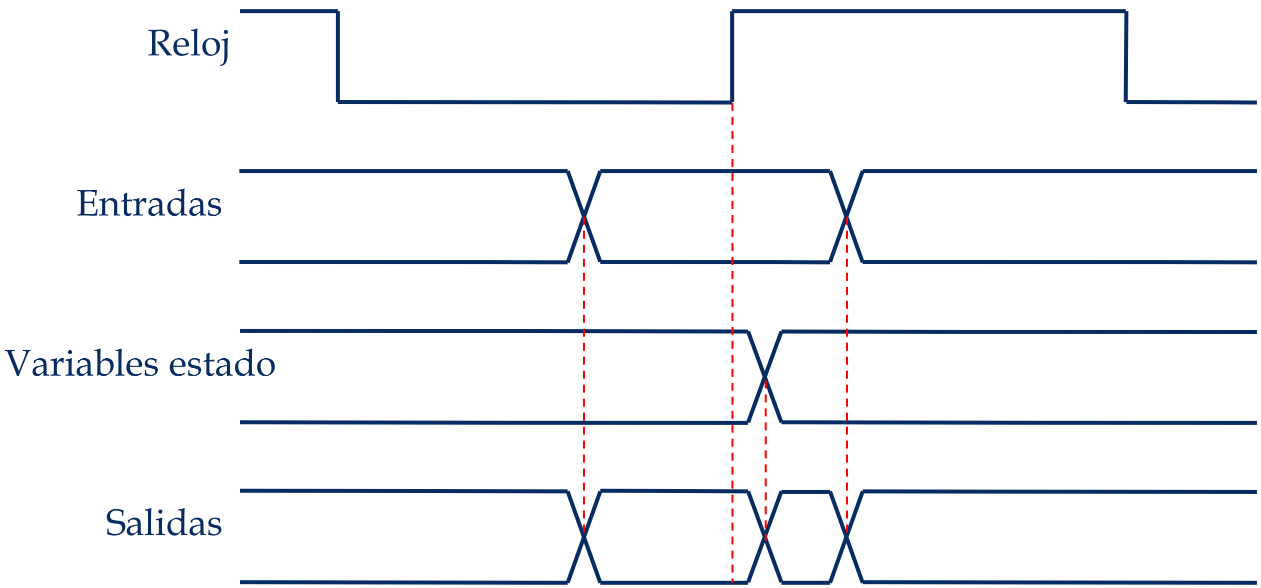
4.2.3 Comparación entre modelos

- Todos los circuitos secuenciales síncronos pueden implementarse siguiendo tanto un modelo de Moore como de Mealy
- Menor complejidad del circuito cuando se resuelve mediante un modelo de Mealy
- En los autómatas de Mealy las modificaciones en las entradas provocan cambios en la salida en el momento en el que se producen
- En los autómatas de Moore las salidas solamente cambian cuando se produce un flanco de reloj y cambia el estado
- Solamente utilizaremos un modelo de Mealy:
  - cuando los cambios en las entradas del circuito estén sincronizados con la señal de reloj
  - cuando los cambios en otros momentos no afecten negativamente al funcionamiento del sistema global

En el un modelo de Moore las salidas solo pueden cambiar cuando lo hagan las variables de estado:



En el un modelo de Mealy las salidas pueden cambiar cuando lo hagan las entradas externas y las variables de estado:



4.3 Implementación de sistemas secuenciales síncronos

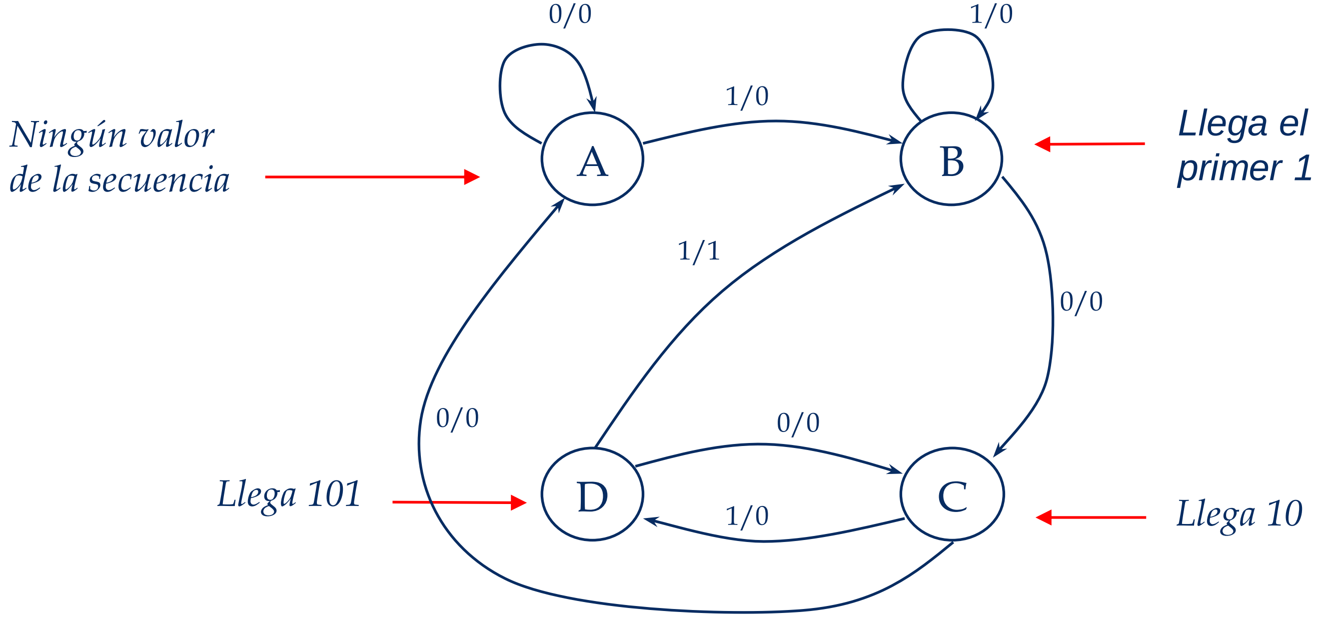
La síntesis de circuitos secuenciales síncronos consistirá en obtener el circuito partiendo de las especificaciones del sistema a diseñar. Constará de los siguientes pasos:

- **Paso 1**. Leer las especificaciones del problema y entender cual debe ser el comportamiento del sistema a diseñar. Identificar entradas y salidas
- **Paso 2**. Dibujar el grafo de estados.
- **Paso 3**. Obtener la tabla de estados sin codificar.
- **Paso 4**. Asignar una codificación a cada estado para obtener una tabla de transición de estados y de salida.
- **Paso 5**. Elegir un tipo de biestable y obtener las tablas de excitación a partir de las tablas de transición de estado.
- **Paso 6**. Obtener las ecuaciones de entrada de los biestables y las ecuaciones de salida del circuito de estas tablas.
- **Paso 7**. Implementar el circuito.

Ejemplo 1: Modelo de Mealy

Se desea diseñar un circuito secuencial dotado de una entrada, Y, y una salida, Z, de forma que Z valdrá 1 cuando las cuatro últimas llegadas por la línea Y se correspondan con la secuencia 1011. El solapamiento de secuencias está permitido, de forma si por Y llega 1011011 se producirá la salida 0001001.

1. Dibujamos el grafo de estado:



Transformamos el grafo en tabla de estados simbólica. Puesto que tenemos 4 estados, necesitaremos 2 variables para su codificación. Arbitrariamente asignamos la codificación A=00; B= 01; C=11; D=10, y obtenemos la tabla de estados codificada:

	Y=0	Y=1
A	A,0	B,0
B	C,0	B,0
C	A,0	D,0
D	C,0	B,1

Estado Siguiente, Salida

Tabla simbólica

q_1,q_0 \ Y	0	1
A=00	00,0	01,0
B=01	11,0	01,0
C=11	00,0	10,0
D=10	11,0	01,1

Q_1Q_0,Z

Tabla codificada

Implementación con biestables D:

Partiendo de la tabla de estados codificada, obtenemos la tabla de excitación de los biestables.

Tabla codificada

q_1,q_0 \ Y	0	1
00	00,0	01,0
01	11,0	01,0
11	00,0	10,0
10	11,0	01,1

Q_1Q_0,Z

Tabla de excitación de los biestables

q_1,q_0,y	Q_1	Q_0	D_1	D_0
0 0 0	0	0	**0**	**0**
0 0 1	0	1	**0**	**1**
0 1 0	1	1	**1**	**1**
0 1 1	0	1	**0**	**1**
1 0 0	1	1	**1**	**1**
1 0 1	0	1	**0**	**1**
1 1 0	0	0	**0**	**0**
1 1 1	1	0	**1**	**0**

Implementación con biestables D:

Ahora simplificamos para obtener las ecuaciones de las entradas de los biestables y la ecuación de salida.

q_1,q_0 \ Y	0	1
00	0	0
01	0	0
11	0	0
10	0	1

Z

q_1,q_0 \ Y	0	1
00	0	0
01	1	0
11	0	1
10	1	0

D_1

q_1,q_0 \ Y	0	1
00	0	1
01	1	1
11	0	0
10	1	1

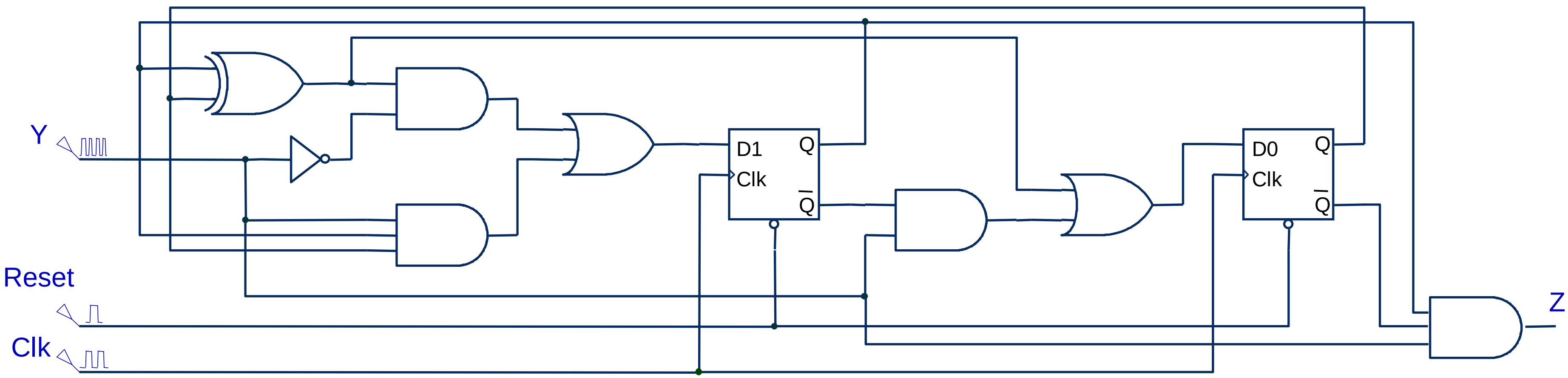
D_0

$$D_1 = \bar{Y}\,\bar{q}_1 q_0 + \bar{Y}\,q_1 \bar{q}_0 + Y q_1 q_0 = \bar{Y}(q_1 \oplus q_0) + Y q_1 q_0$$

$$D_0 = \bar{q}_1 q_0 + Y\,\bar{q}_1 + q_1 \bar{q}_0 = Y\,\bar{q}_1 + (q_1 \oplus q_0)$$

$$Z = Y\,q_1 \bar{q}_0$$

Y el circuito resultante:



Implementación con biestables JK:

Partiendo de la tabla de estados codificada, obtenemos la tabla de excitación de los biestables.

q_1,q_0 \ Y	0	1
00	00,0	01,0
01	11,0	01,0
11	00,0	10,0
10	11,0	01,1

Q_1Q_0,Z

Q(t)	Q(t+1)	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

q_1,q_0,y	Q_1	Q_0	J_1	K_1	J_0	K_0
0 0 0	0	0	**0**	**X**	**0**	**X**
0 0 1	0	1	**0**	**X**	**1**	**X**
0 1 0	1	1	**1**	**X**	**X**	**0**
0 1 1	0	1	**0**	**X**	**X**	**0**
1 0 0	1	1	**X**	**0**	**1**	**X**
1 0 1	0	1	**X**	**1**	**1**	**X**
1 1 0	0	0	**X**	**0**	**X**	**1**
1 1 1	1	0	**X**	**0**	**X**	**1**

Implementación con biestables JK:

J_1

q_1,q_0 \ Y	0	1
00	0	0
01	1	0
11	X	X
10	X	X

K_1

q_1,q_0 \ Y	0	1
00	X	X
01	X	X
11	1	0
10	0	1

J_0

q_1,q_0 \ Y	0	1
00	0	1
01	X	X
11	X	X
10	1	1

K_0

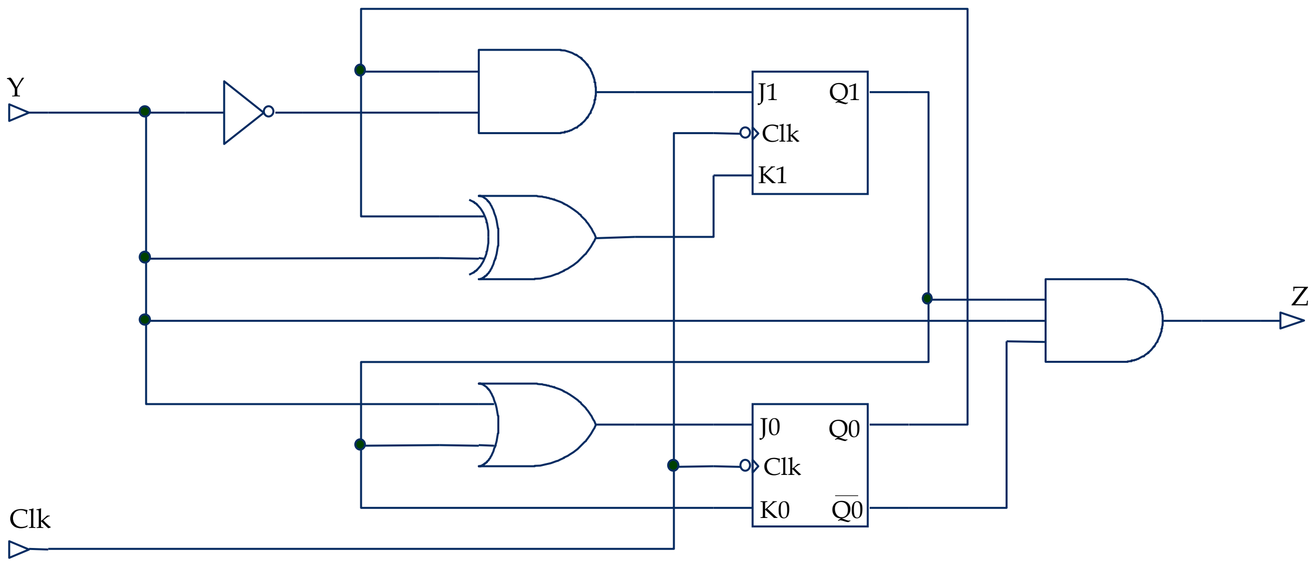
q_1,q_0 \ Y	0	1
00	X	X
01	0	0
11	1	1
10	X	X

Que nos proporcionan las ecuaciones:

$$J_1 = \overline{Y}q_0 \qquad J_0 = q_1 + Y \qquad Z = q_1\overline{q}_0 Y$$

$$K_1 = \overline{Y}q_0 + Y\overline{q}_0 = Y \oplus q_0 \qquad K_0 = q_1$$

Y el circuito resultante:



Implementación con biestables T:

q_1, q_0, y	Q_1	Q_0	T_1	T_0
0 0 0	0	0	**0**	**0**
0 0 1	0	1	**0**	**1**
0 1 0	1	1	**1**	**0**
0 1 1	0	1	**0**	**0**
1 0 0	1	1	**0**	**1**
1 0 1	0	1	**1**	**1**
1 1 0	0	0	**1**	**1**
1 1 1	1	0	**0**	**1**

T_1

q_1, q_0 \ Y	0	1
00	0	0
01	1	0
11	1	0
10	0	1

T_0

q_1, q_0 \ Y	0	1
00	0	1
01	0	0
11	1	1
10	1	1

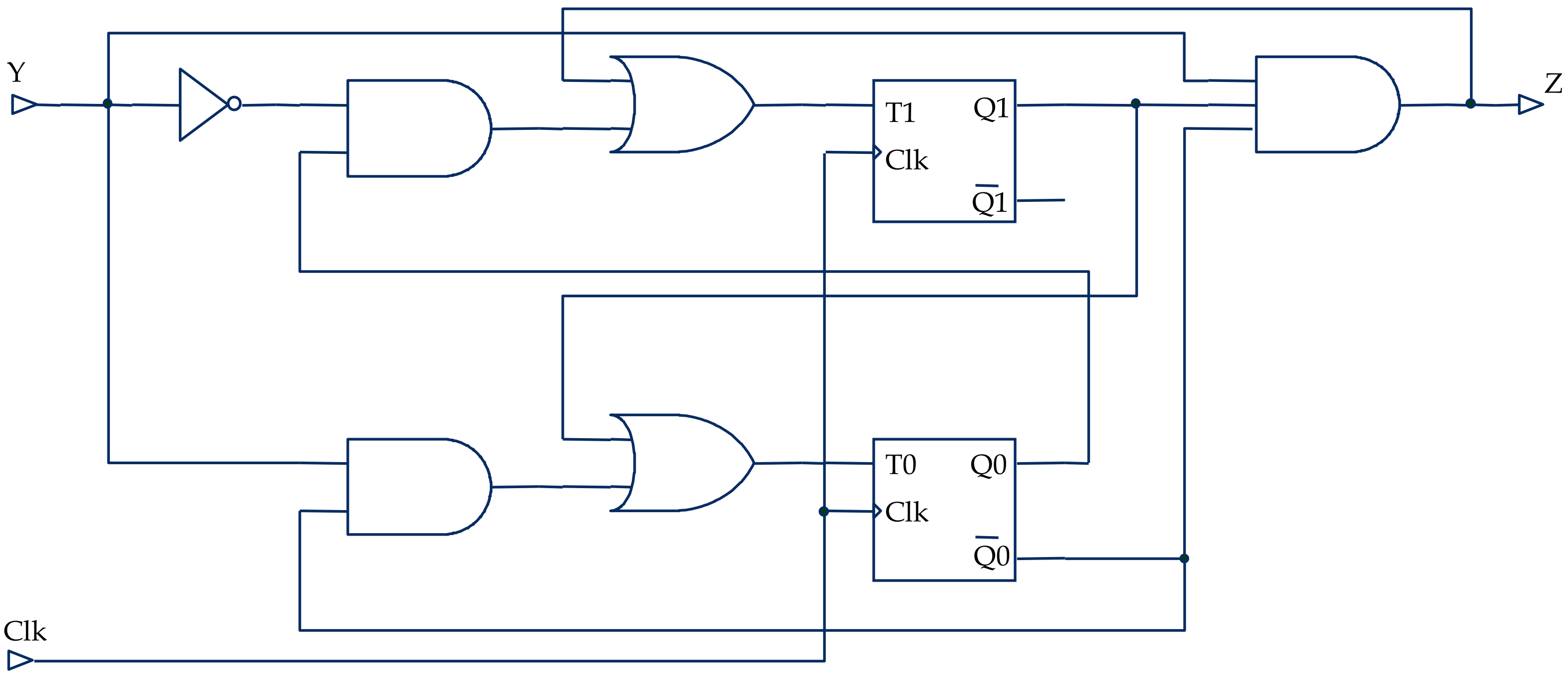
$$T_1 = q_0\bar{Y} + q_1\bar{q}_0 Y$$

$$T_0 = q_1 + \bar{q}_0 Y$$

$$Z = q_1\bar{q}_0 Y$$

Q(t)	Q(t+1)	T
0	0	0
0	1	1
1	0	1
1	1	0

Y el circuito resultante:



- # Ejemplo 2: Modelo de Moore.

Se desea diseñar un circuito secuencial capaz de generar dos secuencias como las representadas en la figura. La salida se controla por medio de una entrada *e*.

Si *e* = 1, la secuencia salida se proporciona normalmente.

Si *e* = 0, la salida se mantiene en el valor que se encuentre hasta que *e* vuelva a 1.

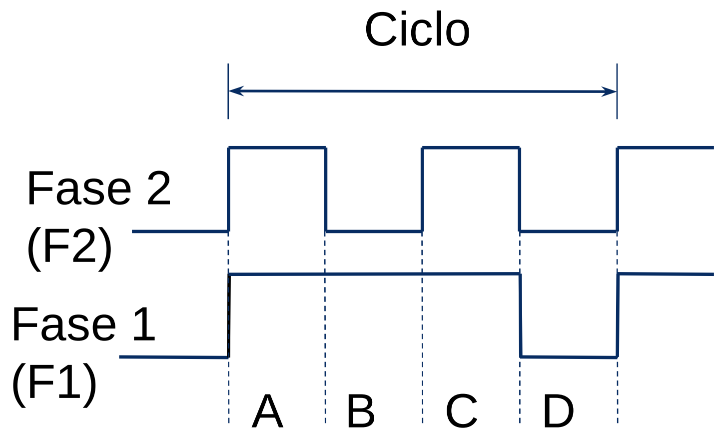


Diagrama y tabla de estados simbólica asociada:

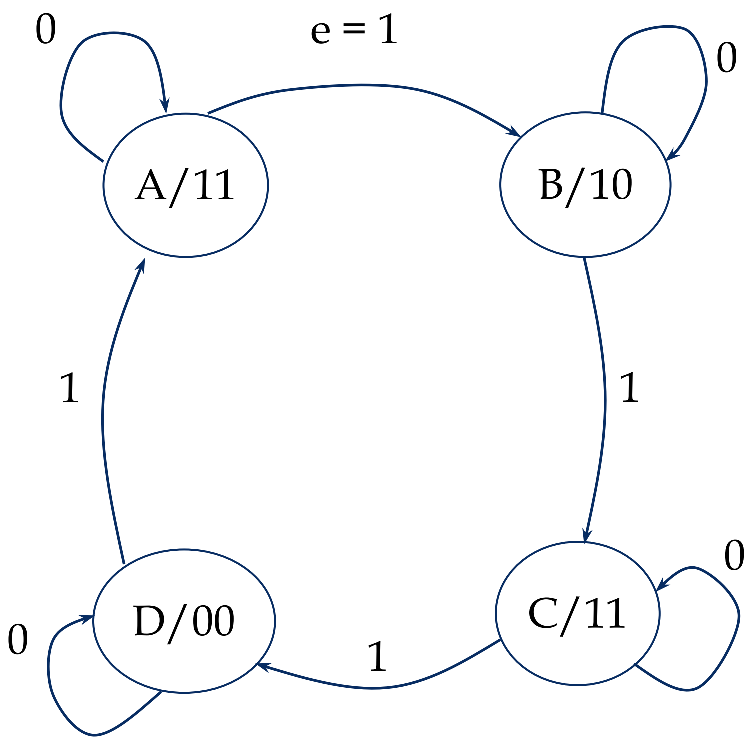


Tabla de estados simbólica

	e=0	e=1	F1F2
A	A	B	11
B	B	C	10
C	C	D	11
D	D	A	00

Codificación de Estados y Obtención de la tabla de Transición de estados y salida.

Puesto que hay cuatro estados, necesitaremos dos variables para codificarlos (es decir, dos biestables), que denominaremos q_1 y q_0. Hagamos A=00, B=01, C=10 y D=11.

Tabla de estados codificada

q_1,q_0 \ e	0	1	F1F2
A=00	00	01	11
B=01	01	10	10
D=11	11	00	00
C=10	10	11	11

Q_1Q_0

Obtención de la tabla de excitación para los biestables elegidos

Ahora debemos elegir el tipo de biestable a emplear. En este caso, de tipo T.

Tabla codificada

q_1,q_0 \ e	0	1
A=00	00	01
B=01	01	10
D=11	11	00
C=10	10	11

Q_1Q_0

Tabla de excitación de los biestables

q_1,q_0,e	Q_1	Q_0	T_1	T_0
0 0 0	0	0	**0**	**0**
0 0 1	0	1	**0**	**1**
0 1 0	0	1	**0**	**0**
0 1 1	1	0	**1**	**1**
1 0 0	1	0	**0**	**0**
1 0 1	1	1	**0**	**1**
1 1 0	1	1	**0**	**0**
1 1 1	0	0	**1**	**1**

Obtención de las tablas de excitación para los biestables elegidos

Ahora debemos elegir el tipo de biestable a emplear. En este caso, de tipo T.

q_1,q_0,e	Q_1	Q_0	T_1	T_0
0 0 0	0	0	**0**	**0**
0 0 1	0	1	**0**	**1**
0 1 0	0	1	**0**	**0**
0 1 1	1	0	**1**	**1**
1 0 0	1	0	**0**	**0**
1 0 1	1	1	**0**	**1**
1 1 0	1	1	**0**	**0**
1 1 1	0	0	**1**	**1**

q_1,q_0 \ e	0	1
00	0	0
01	0	1
11	0	1
10	0	0

T1

q_1,q_0 \ e	0	1
00	0	1
01	0	1
11	0	1
10	0	1

T0

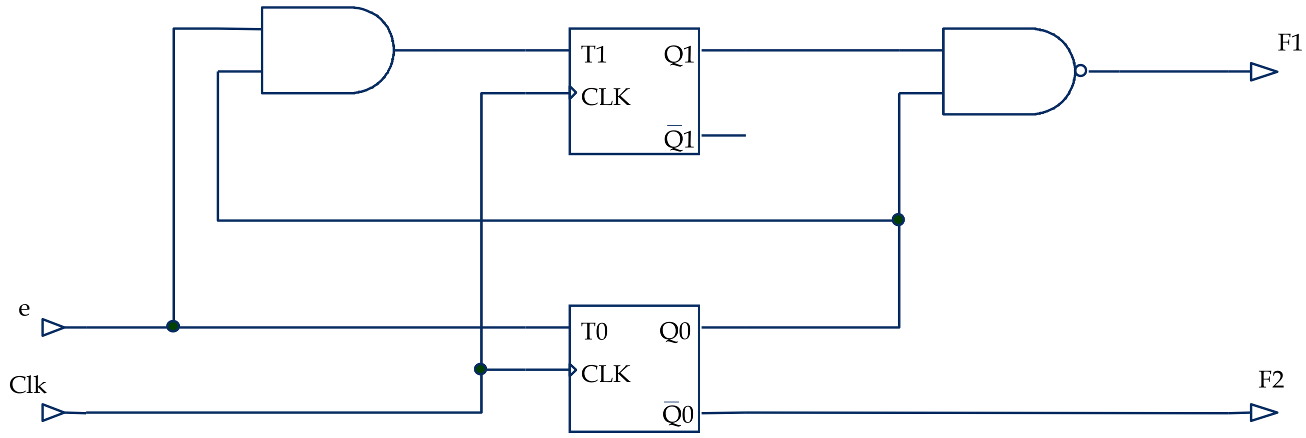
Obtención de las ecuaciones de entrada de los biestables y de salida del circuito

Y a partir de estas tablas y la de salida:

$$T0 = e \qquad F1 = \overline{q}_1 + \overline{q}_0$$

$$T1 = e\, q_0 \qquad F2 = \overline{q}_0$$

Representación del Circuito buscado



Si hubiéramos elegido biestables JK habríamos tenido resultados similares:

q_1,q_0,e	Q_1	Q_0	J_1	K_1	J_0	K_0
0 0 0	0	0	**0**	**X**	**0**	**X**
0 0 1	0	1	**0**	**X**	**1**	**X**
0 1 0	0	1	**0**	**X**	**X**	**0**
0 1 1	1	0	**1**	**X**	**X**	**1**
1 0 0	1	0	**X**	**1**	**0**	**X**
1 0 1	1	1	**X**	**0**	**1**	**X**
1 1 0	1	1	**1**	**X**	**1**	**X**
1 1 1	0	0	**X**	**1**	**X**	**1**

q_1,q_0 \ e	0	1
00	0	0
01	0	1
11	X	X
10	X	X

J1

q_1,q_0 \ e	0	1
00	X	X
01	X	X
11	0	1
10	0	0

K1

q_1,q_0 \ e	0	1
00	0	1
01	X	X
11	X	X
10	0	1

J0

q_1,q_0 \ e	0	1
00	X	X
01	0	1
11	0	1
10	X	X

K0

$J1 = K1 = e\, q_0$ $\qquad F1 = \bar{q}_1 + \bar{q}_0$

$J0 = K0 = e$ $\qquad F2 = \bar{q}_0$