

# Рачунарски ВЛСИ системи (13e114влси)

## Пројекат

### Опис дизајна:

Дизајн који се верификује је 8-битни регистар који има следеће портове:

- сигнал такта (улаз) **clk**
- асинхрони ресет активан у вредности нула (улаз) **rst\_n**
- 15-битни контролни сигнал (улаз) **control**
- једнобитни податак (улаз) **serial\_input\_lsb**
- једнобитни податак (улаз) **serial\_input\_msb**
- 8-битни податак (улаз) **parallel\_input**
- једнобитни податак (излаз) **serial\_output\_lsb**
- једнобитни податак (излаз) **serial\_output\_msb**
- 8-битни податак (излаз) **parallel\_output**

Контролним сигналом **control** задаје се операција која се извршава. Сваки бит сигнала представља једну операцију. Ако одређени бит има активну вредност, одређена операција треба да се изврши. Ако више битова има активну вредност, извршава се она са највећим приоритетом. Приоритет операције зависи од позиције бита у сигналу. Највећи приоритет има операција која одговара биту 0, а најмањи приоритет операција која одговара биту 14. Битови и одговарајуће операције су следећи:

0. CLEAR
1. LOAD
2. INC
3. DEC
4. ADD
5. SUB
6. INVERT
7. SERIAL\_INPUT\_LSB
8. SERIAL\_INPUT\_MSB
9. SHIFT\_LOGICAL\_LEFT
10. SHIFT\_LOGICAL\_RIGHT
11. SHIFT\_ARITHMETIC\_LEFT
12. SHIFT\_ARITHMETIC\_RIGHT
13. ROTATE\_LEFT
14. ROTATE\_RIGHT

### Опис верификационог окружења:

Уз дизајн који се верификује дато је и верификационо окружење које треба допунити како би било искоришћено током процеса верификације дизајна. Места у окружењу на којима је потребно додати одговарајући код означена су коментаром **TODO**. Дозвољено је мењати и већ постојећи код окружења као и додавати нове компоненте у верификационо окружење.