

Einführung in die Rechnerarchitektur Praktikum

PFLICHTENHEFT

Projekt:
VHDL : AM2901

Projektleiter	Martin Zinnecker
Dokumentation	Sandra Grujovic
Formaler Vortrag	Ivan Chimeno

1 Einleitung

Im Rahmen des ERA-Praktikums an der TU München sollen in Dreier-Gruppen zwei Projekte erarbeitet werden. Dieses Team besteht aus den Mitgliedern Sandra Grujovic, Ivan Chimeno und Martin Zinnecker, welche diese folgenden Projekte bearbeiten werden:

- VHDL – Am2901
- Mikroprogrammierung – Komplexe Zahlen

Dieses Pflichtenheft ist für das VHDL-Projekt.

2 VHDL – Am2901

2.1 Aufgabenkurzbeschreibung

Ziel dieses Projekts ist es, zwei Module der Mikroprogrammierbaren Maschine (MI-Maschine) zu implementieren: Zum einen die Registerbank (RAM), welche die 16 adressierbaren Register und das Q-Register enthält, und zum anderen die ungetaktete ALU-Quelloperandenauswahl. Beide müssen in entsprechende VHDL Module übergeführt werden und ihre Funktionalitäten erfüllen.

2.2 Ist-Zustand

Für die Registerbank gelten folgende Rahmenbedingungen: es gibt 3 Eingänge für die RAM, bestehend aus dem Dateneingang, der A-Adresse und der B-Adresse. Zusätzlich gehören dazu auch die Eingänge des Q Registers, Eingang F und Q'. Die vorhandenen Ausgänge sind der Datenausgang A und der Datenausgang B, und der Ausgang Q gehört zum Q Register. Dieses Modul ist getaktet.

Das ALU-Quelloperandenauswahl Modul hingegen besitzt die Eingänge D, A, B, 0 (welches eine 0 enthält) und Q. Die zugehörigen Ausgänge sind R und S. Dieses Modul ist ungetaktet. In der Spezifikation wird darauf eingegangen werden, wieso dies so ist.

Darüber hinaus gibt es zusätzliche Vorgaben für beide Module. Jeder Baustein muss seine Funktion innerhalb eines Basistakts á 50 MHz erfüllen können. Sowohl die Registerbank als auch die ALU-Quelloperandenauswahl werden mit einem oder mehreren CE Signalen versorgt. Sobald dieses Signal gesetzt ist, ist das Modul aktiv. Die Registerbank besitzt zusätzlich zu diesem CE Signal auch noch die CE_Read und CE_Write Signale, die, wenn sie

gesetzt sind, festlegen, ob das Modul einen Wert aus einem Register lesen soll oder einen Wert in ein Register schreiben soll. Beide Signale dürfen nicht gleichzeitig oder im nachfolgenden Takt nacheinander belegt werden. Laden, die eigentliche Berechnung und das Speichern in die Register dauert zusammen einen Effektivtakt, welcher 4 Basistakten entspricht. Allerdings darf das CE Signal nicht zur Flankensteuerung eingesetzt werden. Außerdem bietet die Registerbank einen synchronen Reset an, falls notwendig.

Alle Eingänge und Ausgänge sind 16 Bit lang, da der kaskadierbare AM2901 in der MI-Maschine vierfach vorhanden ist.

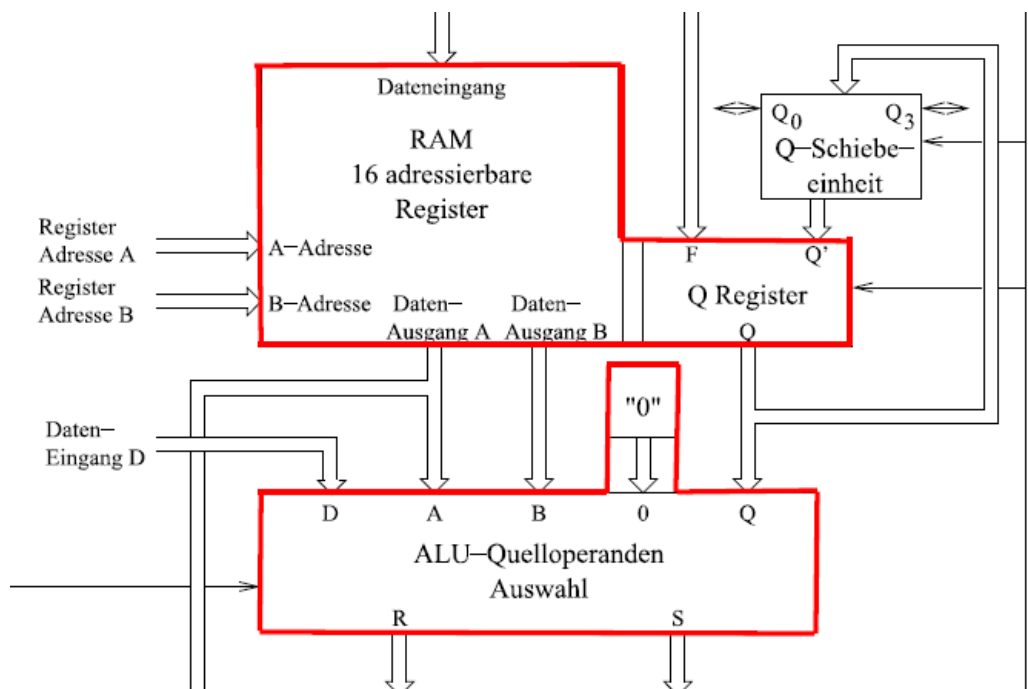


Abbildung 1: Ausschnitt der zu implementierenden Module

2.3 Soll-Zustand

Die zu implementierende Funktionsweise der Bausteine ergibt sich aus Folgendem:

Die Registerbank enthält 16 Register, die allesamt adressierbar sind mit den an Eingang A-Adresse und B-Adresse anliegenden Adressen. Durch diese Eingänge können zwei beliebige, aber auch identische Register über die Ausgänge Datenausgang A und Datenausgang B gelesen werden. Dies wird getan, falls das Signal CE_read auf 1 gesetzt ist.

Falls das CE_write gesetzt ist, wird das Ergebnis der ALU Operation, das über den Dateneingang kommt, in das im Eingang B-Adresse spezifizierte Register geschrieben.

Das Q Register funktioniert ähnlich, nur dieses ist vor allem für die Speicherung von Zwischenergebnissen zuständig. Sobald CE_read gesetzt ist, wird der Eingang Q' über den Ausgang Q ausgegeben, sobald CE_write gesetzt ist, wird der Dateneingang F über den Ausgang Q ausgegeben, und der in F spezifizierte Wert wird in das Q-Register der Registerbank gespeichert und weiter an die ALU-Quelloperandenauswahl geleitet.

Mithilfe der Instruktionsbits I_6 bis I_8 wird festgelegt, welche Register ausgewählt werden.

Die zu implementierende ALU-Quelloperandenauswahl hingegen ist anders aufgebaut – Je nachdem, welche Eingänge ausgewählt werden, werden diese beiden auf die Ausgänge R und S gelegt. Mithilfe des Instruktionsbits I_0 bis I_2 wird genau spezifiziert, welche dieser Eingänge auf den R, bzw. S Ausgang gelegt werden. Zusätzlich gibt es hier den Eingang D, der Daten aus externen Quellen einlesen kann, und das 0-Register, welches lediglich eine Null enthält und diese weiterleitet, falls ausgewählt. Die Eingänge A, B, und Q kommen allesamt über die Registerbank.

3 Organisation

3.1 Aufgabenverteilung

- Projektmanager – Martin Zinnecker
- Formaler Vortrag – Ivan Chimeno
- Dokumentation – Sandra Grujovic

3.2 Meilensteine

Meilensteine	First Version	Final Version
Pflichtenheft	05.11.2015	12.11.2015
Spezifikation	26.11.2015	03.12.2015
Implementierung	07.01.2016	14.01.2016
Dokumentation	21.01.2016	28.01.2016
Vortrag	04.02.2016	11.02.2016

3.3 Zeitplanung

Aufgabe	Martin Zinnecker	Ivan Chimeno	Sandra Grujovic
Aufgabenanalyse	2h	2h	2h
Pflichtenheft	3h	3h	3h
Lösungsansätze	4h	4h	4h
Spezifikation	6h	6h	6h
Implementierung	12h	12h	12h
Test	3h	3h	3h
Besprechungen	9h	9h	9h
Vortrag	2h	4h	0h
Vortragsfolien	2h	3h	0h
Organisatorisches	3h	0h	0h
Dokumentation	0h	0h	7h
Gesamt	45h	45h	45h