

Rechnerarchitekturpraktikum

Projektaufgabe – Aufgabenbereich VHDL - Schaltungsentwicklung (3.601)

1 Organisatorisches

Auf den folgenden Seiten finden Sie die Aufgabenstellung zu einer Ihrer Projektaufgabe für das Praktikum. Die Rahmenbedingungen für die Bearbeitung werden in der Praktikumsordnung festgesetzt, die Sie auch über die Praktikumshomepage aufrufen können.

Bei Fragen/Unklarheiten in Bezug auf den Ablauf und die Aufgabenstellung wenden Sie sich bitte an Ihren Tutor.

Mit freundlichen Grüßen,
Ihre Übungsleitung

PS: Vergessen Sie nicht, sich rechtzeitig in TUMonline zur Prüfung anzumelden. Dies ist Voraussetzung für eine erfolgreiche Teilnahme am Praktikum im laufenden Semester.

2 Aufgabenumfeld

In dieser VHDL-Praktikumsreihe soll die Ihnen bekannte mikroprogrammierbare Maschine (MI-Maschine) in VHDL Modulen umgesetzt werden. Dabei ist die ausführliche Beschreibung der Maschine die Entwicklungs-Grundlage:

<http://wwwi10.lrr.in.tum.de/eti/Vorlesung/WS1516/Informationsmaterial/mimaschine.pdf>

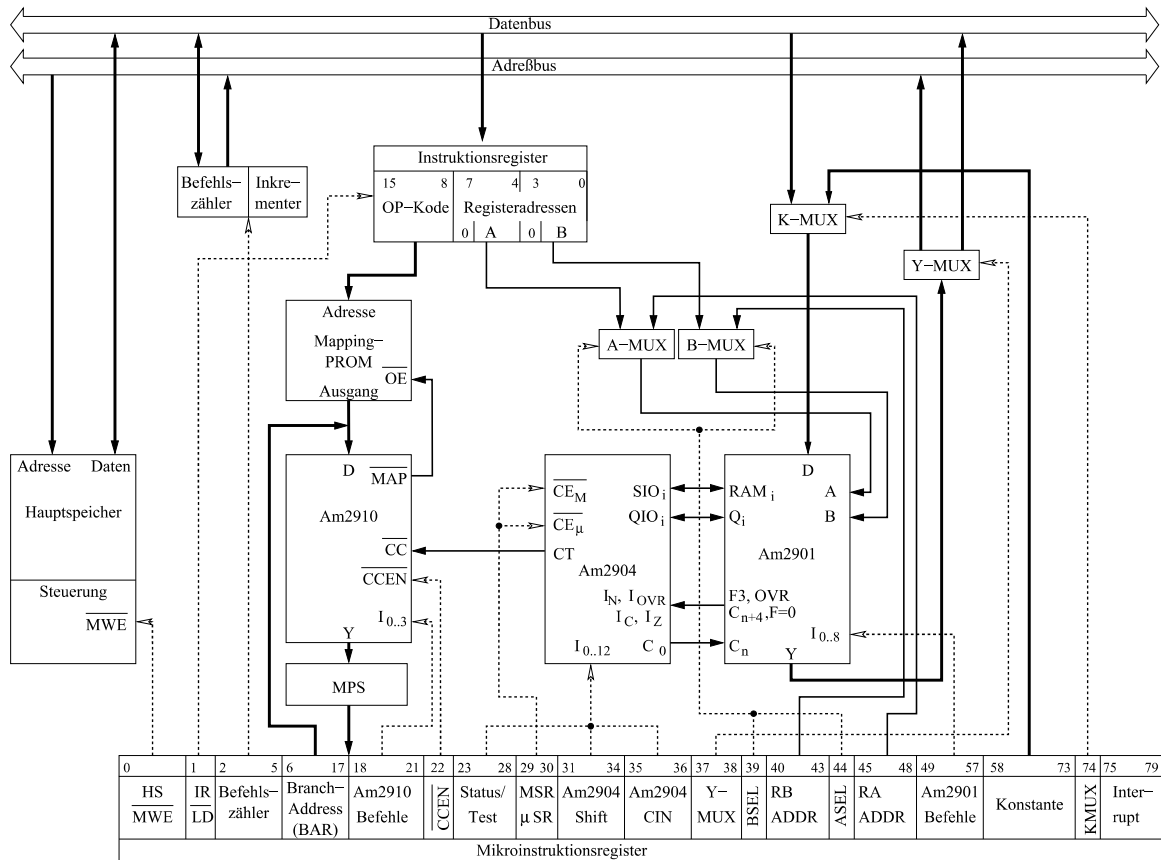


Abbildung 4.1: Blockschaltbild des mikroprogrammierbaren Beispielrechners

Abbildung 1: Blockschaltbild der ERA MI-Maschine

3 Aufgabe

Im folgenden soll jeweils ein Teil des mikroprogrammierbaren Rechenwerks (Am2901) entwickelt werden. Da der ursprüngliche Baustein Am2901 nur 4 Bit verarbeiten kann, ist er in der MI-Maschine vierfach vorhanden. Die nun zu implementierende Version wird direkt auf 16 Bit ausgeweitet. D.h. die Ein- und Ausgänge von Daten sind 16 bit breit. Da anhand der Beschreibung keine Aussagen über die Taktung möglich sind, wird folgendes für den Baustein Am2901 festgelegt:

- Der Basistakt (clk) beträgt 50 MHz.
- 4 Basistakte entsprechen einem Effektivtakt.
- Laden der Daten aus den Register, die eigentliche Berechnung und das Speichern in die Register dauert zusammen einen Effektivtakt.
- Alle Bausteine werden mit den Basistakt und einem/mehrere CE Signal versorgt. Ist mindestens einer der CE Eingänge gesetzt, so soll der Baustein aktiv sein.
- Jeder Baustein muss seine Funktion innerhalb eines Basistaktes erfüllen können.
- Ein (nicht in den Blockschaltplänen eingezeichneter) Steuerungsbaustein generiert aus dem Basistakt die CE Signale für die anderen Bausteine. Ein CE Signal eignet sich dabei nicht für eine Flankensteuerung!
- Die Registerbank (16 Register + Q-Register) umfasst zwei CE Eingänge:
 - einen CE_read: Daten aus Registern lesen
 - einen CE_write: Daten in Register speichernBeide CE-Eingänge können nicht gleichzeitig oder im direkt folgenden Takt nacheinander gesetzt werden (min. ein Takt Pause).
- Die Bausteine bieten falls sinnvoll einen synchronen Reset an.

3.1 Arbeitsaufträge

Bitte bearbeiten Sie die folgenden Arbeitsaufträge:

- Lesen Sie sich die gesamte Beschreibung der MI-Maschine durch. Informieren Sie sich insbesondere über die beteiligten Schnittstellen.
- Informieren Sie sich über die Möglichkeit in VHDL Signal-Arrays zu realisieren. Eine gute Quelle ist auch: <http://www.mikrocontroller.net/articles/VHDL>
- Beachten Sie alle eingezeichneten und oben genannten Eingänge.
- Implementieren Sie die in Abbildung 2 rot umrandeten Module in VHDL:

- Registerbank (16 Register + Q-Register) mit einem CE_read (lesen aus den Registern) Eingang und einem CE_write (schreiben in die Register) Eingang.
 - ALU-Quelloperandenauswahl (ungetaktet)
- Stellen Sie Tests (als TestBench in VHDL) zur Verfügung, mit denen die richtige Funktionsweise Ihrer Module nachvollzogen werden kann. Beachten Sie, dass zu einem vollständigen Test ein Vergleichsresultat gehört.
- Warum macht eine Taktung in der ALU-Quelloperandenauswahl keinen Sinn? Beachten Sie dazu den Gatteraufbau dieses Bausteines.

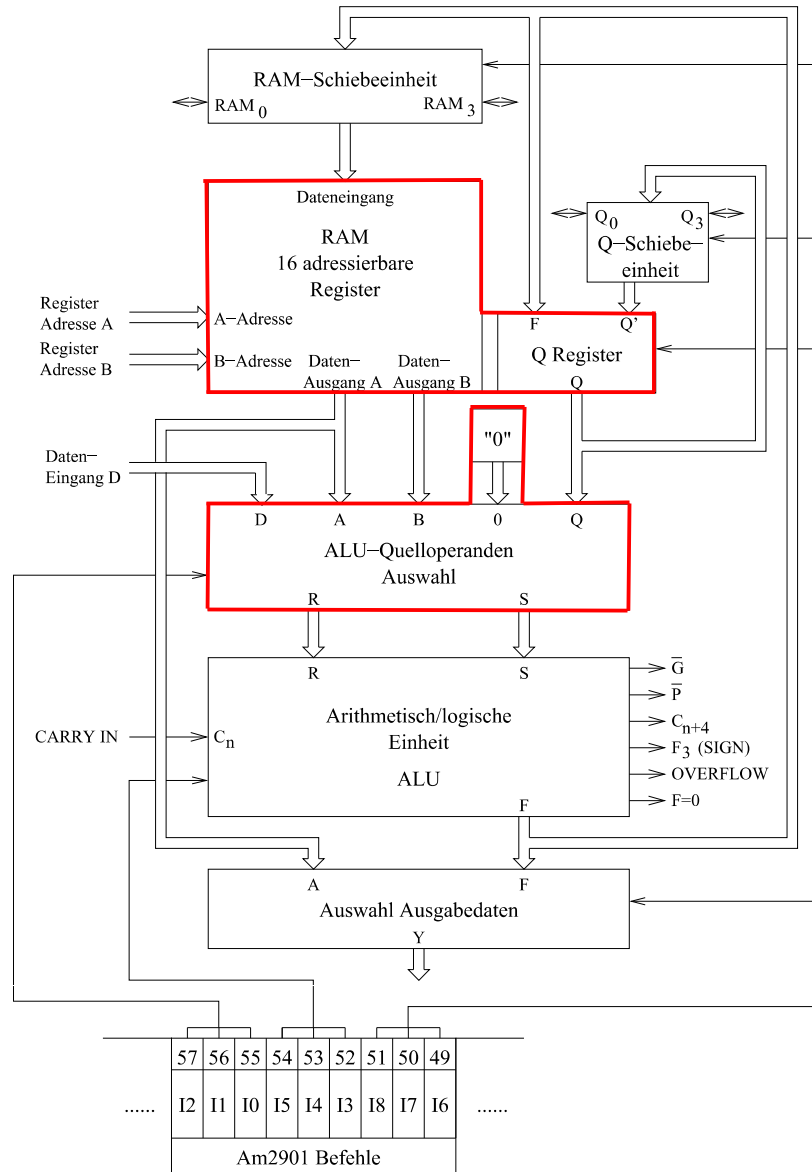


Abbildung 4.3: Funktionsschaltbild des Rechenwerkbausteins Am2901

Abbildung 2: Blockschaltbild des Rechenwerks Am2901