



ESTRUCTURA DE COMPUTADORES

Examen - 14 de junio de 2022

Nombre _____ DNI _____

1. (3,5 pts) Sea un procesador segmentado con las siguientes características:
- Un dato se puede leer y escribir en el banco de registros en el mismo ciclo de reloj.
 - Existe anticipación de operandos o cortocircuito desde los registros del pipeline.
 - Los saltos se resuelven en la etapa de ejecución, con cortocircuito y se cancelan las siguientes instrucciones si el salto es tomado.
 - La detección de todo tipo de riesgos (estructurales y LDE) y generación de paradas se realiza en la etapa de decodificación.
 - Los riesgos EDE se resuelven mediante paradas hasta que la instrucción ya lanzada entre en la etapa de memoria (en ese momento la segunda instrucción saldría de su etapa ID).

Las unidades funcionales de las que dispone el procesador son las siguientes:

UF	Cantidad	Latencia	Segmentación
FP ADD	1	2	Sí
FP MUL	2	3	Sí
INT ALU	1	1	No

- a. (2,5 pts) Completar el diagrama instrucción-tiempo correspondiente a la primera iteración y las dos primeras instrucciones de la segunda iteración del siguiente fragmento de código, indicando **claramente** los cortocircuitos realizados, las paradas y sus causas. Inicialmente R1=0 y R2=60.

```
loop: LD F1, 0(R1)
      MULF F2, F1, F0
      MULF F3, F1, F3
      MULF F0, F1, F4
      SD F2, 0(R1)
      ADDI R1, R1, 4
      CMP R1, R2
      BNE loop
      ADDI R1, R1, 4
      SUB R2, R2, R1
```

- b. (1 pto) Calcular el CPI

2. (1,5 pts)

- (0,5 pts) Explicar los pasos que se dan en un procesador cuando se produce una interrupción.
- (0,5 pts) Expresar en punto flotante de precisión simple, según el estándar IEEE 754, el número hexadecimal: +8452.
- (0,5 pts) Expresar en decimal el número 0xBB50_0000, representado en punto flotante de precisión simple según el estándar IEEE 754.

3. (5 pts) Sea un sistema de memoria con las siguientes características:

- Memoria virtual paginada de 1GB, política de emplazamiento LRU
- Tamaño de página 2KB
- Memoria principal con 1 MB
- TLB con dos entradas.
- Memoria cache de direcciones físicas 2048 bytes, con bloques de 256 bytes, asociativa por conjuntos con 4 bloques/cjto, política LRU
- La página más recientemente usada tiene LRU=0.

Los contenidos de la tabla de páginas, el TLB y la memoria cache son los siguientes:

Tabla de páginas		
Nº de página Virtual	Nº de página física	Bit de validez
0x00001	0x1FF	1
0x1B000	0x000	1
0x7AA23	0x1AC	0
0x10000	0x055	1
TLB		
Nº de página Virtual	Nº de página física	Edad
0x10000	0x055	0
0x1B000	0x000	1

Memoria cache			
Conjunto	M. Bloque	Etiqueta	Edad
0	0	0x7FF	0
	1	0x7F0	2
	2	0x264	3
	3	0x1FF	1
1	0	0x264	1
	1	0x7F0	3
	2	0x7FF	2
	3	0x6B0	0

- (0,5 pts) Indicar el formato de la dirección virtual y de la dirección física, esta última desde el punto de vista de la memoria virtual y de la memoria cache.
- (0,5 pts) Indicar el rango de direcciones virtuales y físicas contenidas en el bloque 3 del conjunto 1
- (1,5 pts) Si se referencia la dirección virtual 0x00000FFF mostrar en el orden adecuado cómo se van consultando las diferentes tablas y los cambios que se producen en ellas, indicando qué páginas o bloques se mueven entre diferentes posiciones.
- (1,5 pts) Hacer lo mismo que en el apartado anterior cuando se referencia la dirección virtual 0x08000F0.
- (0,5 pts) Si la tabla de páginas es directa indicar qué información se guarda en cada entrada y cuántas entradas tiene (decir el número de bits de memoria necesario para contener la tabla).
- (0,5 pts) Hacer lo mismo que en el apartado anterior si la tabla es inversa.