



ESTRUCTURA DE COMPUTADORES

Examen - 15 de enero de 2025

Nombre _____ DNI _____

1. (2,5 puntos) Sea un RISC-V segmentado con las siguientes características:
- Un dato se puede leer y escribir en el banco de registros en el mismo ciclo de reloj.
 - Existe anticipación de operandos (tiene implementado cortocircuito).
 - Los riesgos de EDE entre dos instrucciones A y B, tal que A precede a B, se resuelven mediante inhibición de escritura de la instrucción A.
 - Las unidades funcionales del procesador son:

UF	Nº de etapas	Segmentación
FP ADD	2	Sí
FP MUL	3	Sí
Int ALU	1	No

Sabiendo que el siguiente fragmento de código se ejecuta sobre dicho procesador

```
addi    x3, x0, 0xFF
fadd    f1, f2, f3
fadd    f4, f5, f6
LOOP:   fsub    f7, f4, f15
slli    x3, x3, 2      #Desplazamiento a la izquierda
fmul    f4, f7, f5
beq     x3, x0, LOOP
fadd    f1, f5, f6
fmul    f5, f6, f1
fadd    f4, f5, f6
```

- a) Representar el diagrama instrucción-tiempo para las primeras 11 instrucciones ejecutadas y para las 3 últimas, mostrando claramente las paradas y sus causas.
- b) Mostrar los cortocircuitos realizados indicando entre que instrucciones se realizan y entre que etapas dentro de esas instrucciones.
- c) Determinar el CPI.
2. (2,5 puntos) Considere un computador con una memoria principal de 512 KB, direccionable por bytes, al que se dota de una memoria cache de 1 KB, con bloques de 128 B. También consta de una cache de víctima de un bloque y un buffer de prebúsqueda de un bloque. La memoria cache usa emplazamiento asociativo por conjuntos con cuatro vías por conjunto y política LRU (el valor 3 indica el bloque que hay que reemplazar).

Originalmente en las dos memorias se encuentran los bloques que aparecen en las siguientes tablas:

CACHE			
Conjunto	Bloque	Etiqueta	LRU
0	0	0x7AB	0
0	1	0x7AC	1
0	2	0x7AD	2
0	3	0x7AA	3
1	0	0x0AA	0
1	1	0x35A	1
1	2	0x35B	3
1	3	0x7AA	2

Cache víctima
Nº bloque de MP
0x6B4

El buffer de prebúsqueda inicialmente contiene el bloque de memoria principal 0x685.

Sea la secuencia de acceso a memoria principal dada por las siguientes direcciones: 0x35A73, 0x155AA, 0x35B80, 0x000FF.

Indique para cada una de estas cuatro direcciones:

- a) La secuencia de pasos que se dan para buscar el dato.
- b) Si cambia algo en la cache, la cache víctima y el búffer de prebúsqueda, mostrarlo.
- c) Qué intercambios de bloques de datos hay.

3. (2,5 puntos) En una máquina con una memoria principal de 64 KB direccionable por bytes y un procesador con direcciones virtuales de 24 bits el sistema operativo gestiona la memoria virtual por paginación, utilizando páginas de 1 KB.

En dicha máquina se ejecuta un proceso que dispone de cinco marcos de página (páginas 5, 6, 7, 8 y 9. Se asignan por orden) para gestionar el código y los datos. El código ocupa exactamente una página.

El código de este proceso es:

```
float datos[1024][4]    #un float ocupa 8 bytes
float valor[1024]

for (i = 0; i < 1024; i++) {
    valor[i] = (datos[i][0] + datos[i][1] + datos[i][2] + datos[i][3]);
}
```

Suponer que la variable i se encuentra siempre en registro.

- a) Cuántos fallos de página se producen al ejecutar el proceso.
 - b) Indicar cuántas páginas ocupa la matriz datos.
 - c) Si tenemos una tabla de páginas directa indicar cuántas páginas ocupa esta tabla
 - d) Si tuviésemos una table de páginas inversa para este proceso indicar cuántos bytes ocuparía
 - e) Indicar la tasa de fallos de página al ejecutar el proceso.
4. (1,5 puntos) Supongamos un formato IEEE-754 reducido, con 11 bits, de los cuales 5 son de exponente, determinar:
- a. ¿Cuál es el mayor número positivo representable y el menor número positivo representable?
 - b. Representar los números 18 y 25,625 en este formato
 - c. Sumar esos dos números siguiendo los pasos vistos en clase, redondeando adecuadamente por los cuatro métodos y explicando cada paso.
5. (1 punto) Explicar las ventajas y desventajas de usar entrada/salida programada, con interrupciones y con DMA.