



Tema 3:

Sistemas secuenciales

Fundamentos de computadores

José Manuel Mendías Cuadros

Dpto. Arquitectura de Computadores y Automática

Universidad Complutense de Madrid



Contenidos

- ✓ Especificación basada en estados.
- ✓ Diagrama de estados.
- ✓ Máquinas de Moore y Mealy.
- ✓ Síntesis con biestables D.
- ✓ Inicialización de sistemas secuenciales.

Presentación basada en los libros:

- S.L. Harris y D. M. Harris. *Digital Design and Computer Architecture*.
- R. Hermida, F. Sánchez y E. del Corral. *Fundamentos de computadores*.
- D. Gajsky. *Principios de diseño digital*.



Sistemas secuenciales

- La salida en cada instante depende del valor de la entrada en ese instante y de todos los valores que la entrada ha tomado con anterioridad.
 - En ocasiones a una misma entrada corresponde una salida distinta



$$S(t_i) = F(E([0, t_i]))$$

- Para especificar su comportamiento deberán definirse:
 - Los conjuntos **discretos** de valores de entrada/salida: E, S
 - Cómo especificar la función F



Especificación basada en estados

- **Estado**: clase de equivalencia formada por todas las secuencias de valores de entrada que producen una misma salida actual y futura.
- Ejemplo:



$$E(t) = \{ A, B, C \}, \quad S(t) = \{ 0, 1 \}$$

E(t)	A	B	C	B	B	A	C	B	A	A	C	C	A	B	B
S(t)	0	0	0	0	0	1	1	1	0	1	1	1	0	0	0

—————→ tiempo



Especificación basada en estados

$E([0...t])$

B	B	A	B
---	---	---	---

A	B	A	A	B	C
---	---	---	---	---	---

C	C	C	B	A
---	---	---	---	---



Especificación basada en estados

E([0...t])						S(t)
B	B	A	B			0
A	B	A	A	B	C	0
C	C	C	B	A		0



Especificación basada en estados

E([0...t])

B

B

A

B

A

B

A

A

B

C

C

C

C

B

A

S(t)

0

0

0

E(t+Δt) S(t+Δt)

A

1

B

0

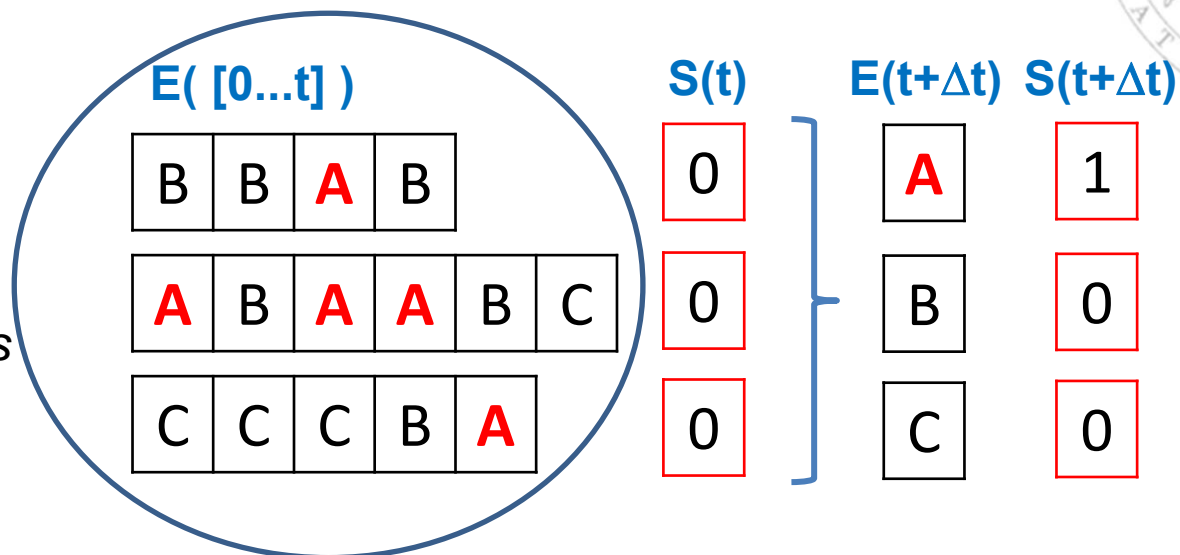
C

0



Especificación basada en estados

Estado IMPAR:
*Han llegado un número **impar** de **A**s*





Especificación basada en estados

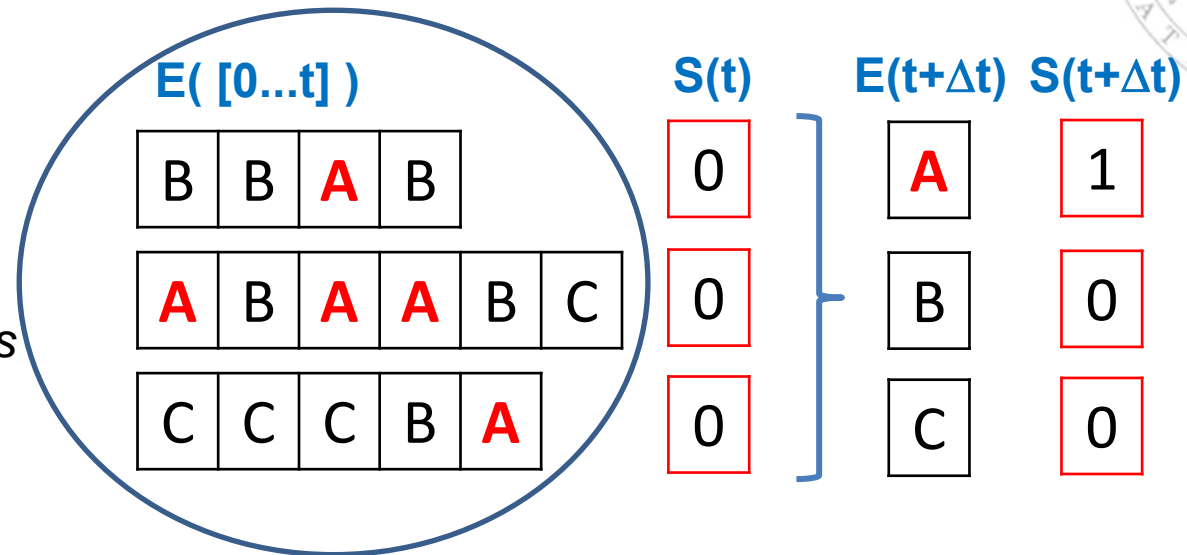
versión 2021

tema 3:
Sistemas secuenciales

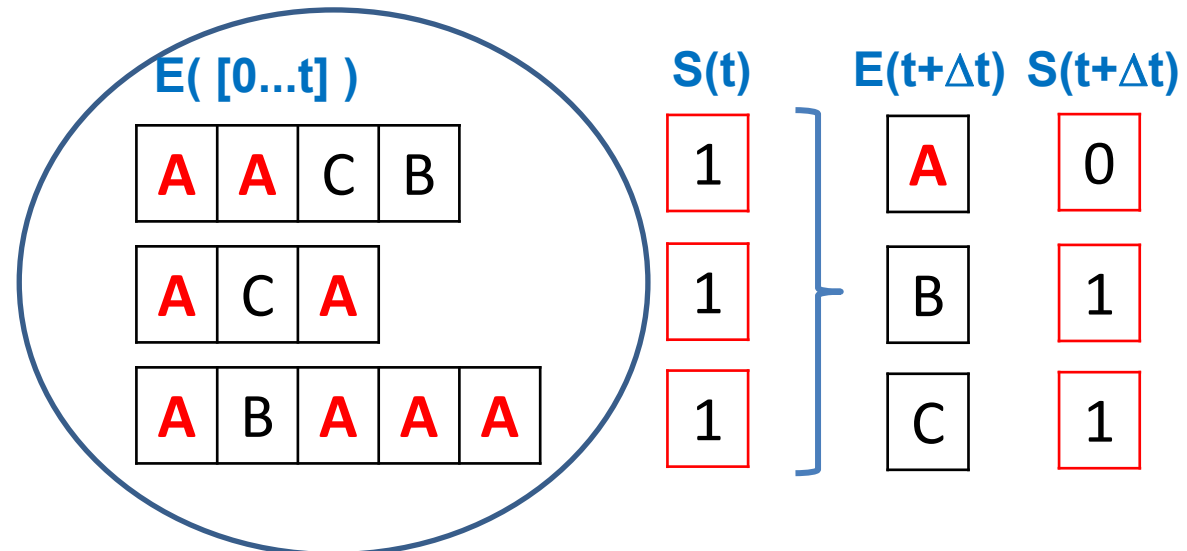
FC

9

Estado IMPAR:
*Han llegado un número **impar** de **A**s*



Estado PAR:
*Han llegado un número **par** de **A**s*



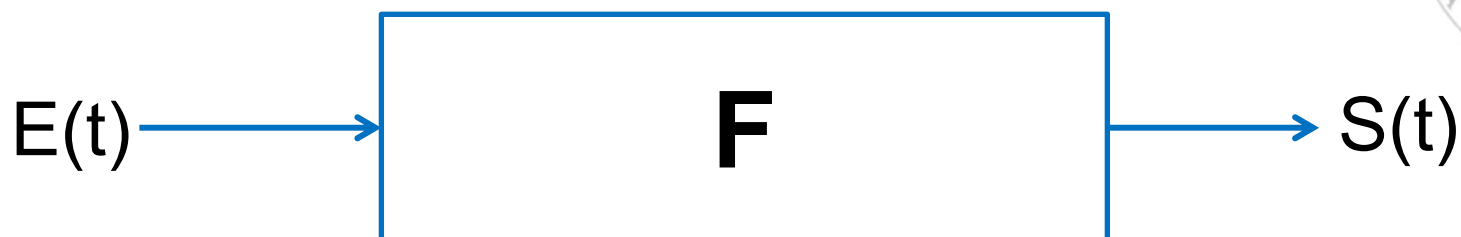


Especificación basada en estados

- **Especificación de la entrada:** E
 - Conjunto discreto de valores que puede tomar la entrada.
- **Especificación de la salida:** S
 - Conjunto discreto de valores que puede tomar la salida.
- **Especificación del conjunto de estados:** Q
 - Conjunto discreto de estados en los que puede estar el sistema.
- **Función de transición de estados:** $G: Q \times E \rightarrow Q$
 - Define cuál será el estado siguiente del sistema para cada posible par (estado del sistema, valor de la entrada).
- **Función de salida:** $H: Q \times E \rightarrow S$
 - Define cuál será la salida para cada posible par (estado del sistema, valor de la entrada)



Especificación basada en estados



$$E(t) = \{ A, B, C \}, \quad S(t) = \{ 0, 1 \}$$

$$Q(t) = \{ \text{par}, \text{impar} \}$$

Función de transición
de estados

Q	E	Q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

Función de salida

Q	E	S
par	A	0
par	B	1
par	C	1
impar	A	1
impar	B	0
impar	C	0



Contenidos

- ✓ Especificación basada en estados.
- ✓ **Diagrama de estados.**
- ✓ Máquinas de Moore y Mealy.
- ✓ Síntesis con biestables D.
- ✓ Inicialización de sistemas secuenciales.



Diagrama de estados

- Representa un sistema secuencial mediante un **grafo**:
 - Cada **estado** se representa por un **nodo**.
 - Cada **transición de estado** por un **arco dirigido y etiquetado**:
 - Cada arco une un **estado origen** con un **estado destino**.
 - La etiqueta indica el **valor de entrada** que provoca la transición y el **valor de la salida** para el par (estado origen, entrada).
 - Esto **NO** quiere decir que la salida se calcule durante la transición.

Q	E	Q'	S
par	A	impar	0
par	B	par	1
par	C	par	1
impar	A	par	1
impar	B	impar	0
impar	C	impar	0



Diagrama de estados

- Representa un sistema secuencial mediante un grafo:
 - Cada **estado** se representa por un **nodo**.
 - Cada **transición de estado** por un **arco dirigido y etiquetado**:
 - Cada arco une un **estado origen** con un **estado destino**.
 - La etiqueta indica el **valor de entrada** que provoca la transición y el **valor de la salida** para el par (estado origen, entrada).
 - Esto **NO** quiere decir que la salida se calcule durante la transición.

Q	E	Q'	S
par	A	impar	0
par	B	par	1
par	C	par	1
impar	A	par	1
impar	B	impar	0
impar	C	impar	0





Diagrama de estados

- Representa un sistema secuencial mediante un grafo:
 - Cada **estado** se representa por un **nodo**.
 - Cada **transición de estado** por un **arco dirigido y etiquetado**:
 - Cada arco une un **estado origen** con un **estado destino**.
 - La etiqueta indica el **valor de entrada** que provoca la transición y el **valor de la salida** para el par (estado origen, entrada).
 - Esto **NO** quiere decir que la salida se calcule durante la transición.

Q	E	Q'	S
par	A	impar	0
par	B	par	1
par	C	par	1
impar	A	par	1
impar	B	impar	0
impar	C	impar	0

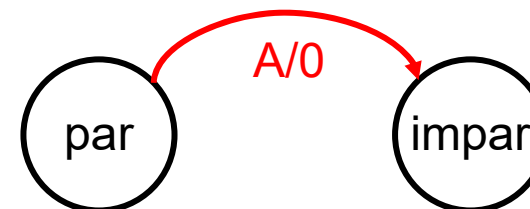




Diagrama de estados

- Representa un sistema secuencial mediante un **grafo**:
 - Cada **estado** se representa por un **nodo**.
 - Cada **transición de estado** por un **arco dirigido y etiquetado**:
 - Cada arco une un **estado origen** con un **estado destino**.
 - La etiqueta indica el **valor de entrada** que provoca la transición y el **valor de la salida** para el par (estado origen, entrada).
 - Esto **NO** quiere decir que la salida se calcule durante la transición.

Q	E	Q'	S
par	A	impar	0
par	B	par	1
par	C	par	1
impar	A	par	1
impar	B	impar	0
impar	C	impar	0

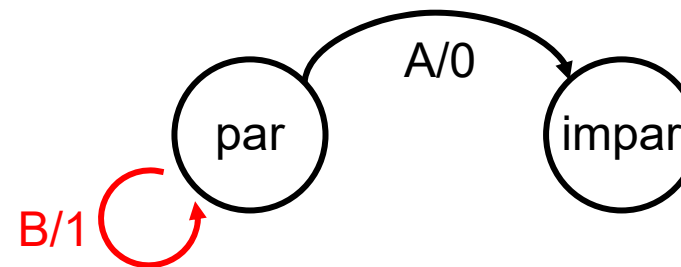




Diagrama de estados

- Representa un sistema secuencial mediante un grafo:
 - Cada **estado** se representa por un **nodo**.
 - Cada **transición de estado** por un **arco dirigido y etiquetado**:
 - Cada arco une un **estado origen** con un **estado destino**.
 - La etiqueta indica el **valor de entrada** que provoca la transición y el **valor de la salida** para el par (estado origen, entrada).
 - Esto **NO** quiere decir que la salida se calcule durante la transición.

Q	E	Q'	S
par	A	impar	0
par	B	par	1
par	C	par	1
impar	A	par	1
impar	B	impar	0
impar	C	impar	0

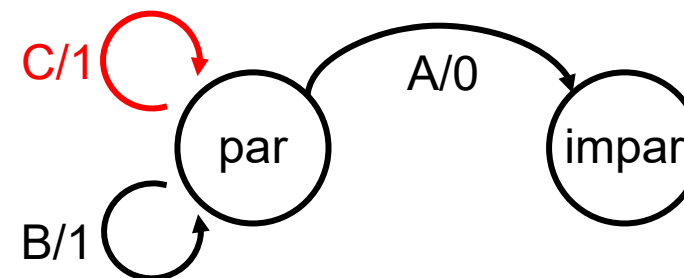




Diagrama de estados

- Representa un sistema secuencial mediante un **grafo**:
 - Cada **estado** se representa por un **nodo**.
 - Cada **transición de estado** por un **arco dirigido y etiquetado**:
 - Cada arco une un **estado origen** con un **estado destino**.
 - La etiqueta indica el **valor de entrada** que provoca la transición y el **valor de la salida** para el par (estado origen, entrada).
 - Esto **NO** quiere decir que la salida se calcule durante la transición.

Q	E	Q'	S
par	A	impar	0
par	B	par	1
par	C	par	1
impar	A	par	1
impar	B	impar	0
impar	C	impar	0

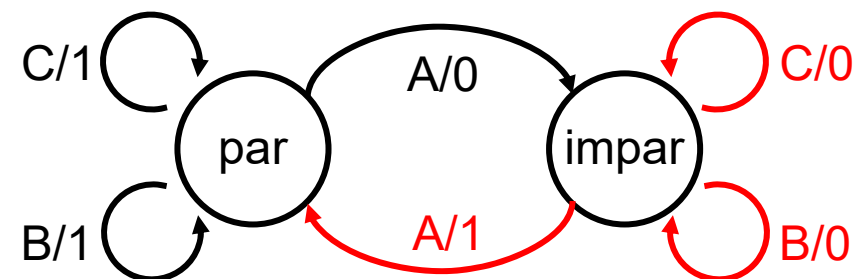
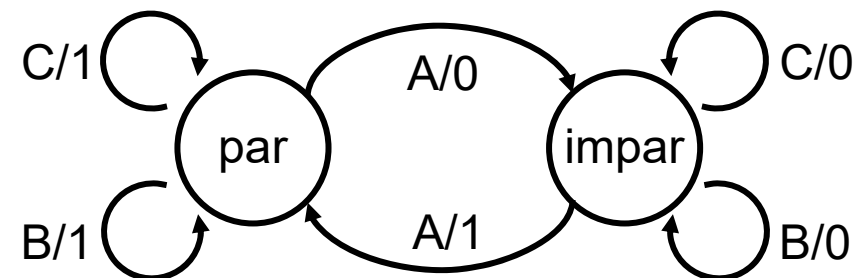




Diagrama de estados

- Representa un sistema secuencial mediante un grafo:
 - Cada **estado** se representa por un **nodo**.
 - Cada **transición de estado** por un **arco dirigido y etiquetado**:
 - Cada arco une un **estado origen** con un **estado destino**.
 - La etiqueta indica el **valor de entrada** que provoca la transición y el **valor de la salida** para el par (estado origen, entrada).
 - Esto **NO** quiere decir que la salida se calcule durante la transición.

Q	E	Q'	S
par	A	impar	0
par	B	par	1
par	C	par	1
impar	A	par	1
impar	B	impar	0
impar	C	impar	0





Descripción binaria

- Codificación ENTRADA: $\{ A \rightarrow (00), B \rightarrow (01), C \rightarrow (10) \}$
- Codificación SALIDA: $\{ 0 \rightarrow 0, 1 \rightarrow 1 \}$
- Codificación ESTADOS: $\{ \text{par} \rightarrow 0, \text{impar} \rightarrow 1 \}$

Función de transición
de estados

Q	E ₁	E ₀	Q'
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	-
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	-

Función de salida

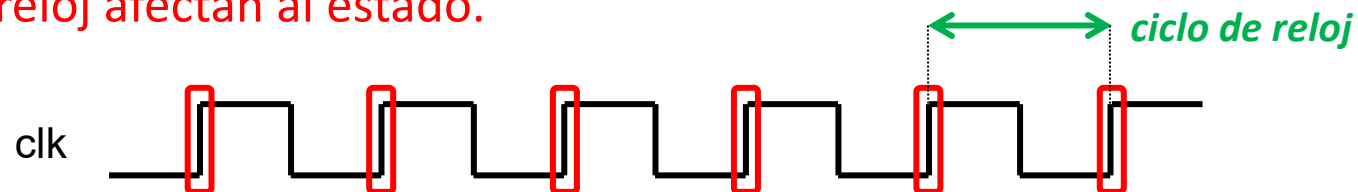
Q	E ₁	E ₀	S
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	-
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	-

Valores indefinidos (don't care)



Asíncrono vs. síncrono

- Sistema secuencial asíncrono:
 - El **estado del sistema** puede **cambiar en cualquier instante** en respuesta a un cambio de la entrada.
- Sistema secuencial síncrono:
 - El **estado del sistema** solo puede **cambiar en un conjunto discreto de instantes** indicados por una **señal de reloj**.
 - Un cambio en la entrada no provoca por sí mismo un cambio de estado.
 - Sólo el valor existente en la entrada en los instantes marcados por el reloj afectan al estado.



La señal de reloj es cuadrada y periódica de **frecuencia, f_{clk} , fija**.

Los cambios de 1 a 0 (flanco subida) ó 0 a 1 (flanco de bajada) marcan los instantes.

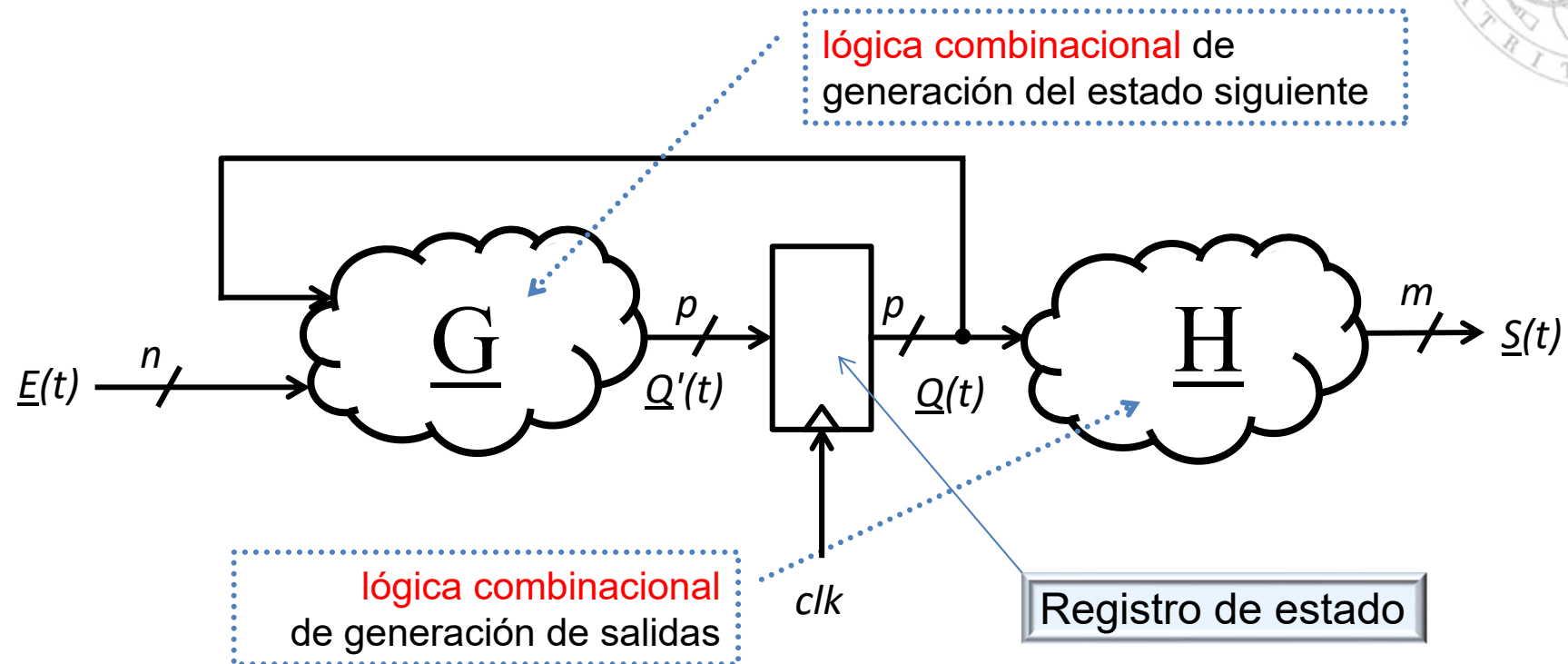


Contenidos

- ✓ Especificación basada en estados.
- ✓ Diagrama de estados.
- ✓ **Máquinas de Moore y Mealy.**
- ✓ Síntesis con biestables D.
- ✓ Inicialización de sistemas secuenciales.



Máquina de Moore

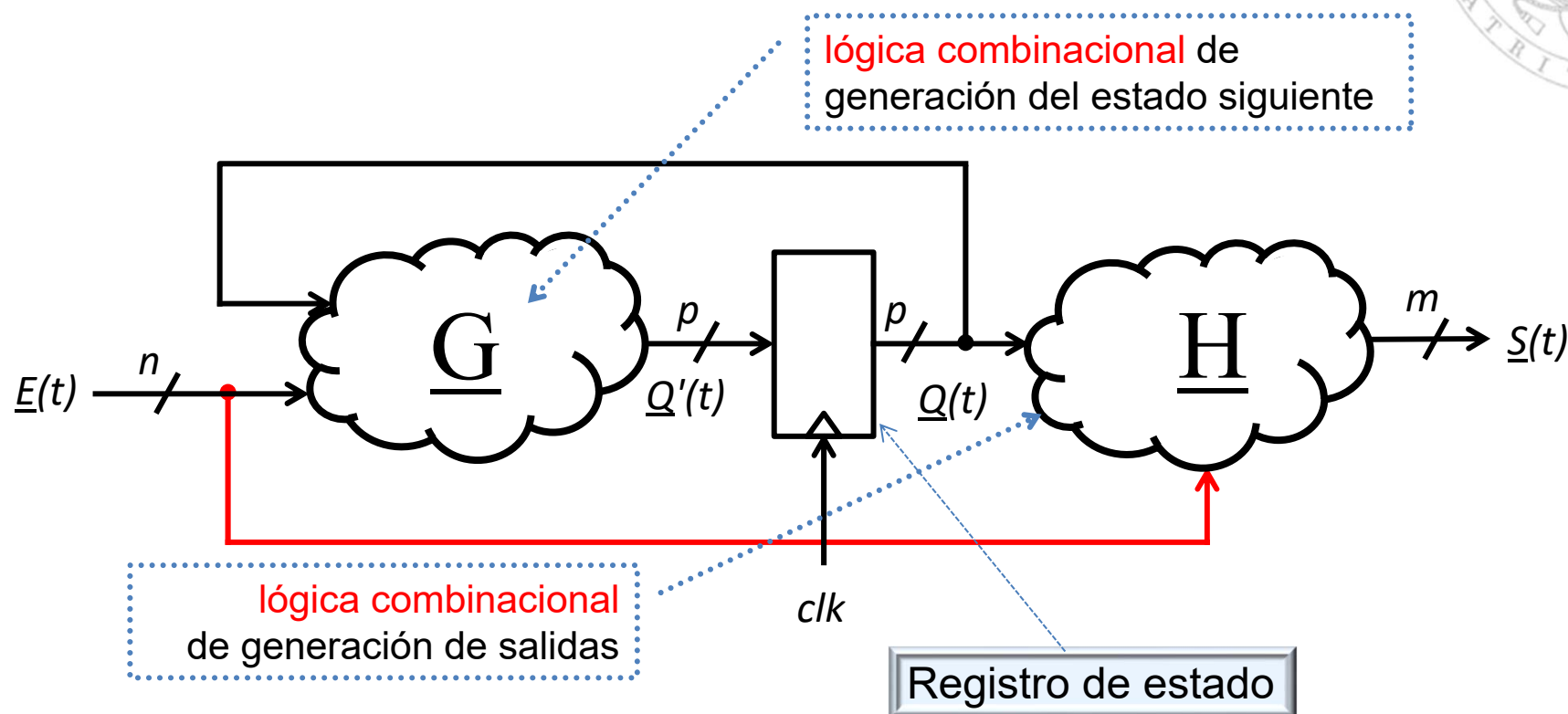


Estructura de una Máquina de Moore

La **salida** en todo instante **depende exclusivamente del estado** en que se encuentra el sistema.



Máquina de Mealy



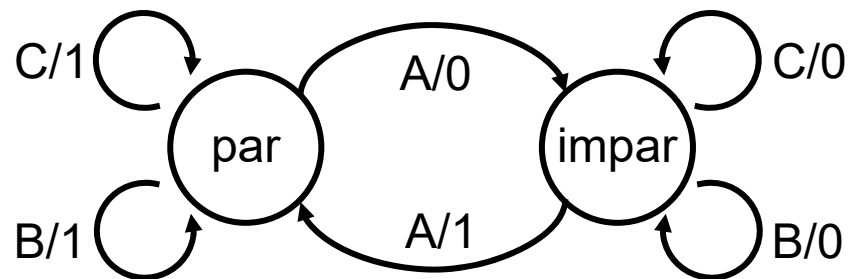
Estructura de una Máquina de Mealy

La **salida** en cada instante **depende del estado** en que se encuentra el sistema **y del valor de la entrada** en ese instante.



Mealy vs. Moore

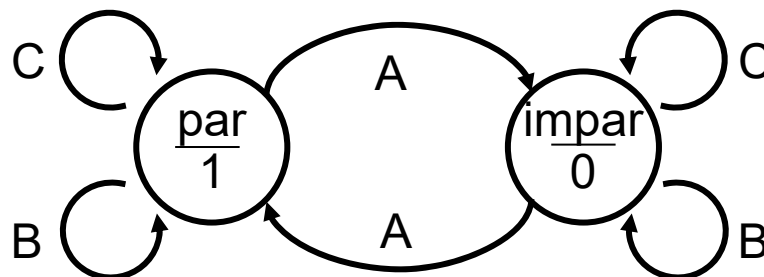
■ Mealy:



Q	E	Q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

Q	E	S
par	A	0
par	B	1
par	C	1
impar	A	1
impar	B	0
impar	C	0

■ Moore:



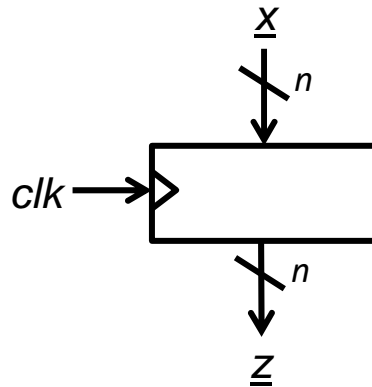
Q	E	Q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

Q	S
par	1
impar	0

En este curso vamos a trabajar sólo con **máquinas de Moore**



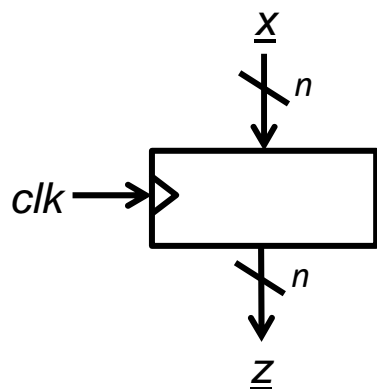
Concepto de registro de estado



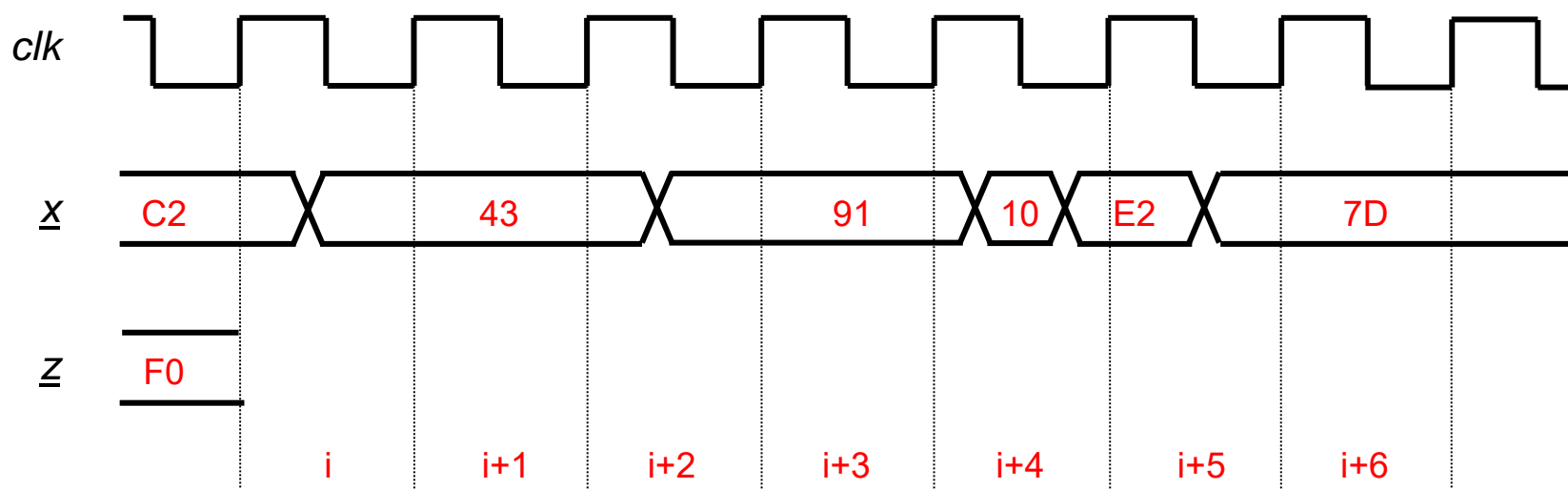
- **Registro de estado:** a cada flanco de reloj (o de subida o de bajada, pero no en ambos) transfiere el valor de la entrada a la salida y lo mantiene durante un ciclo de reloj.



Concepto de registro de estado

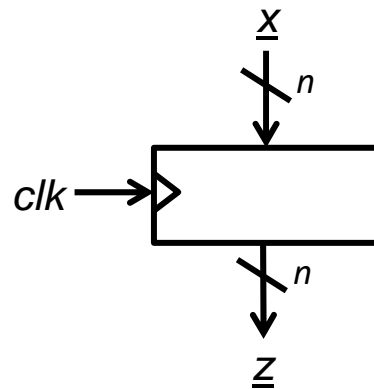


- **Registro de estado:** a cada flanco de reloj (o de subida o de bajada, pero no en ambos) transfiere el valor de la entrada a la salida y lo mantiene durante un ciclo de reloj.

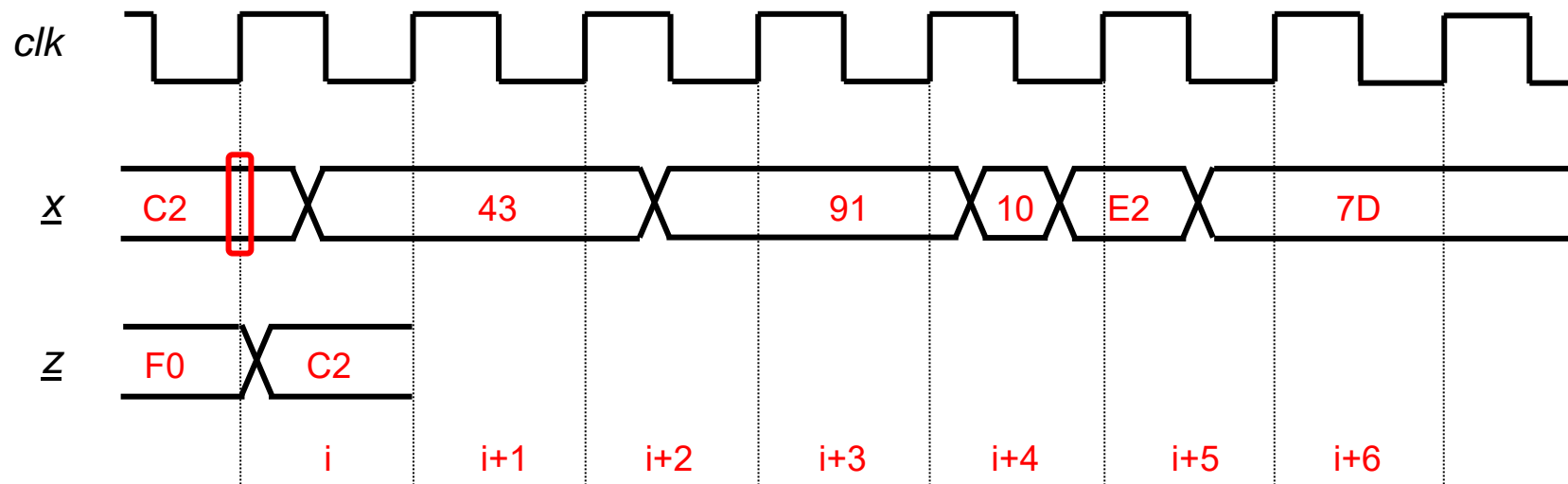




Concepto de registro de estado

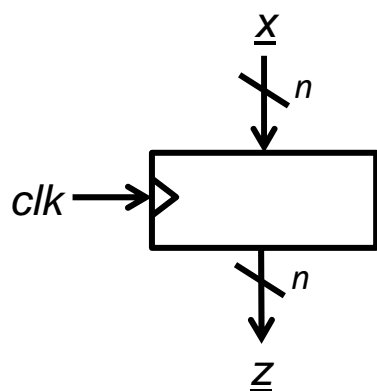


- **Registro de estado:** a cada flanco de reloj (o de subida o de bajada, pero no en ambos) transfiere el valor de la entrada a la salida y lo mantiene durante un ciclo de reloj.

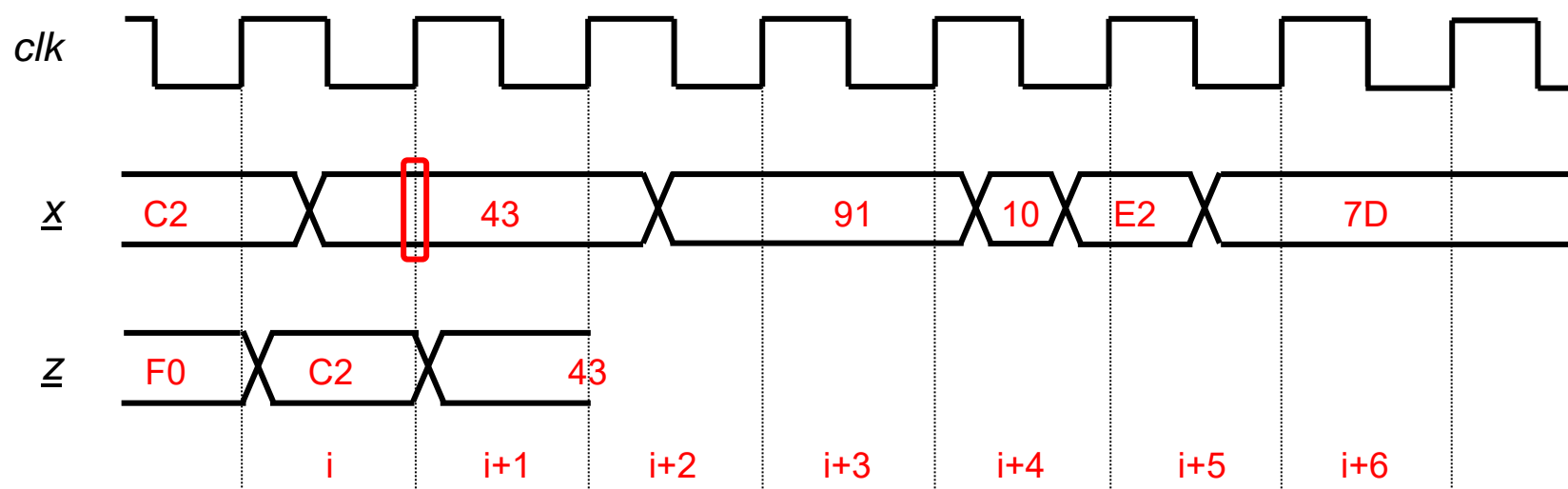




Concepto de registro de estado

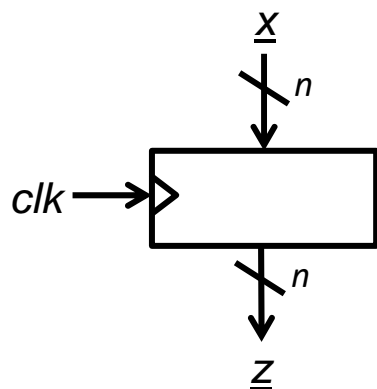


- **Registro de estado:** a cada flanco de reloj (o de subida o de bajada, pero no en ambos) transfiere el valor de la entrada a la salida y lo mantiene durante un ciclo de reloj.

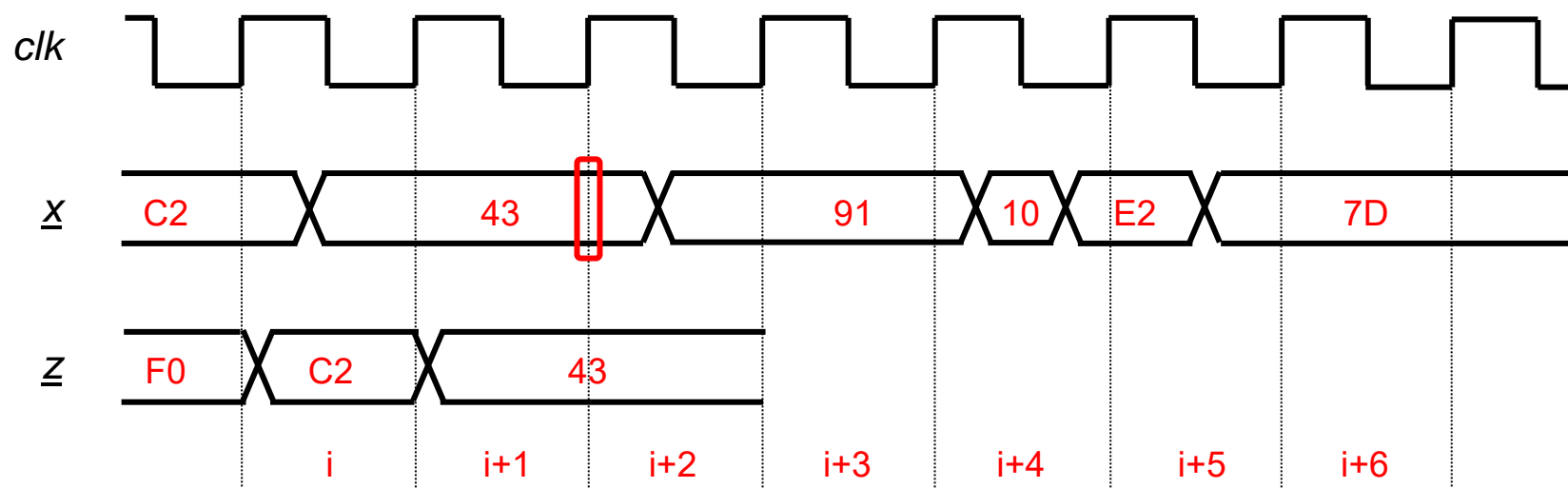




Concepto de registro de estado

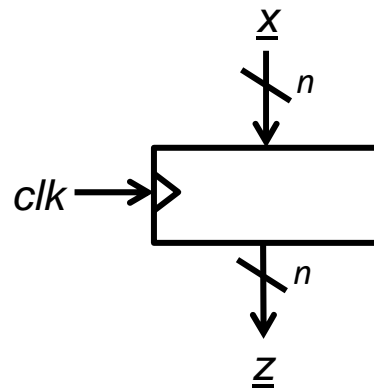


- **Registro de estado:** a cada flanco de reloj (o de subida o de bajada, pero no en ambos) transfiere el valor de la entrada a la salida y lo mantiene durante un ciclo de reloj.

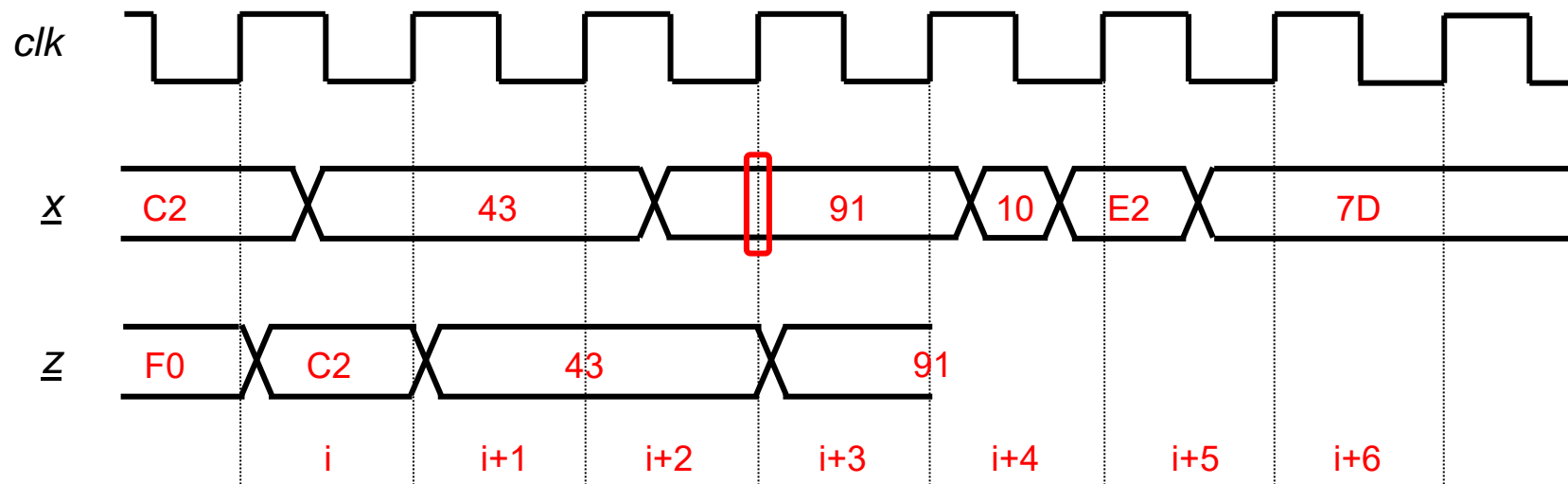




Concepto de registro de estado

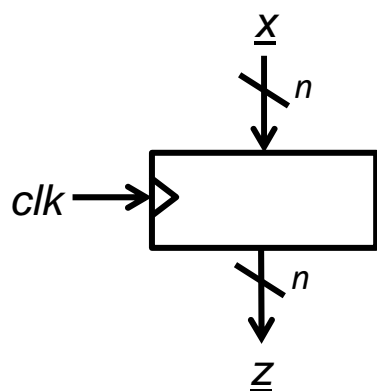


- **Registro de estado:** a cada flanco de reloj (o de subida o de bajada, pero no en ambos) transfiere el valor de la entrada a la salida y lo mantiene durante un ciclo de reloj.

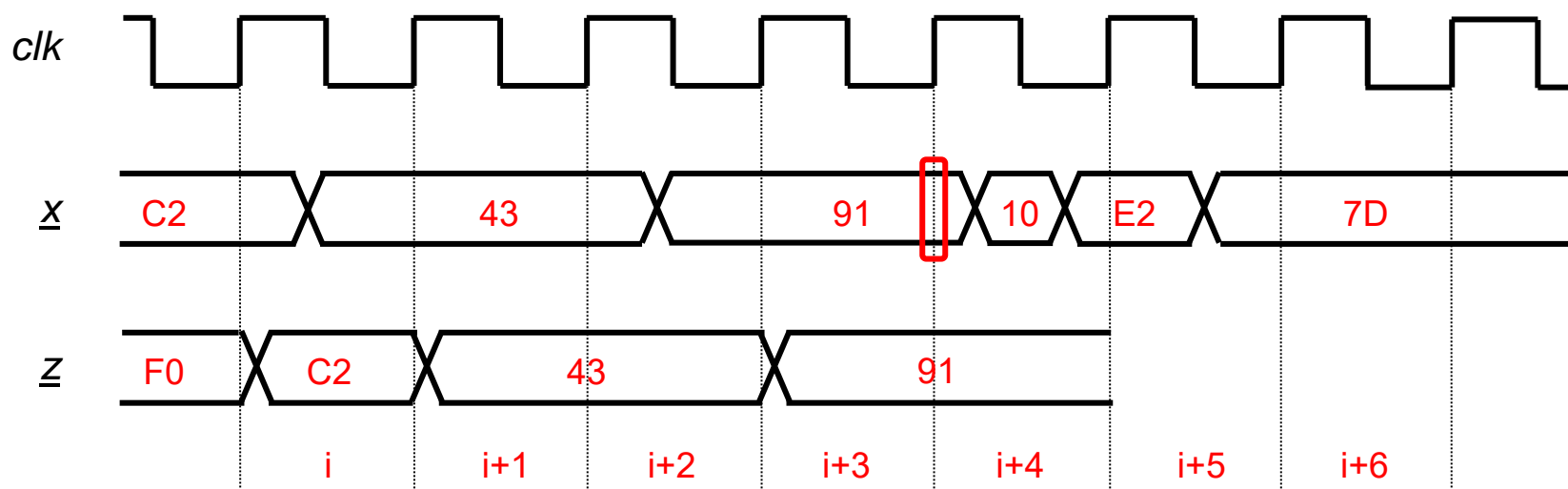




Concepto de registro de estado

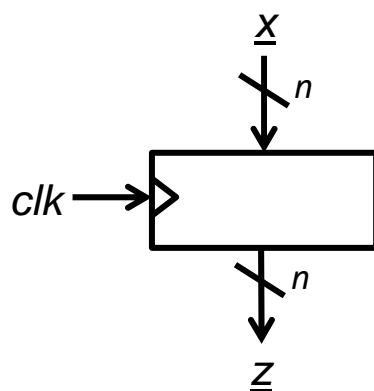


- **Registro de estado:** a cada flanco de reloj (o de subida o de bajada, pero no en ambos) transfiere el valor de la entrada a la salida y lo mantiene durante un ciclo de reloj.

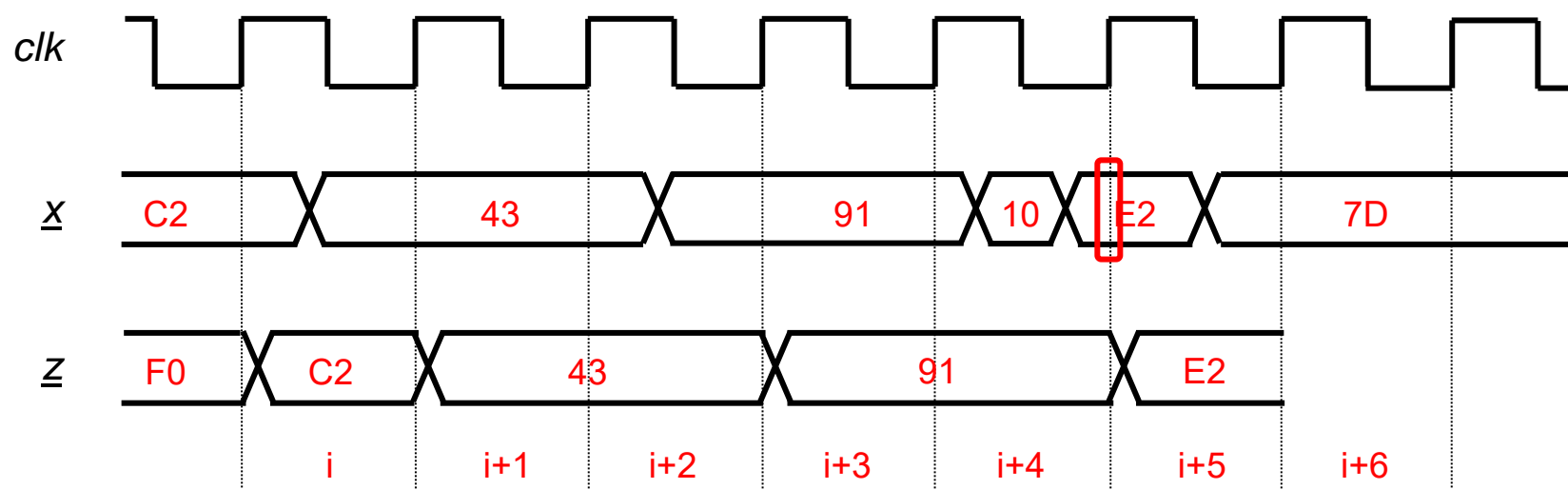




Concepto de registro de estado

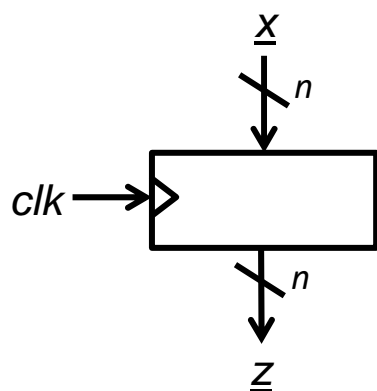


- **Registro de estado:** a cada flanco de reloj (o de subida o de bajada, pero no en ambos) transfiere el valor de la entrada a la salida y lo mantiene durante un ciclo de reloj.

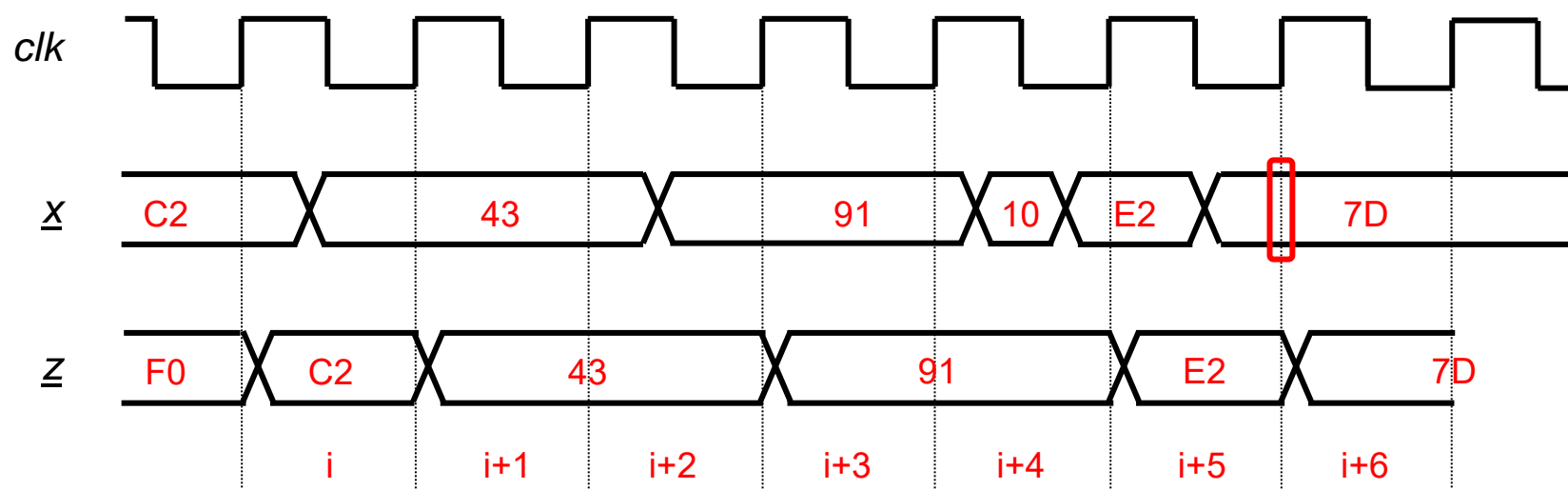




Concepto de registro de estado

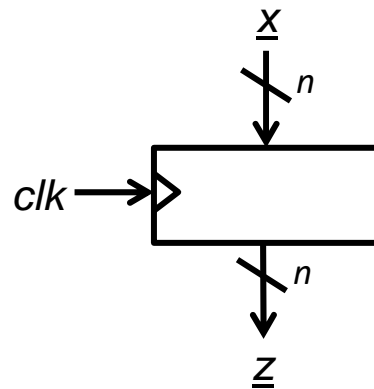


- **Registro de estado:** a cada flanco de reloj (o de subida o de bajada, pero no en ambos) transfiere el valor de la entrada a la salida y lo mantiene durante un ciclo de reloj.

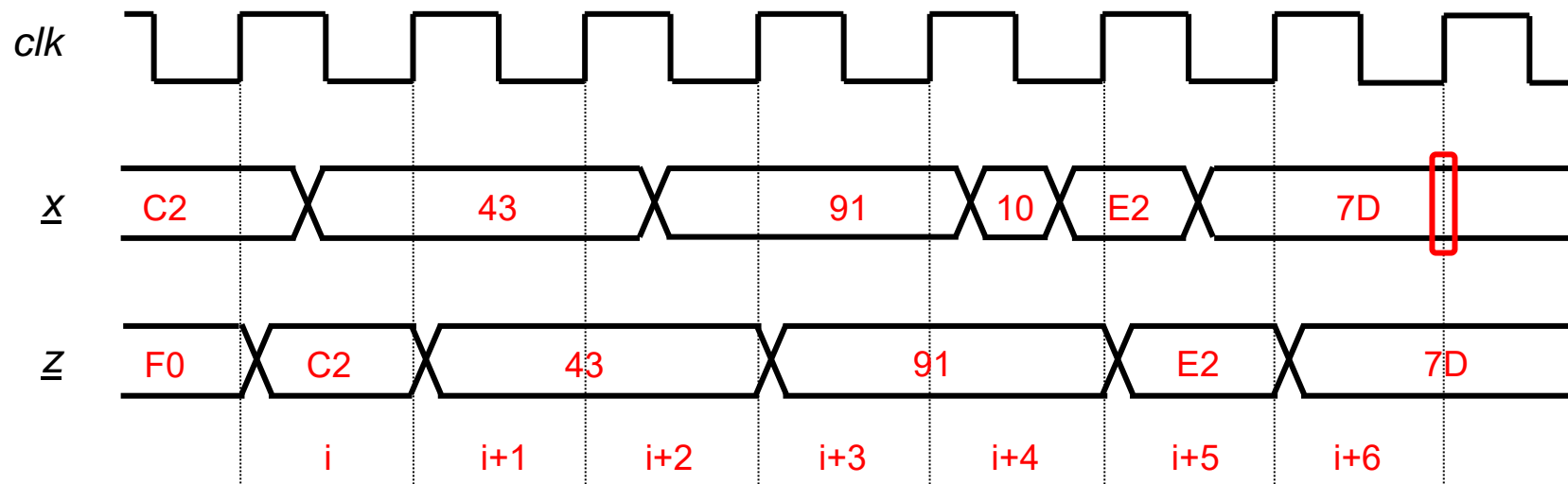




Concepto de registro de estado

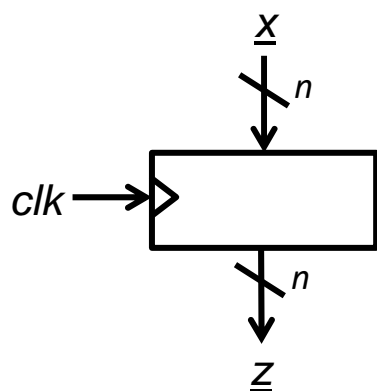


- **Registro de estado:** a cada flanco de reloj (o de subida o de bajada, pero no en ambos) transfiere el valor de la entrada a la salida y lo mantiene durante un ciclo de reloj.

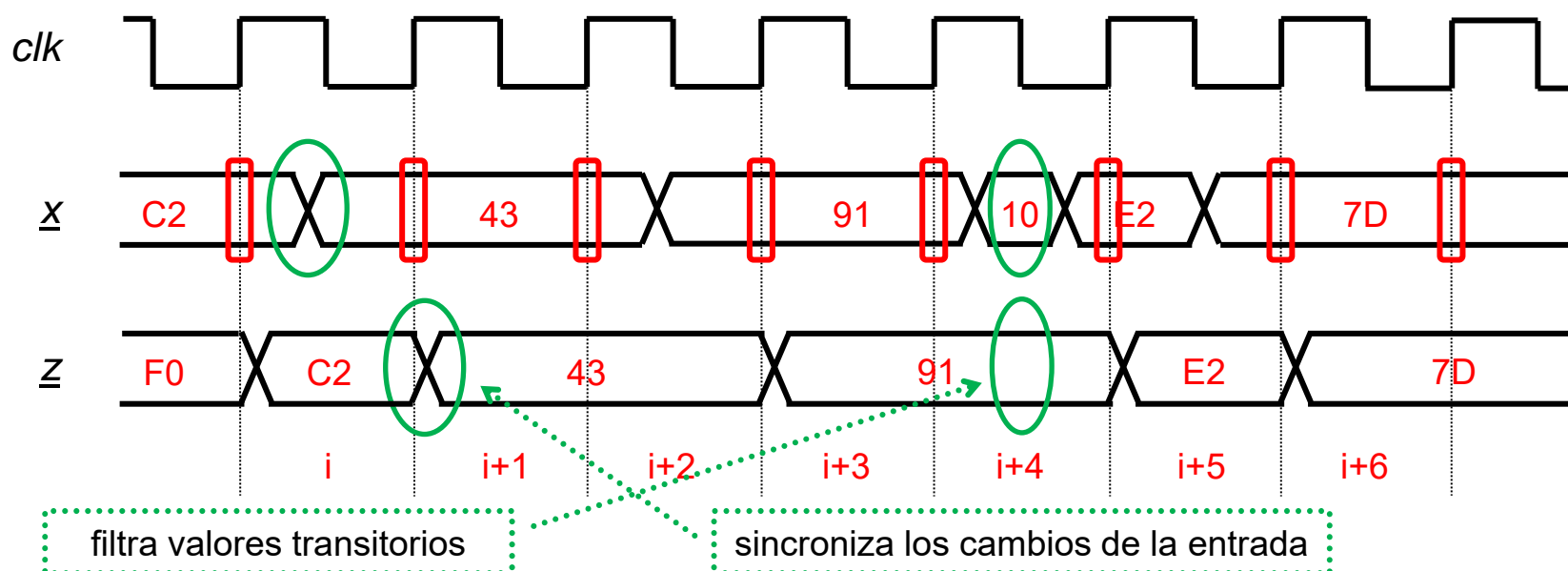




Concepto de registro de estado



- **Registro de estado:** a cada flanco de reloj (o de subida o de bajada, pero no en ambos) transfiere el valor de la entrada a la salida y lo mantiene durante un ciclo de reloj.





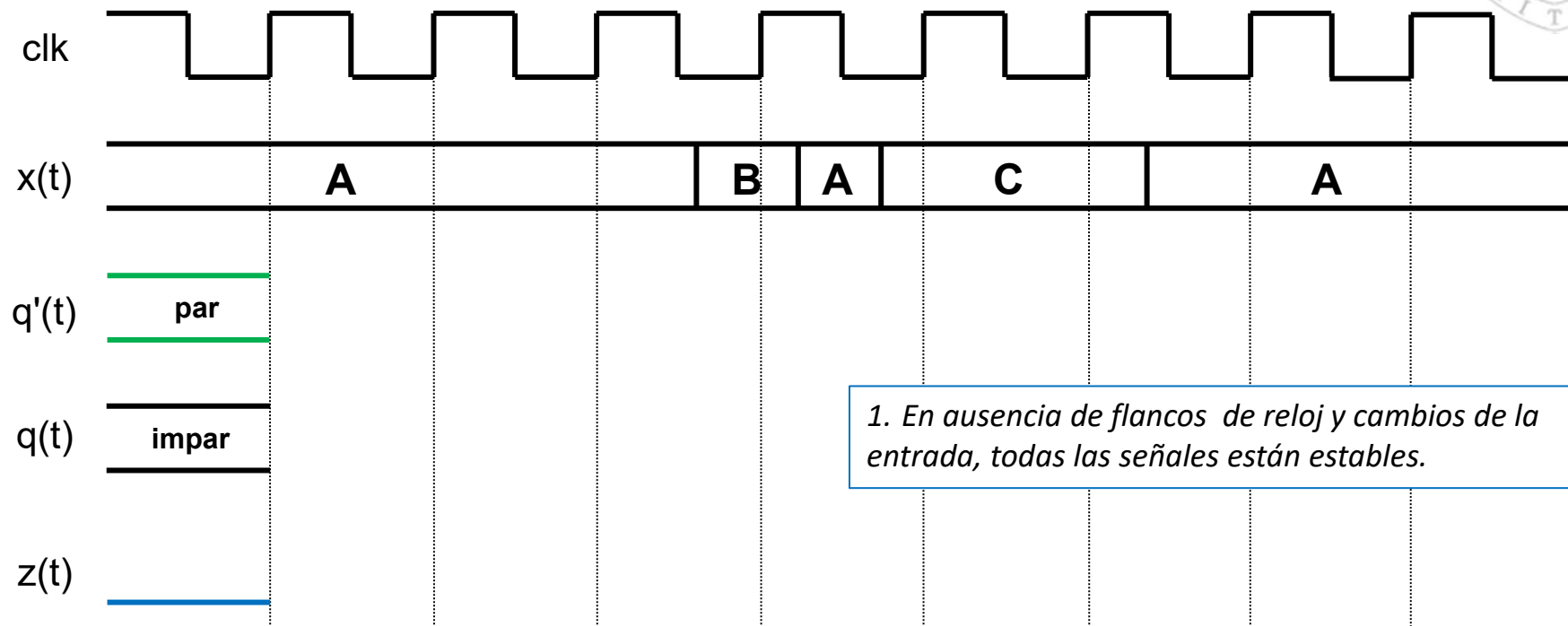
Máquina de Moore

versión 2021

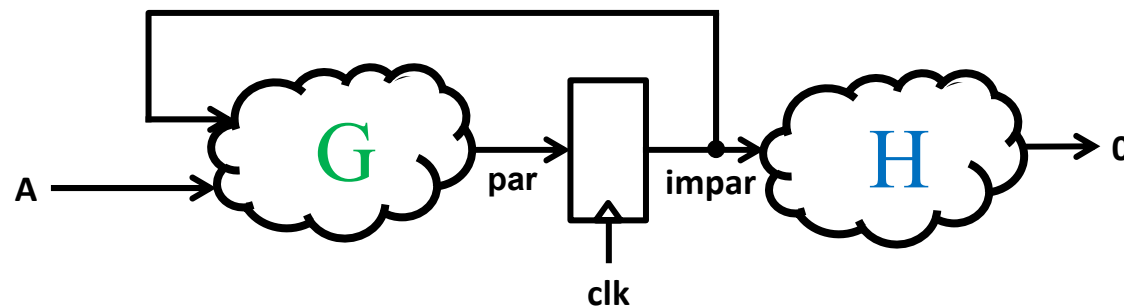
tema 3:
Sistemas secuenciales

FC

37



1. En ausencia de flancos de reloj y cambios de la entrada, todas las señales están estables.



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



Máquina de Moore

versión 2021

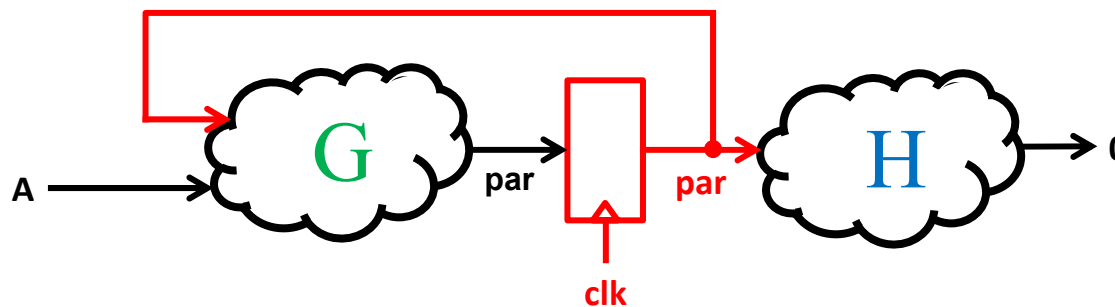
tema 3:
Sistemas secuenciales

FC

38



2. **Llega el flanco de reloj: el registro de estado carga** el valor que tiene a su entrada y lo pone a su salida. La salida del registro queda estable hasta el siguiente flanco de reloj.



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



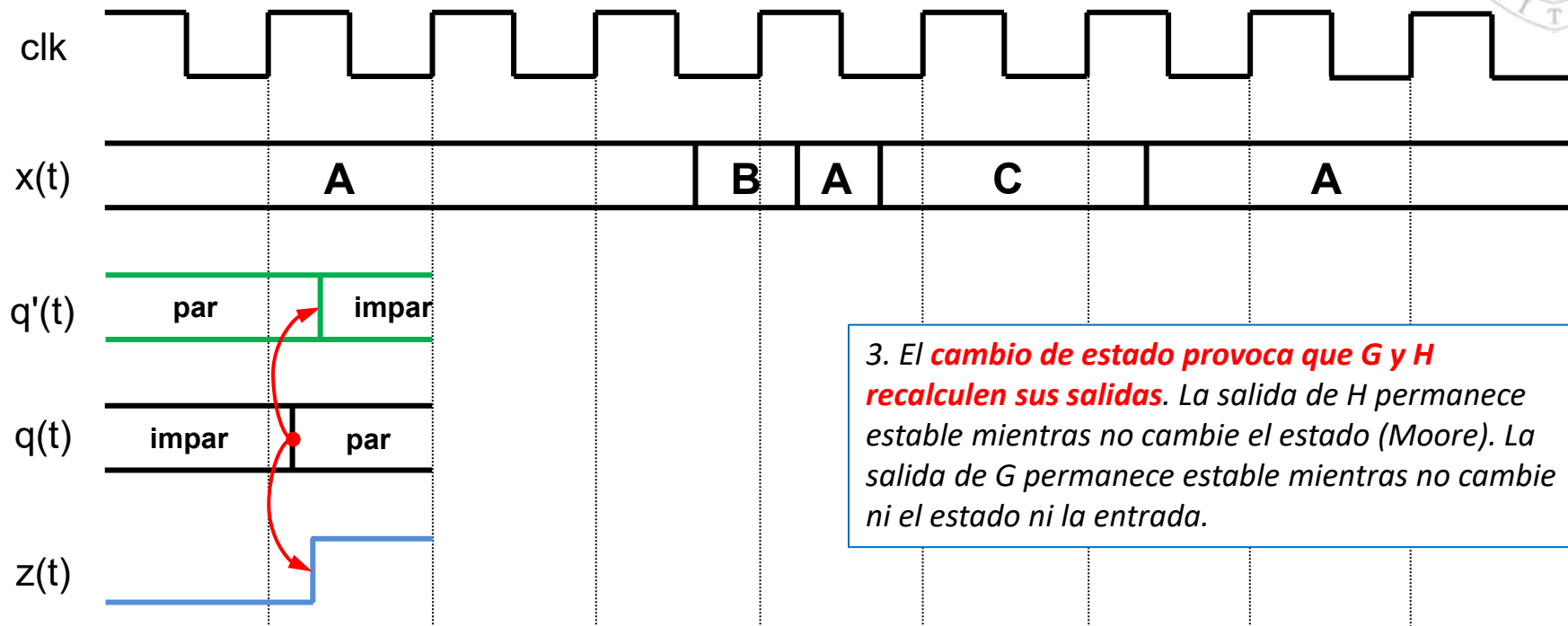
Máquina de Moore

versión 2021

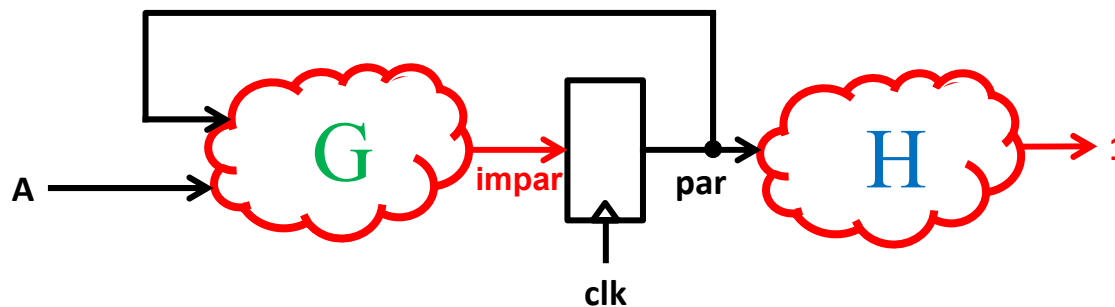
tema 3:
Sistemas secuenciales

FC

39



3. El **cambio de estado provoca que G y H recalculen sus salidas**. La salida de H permanece estable mientras no cambie el estado (Moore). La salida de G permanece estable mientras no cambie ni el estado ni la entrada.



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



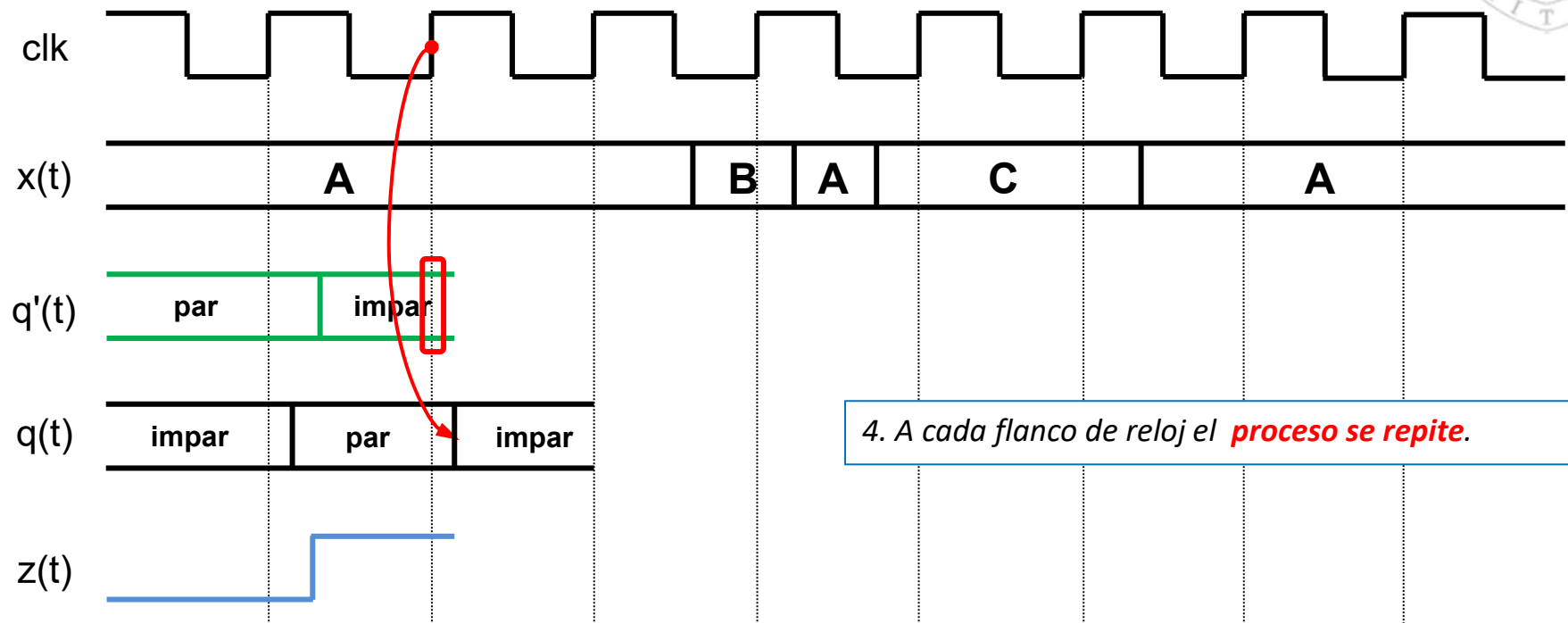
Máquina de Moore

versión 2021

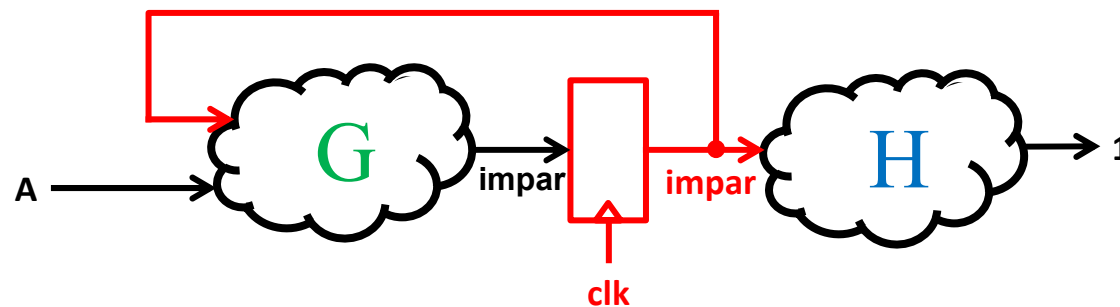
tema 3:
Sistemas secuenciales

FC

40



4. A cada flanco de reloj el **proceso se repite**.



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



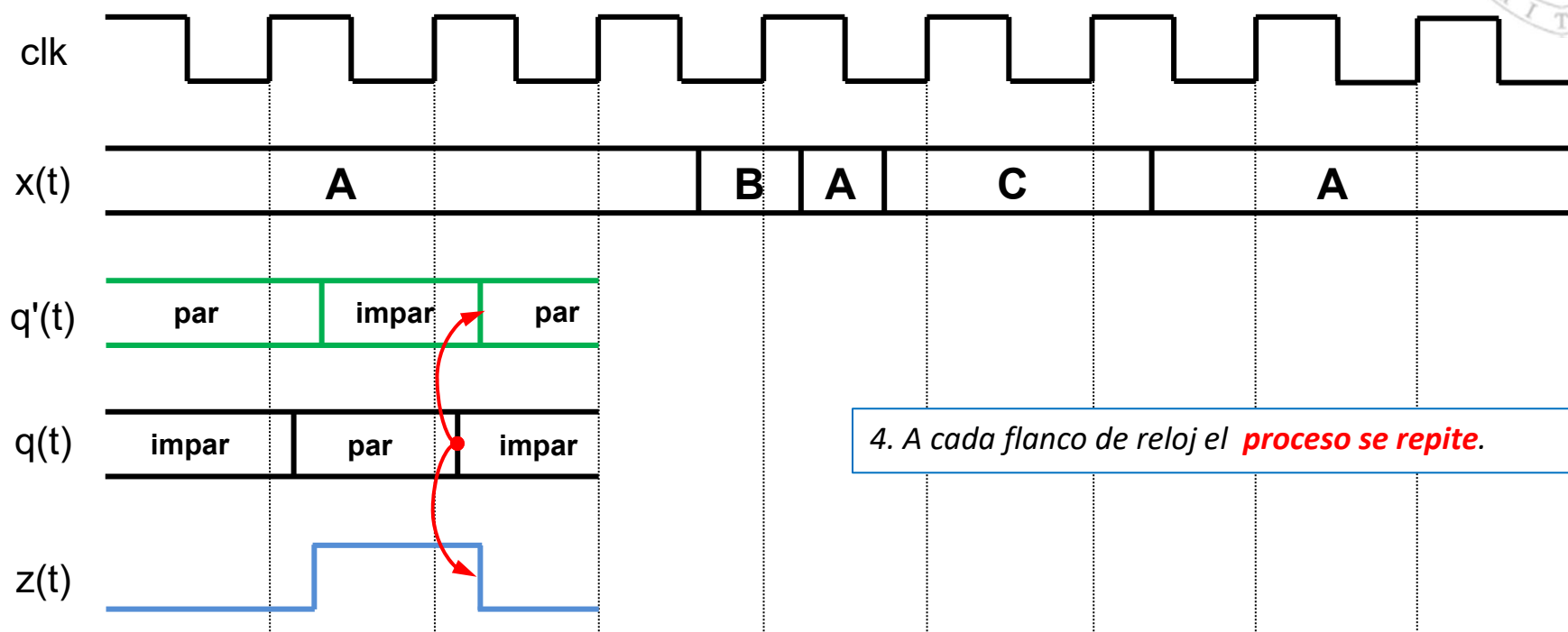
Máquina de Moore

versión 2021

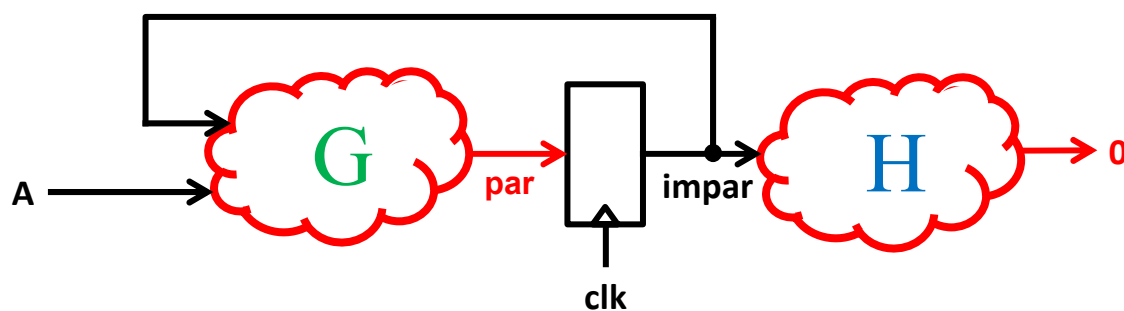
tema 3:
Sistemas secuenciales

FC

41



4. A cada flanco de reloj el **proceso se repite**.



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



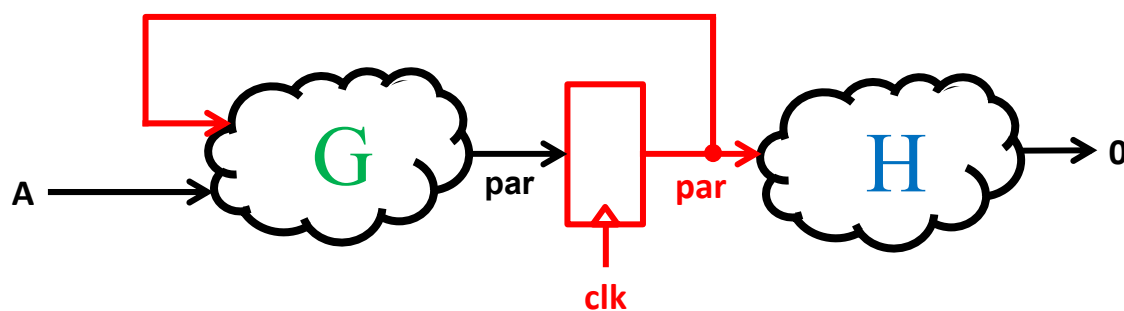
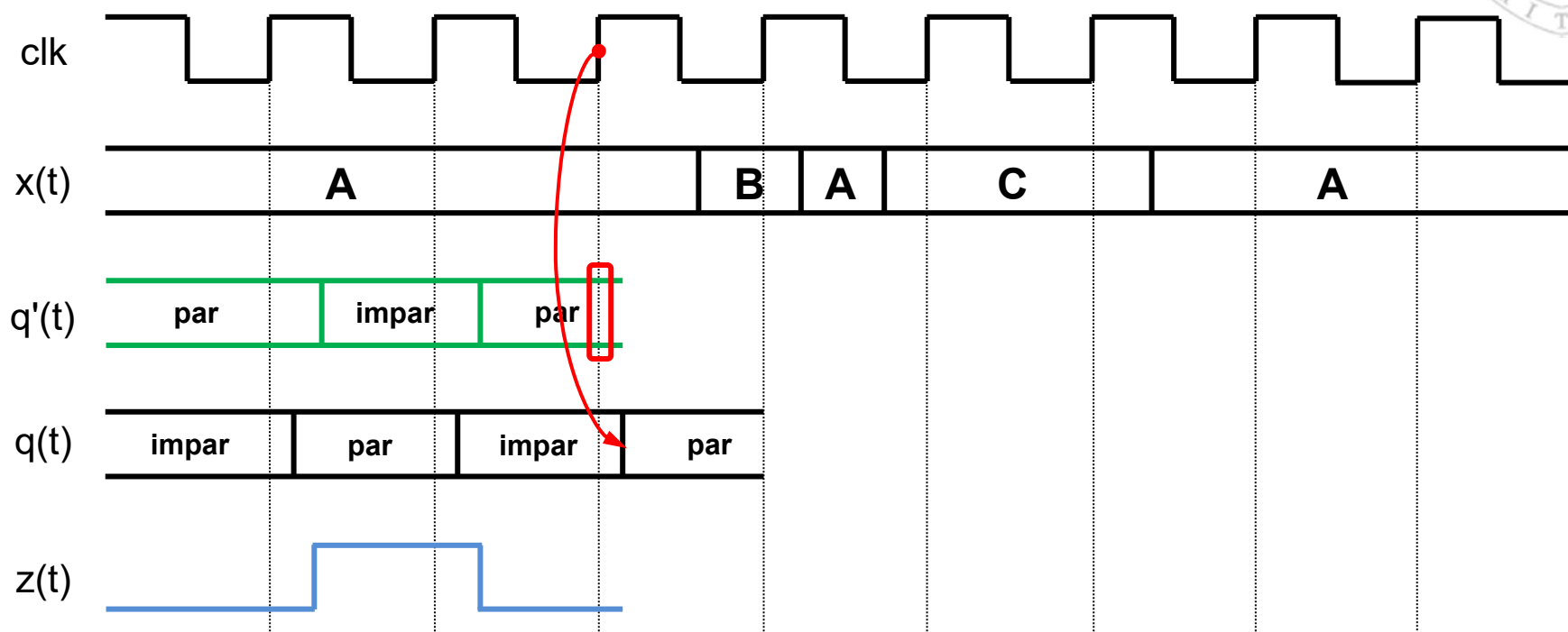
Máquina de Moore

versión 2021

tema 3:
Sistemas secuenciales

FC

42



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



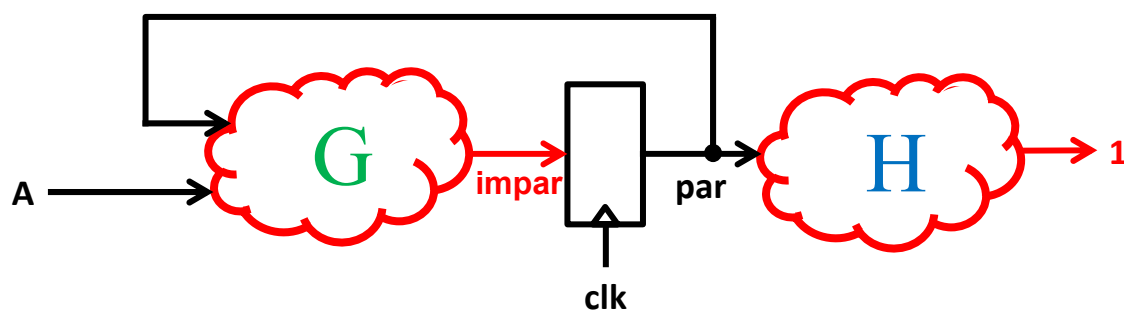
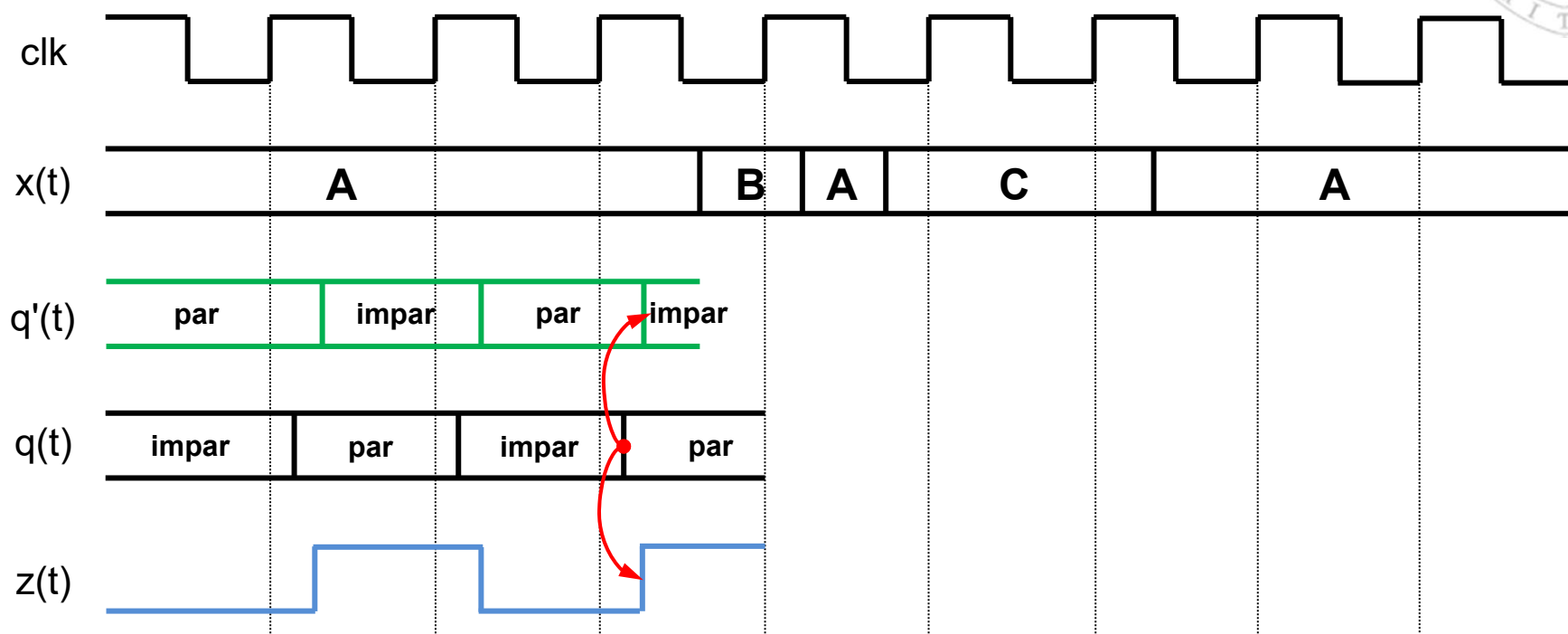
Máquina de Moore

versión 2021

tema 3:
Sistemas secuenciales

FC

43



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



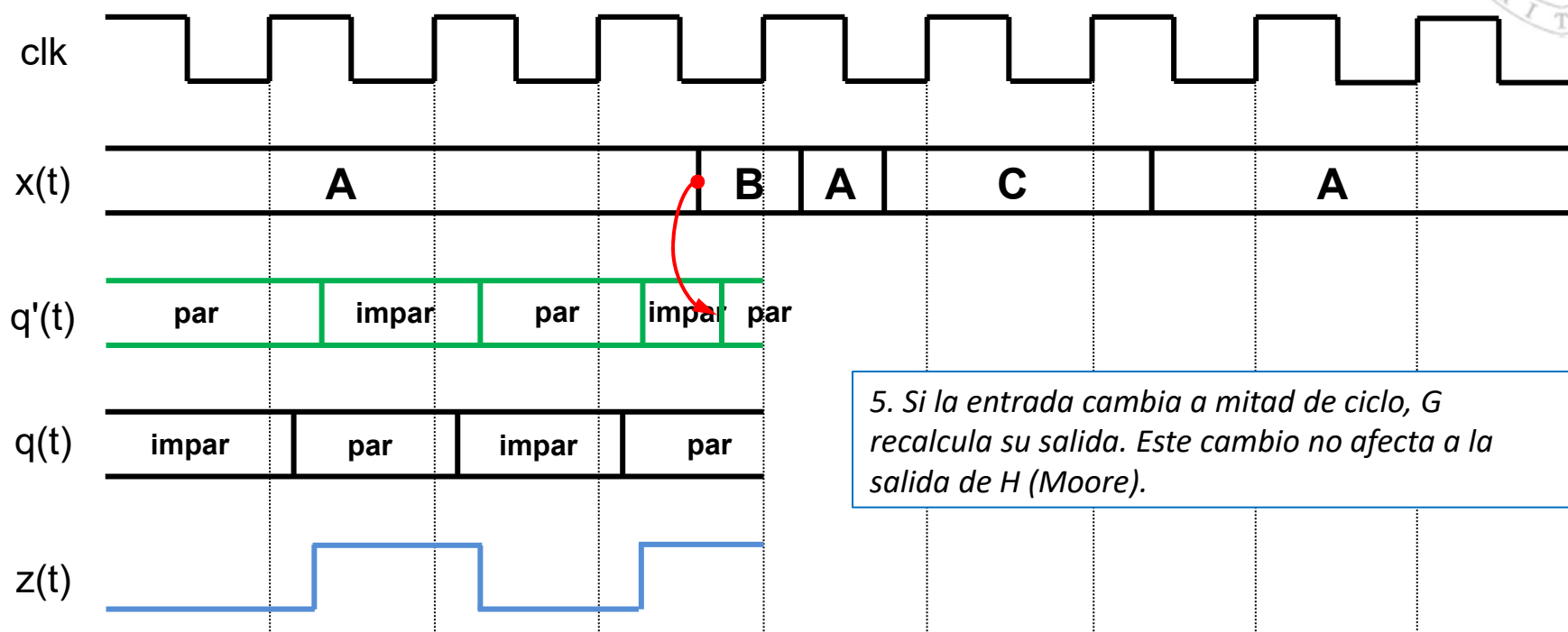
Máquina de Moore

versión 2021

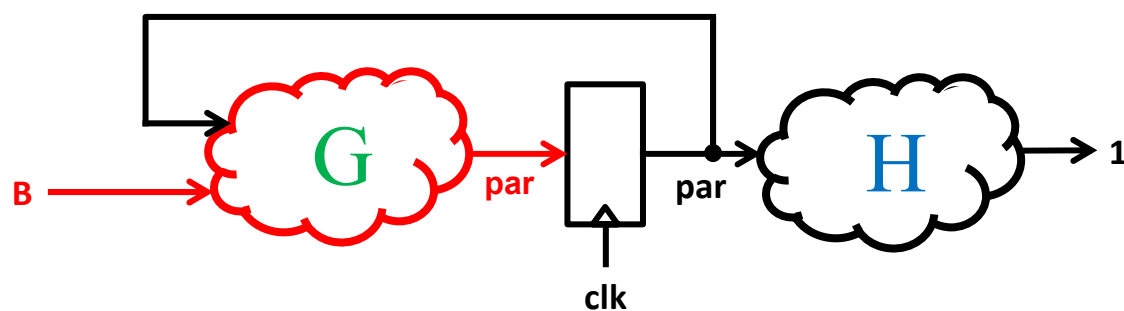
tema 3:
Sistemas secuenciales

FC

44



5. Si la entrada cambia a mitad de ciclo, G recalcula su salida. Este cambio no afecta a la salida de H (Moore).



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



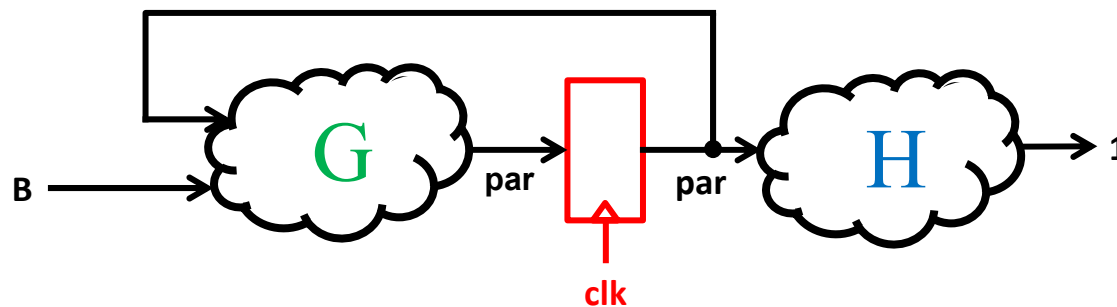
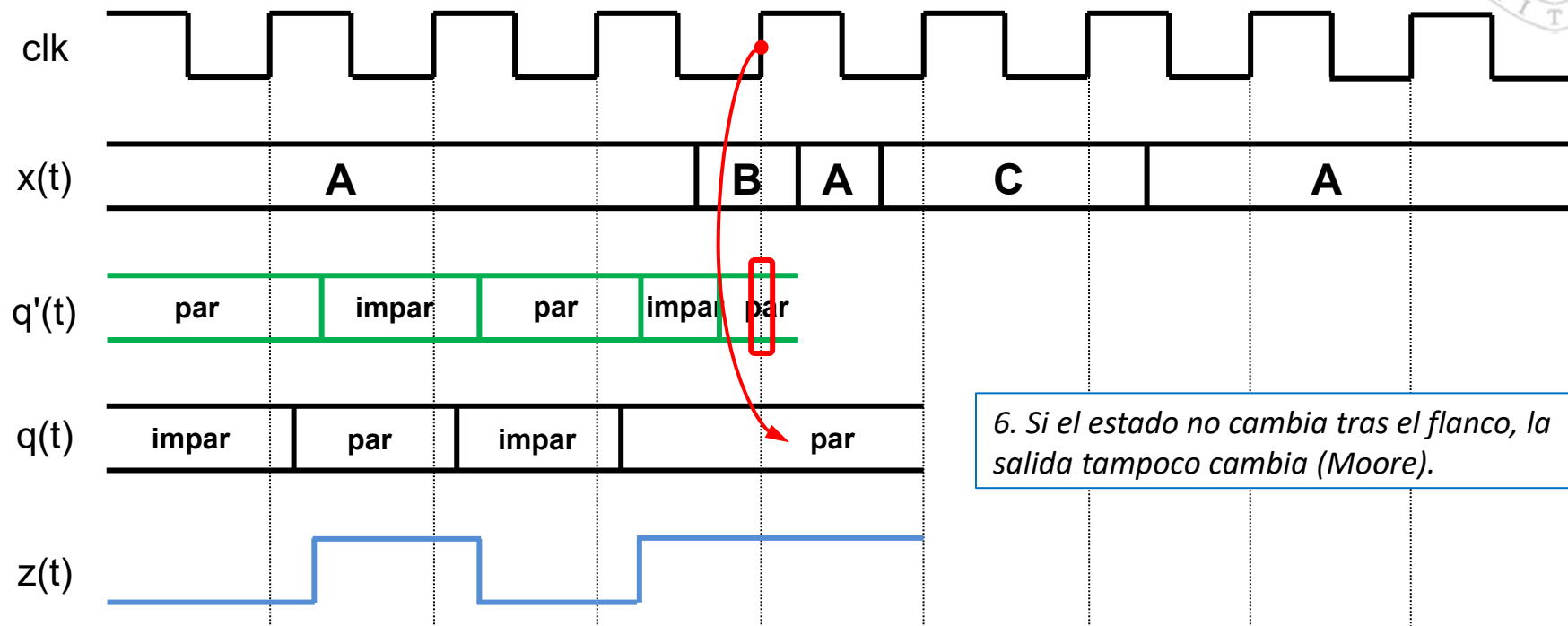
Máquina de Moore

versión 2021

tema 3:
Sistemas secuenciales

FC

45



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



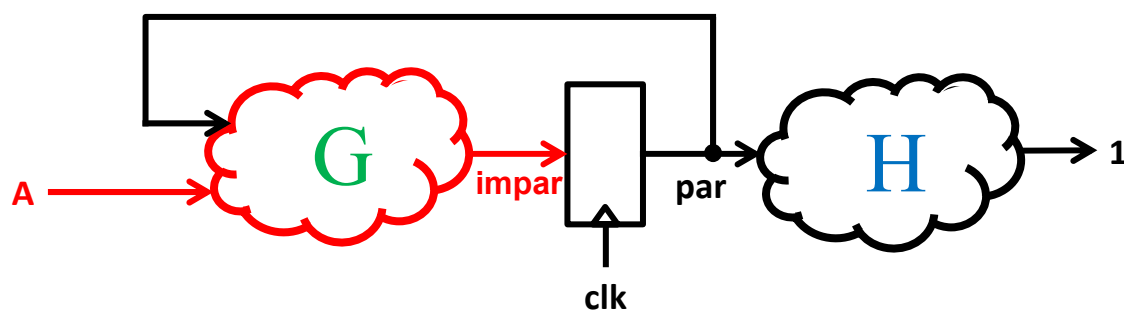
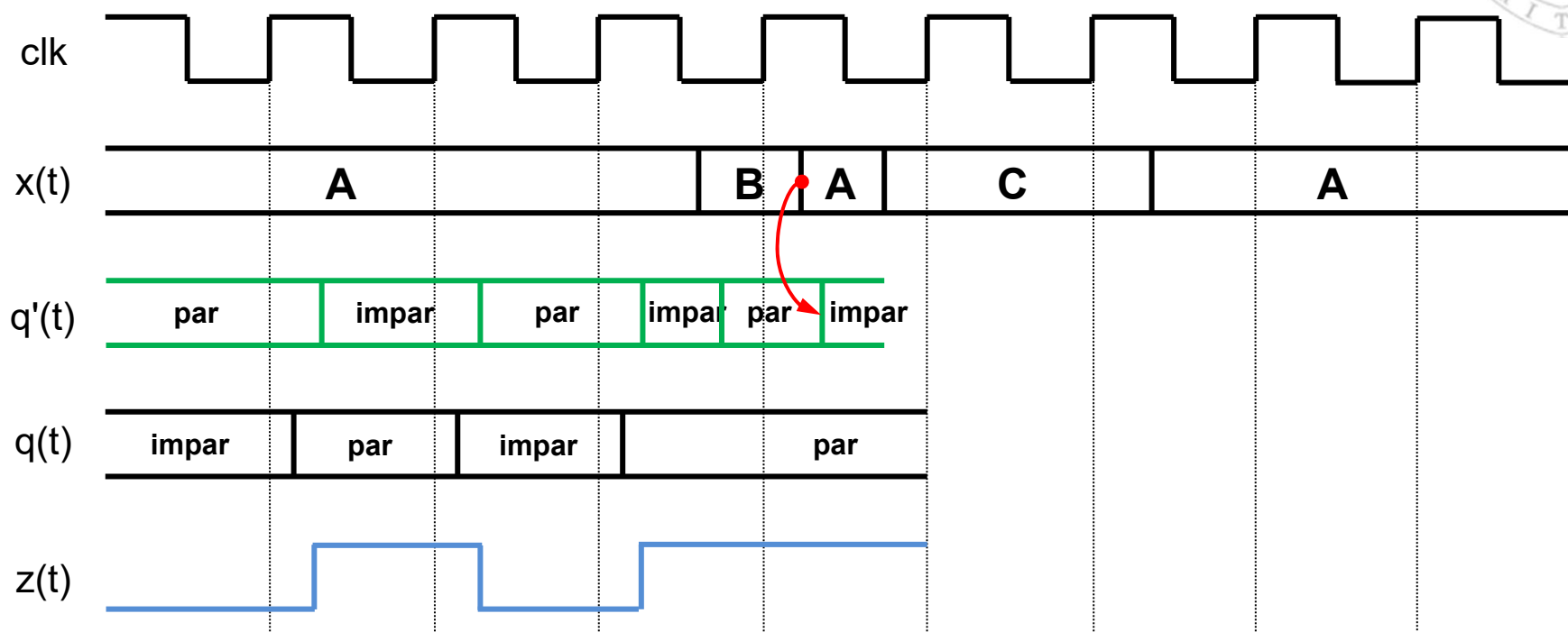
Máquina de Moore

versión 2021

tema 3:
Sistemas secuenciales

FC

46



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



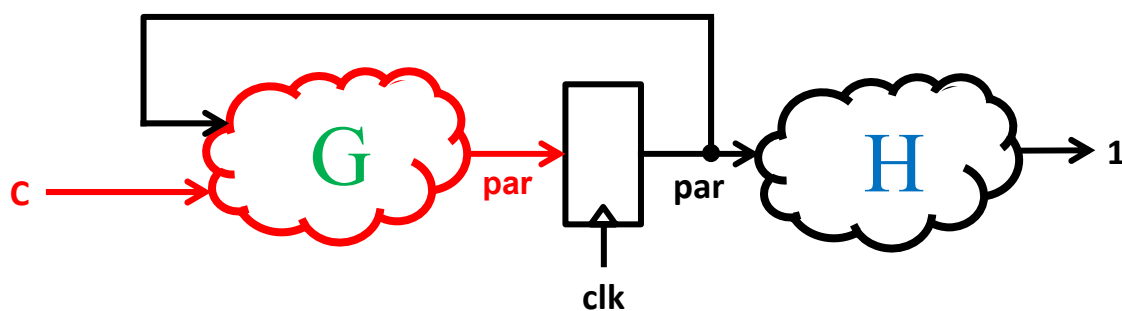
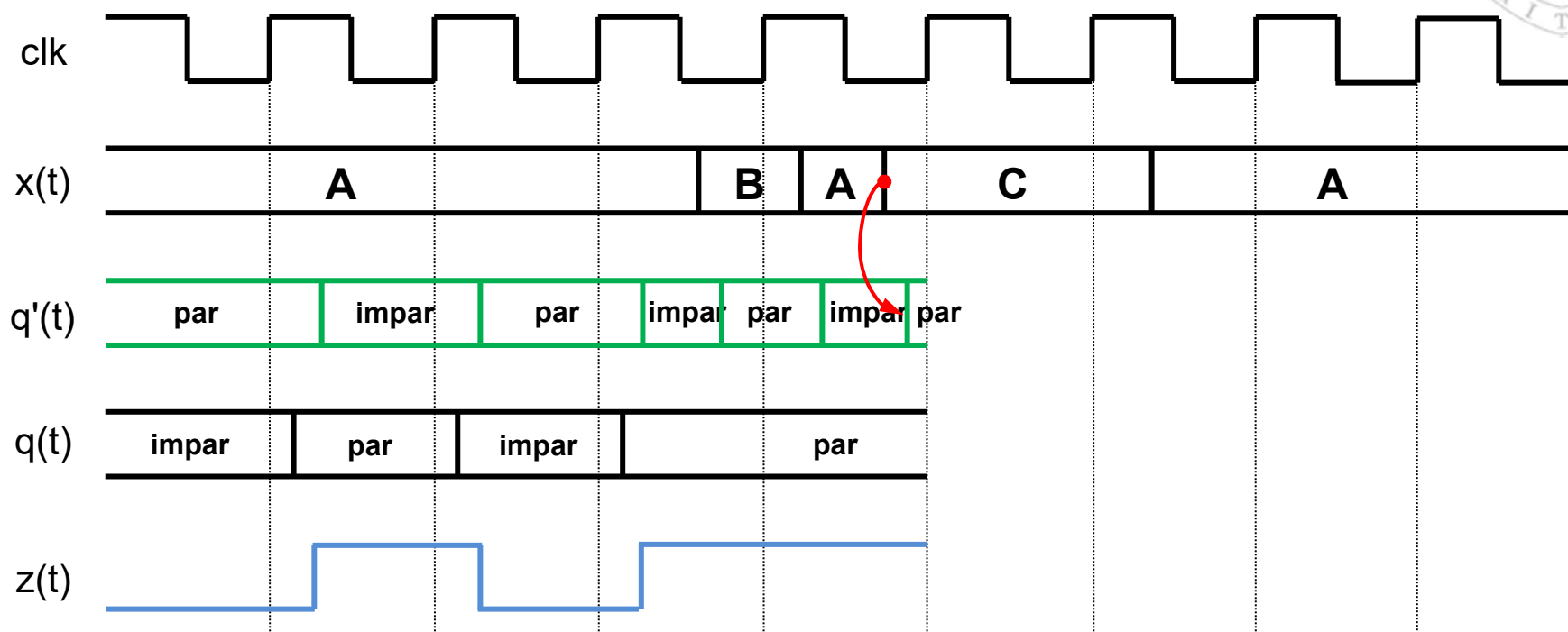
Máquina de Moore

versión 2021

tema 3:
Sistemas secuenciales

FC

47



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



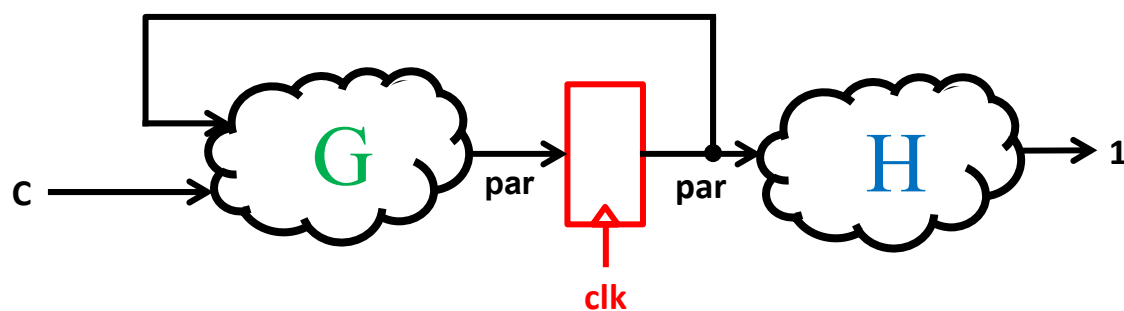
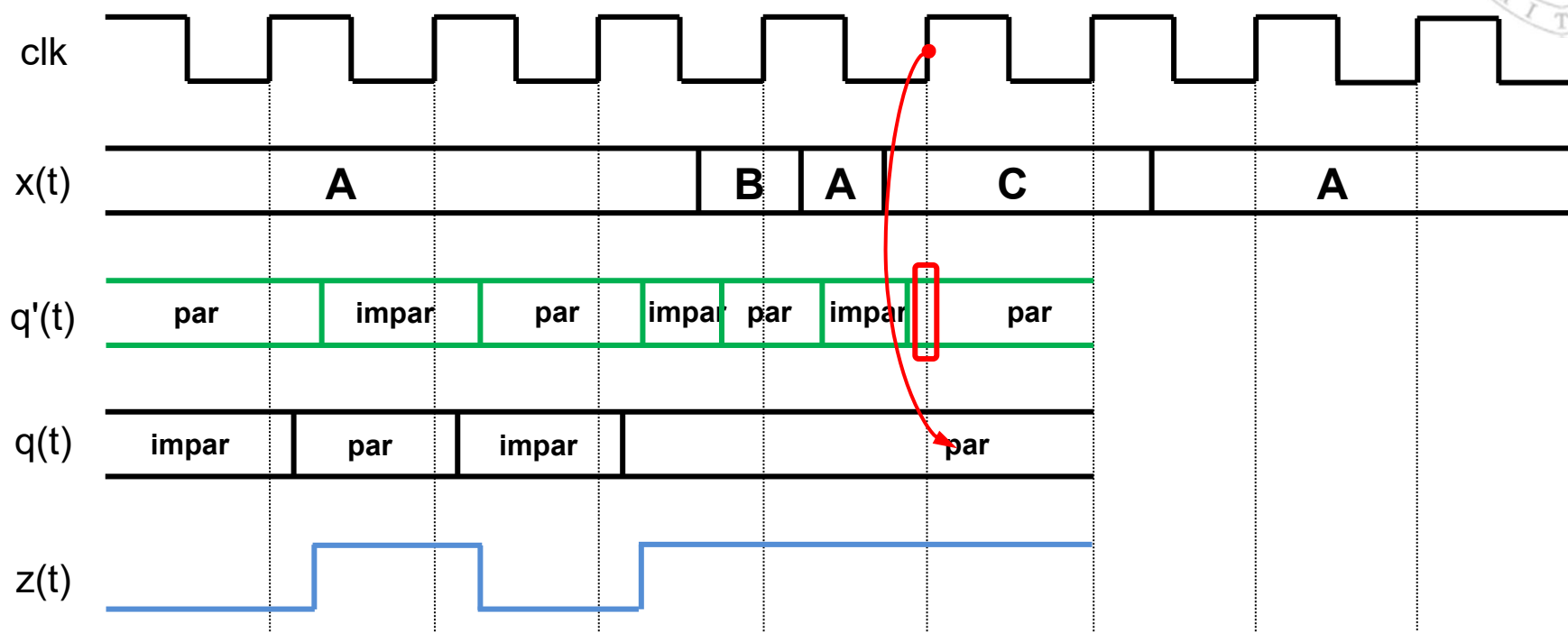
Máquina de Moore

versión 2021

tema 3:
Sistemas secuenciales

FC

48



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



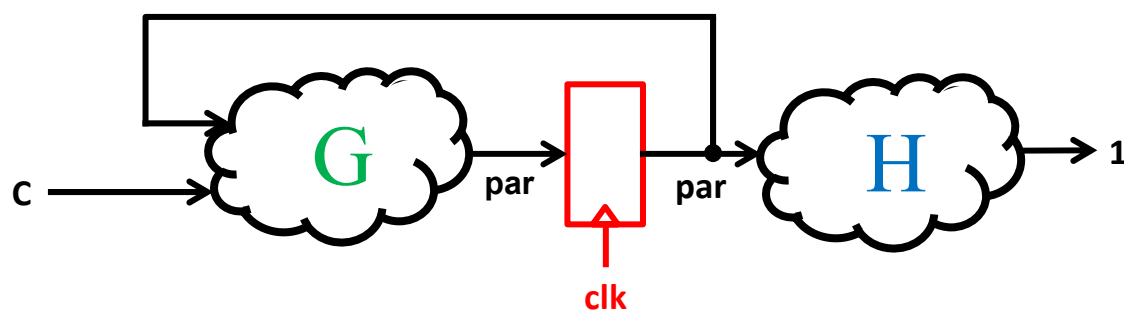
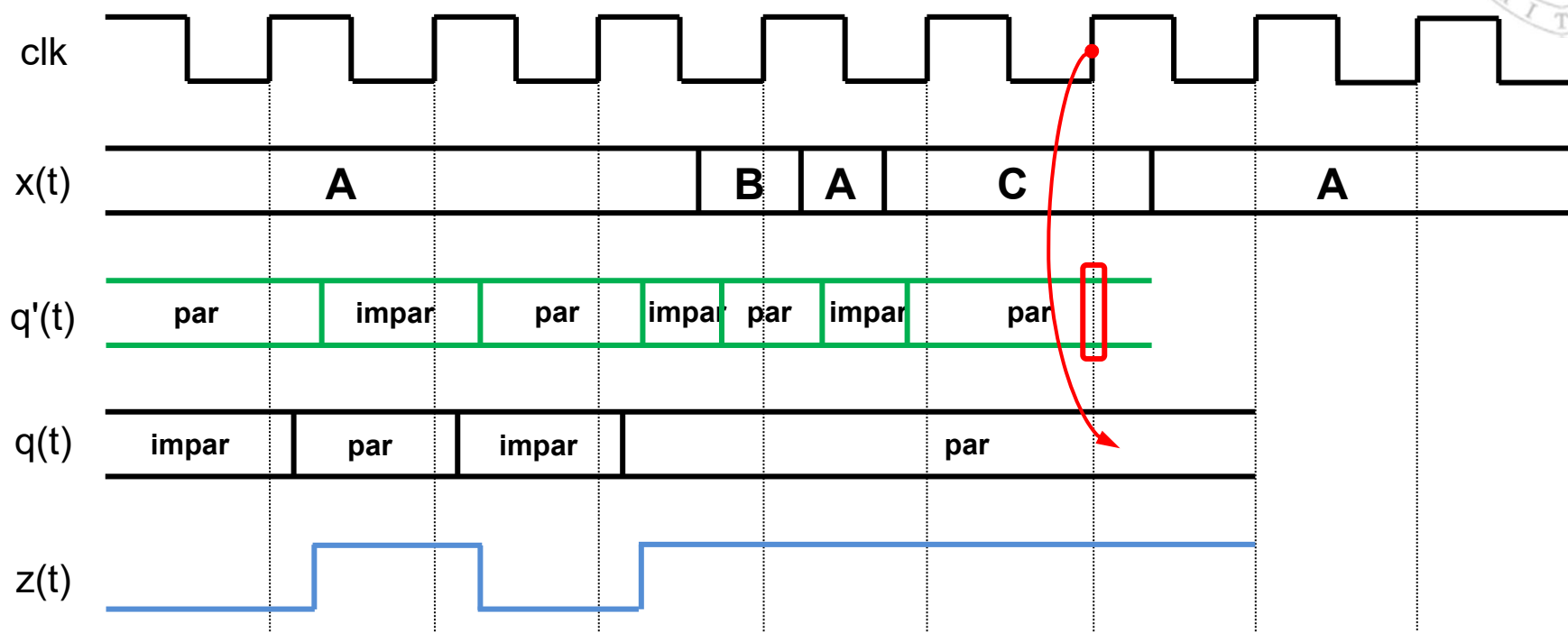
Máquina de Moore

versión 2021

tema 3:
Sistemas secuenciales

FC

49



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



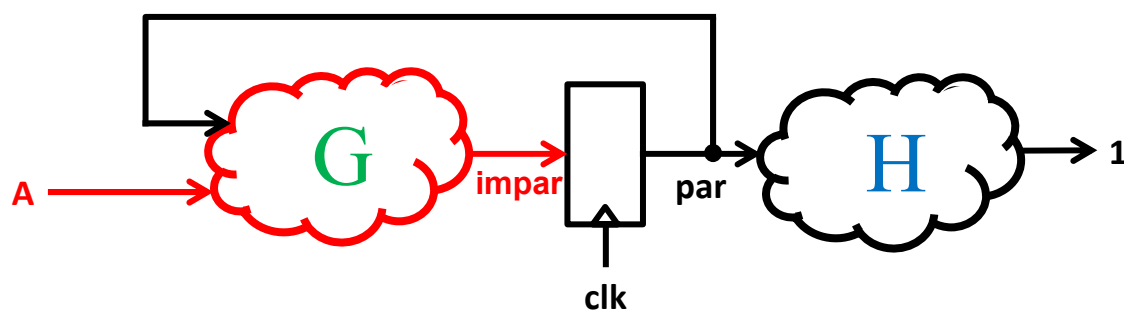
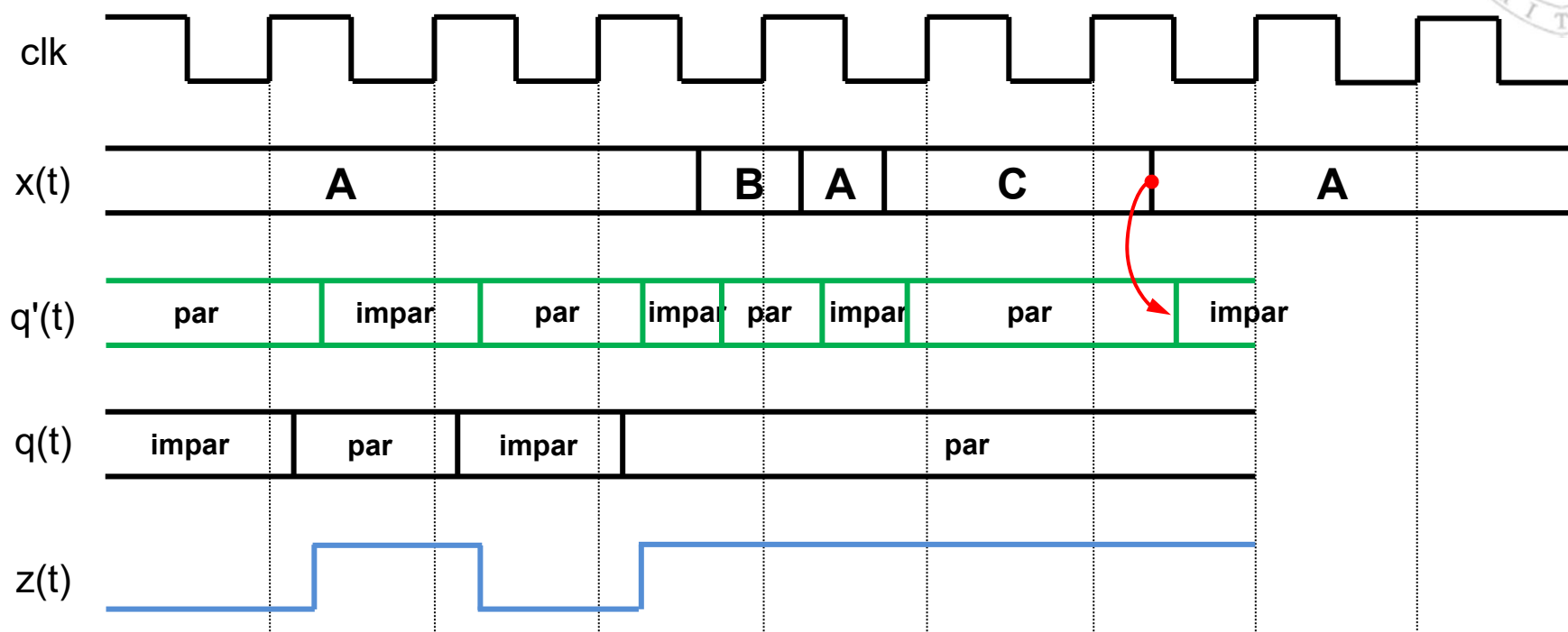
Máquina de Moore

versión 2021

tema 3:
Sistemas secuenciales

FC

50



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



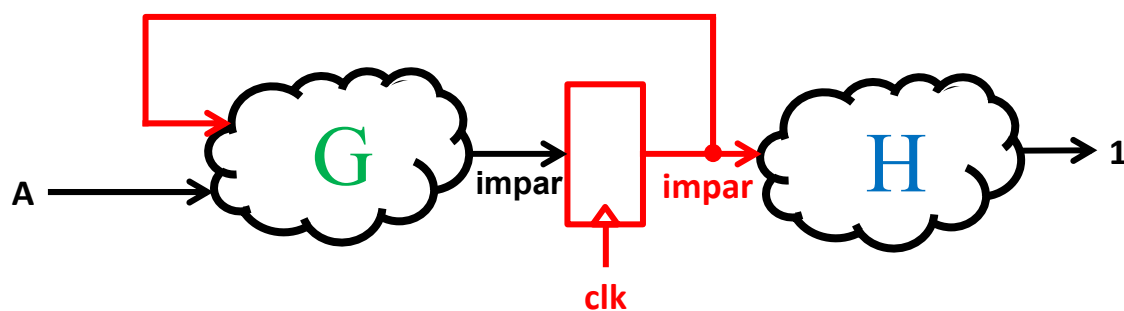
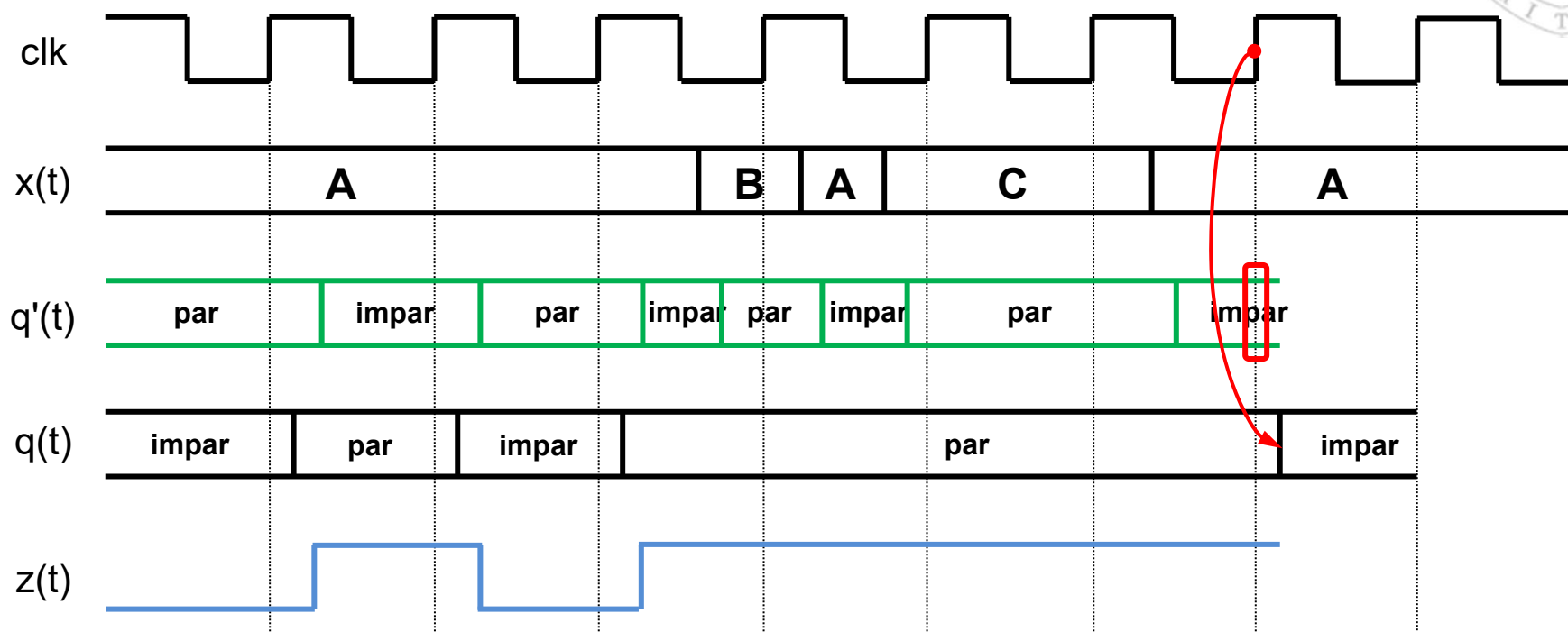
Máquina de Moore

versión 2021

tema 3:
Sistemas secuenciales

FC

51



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



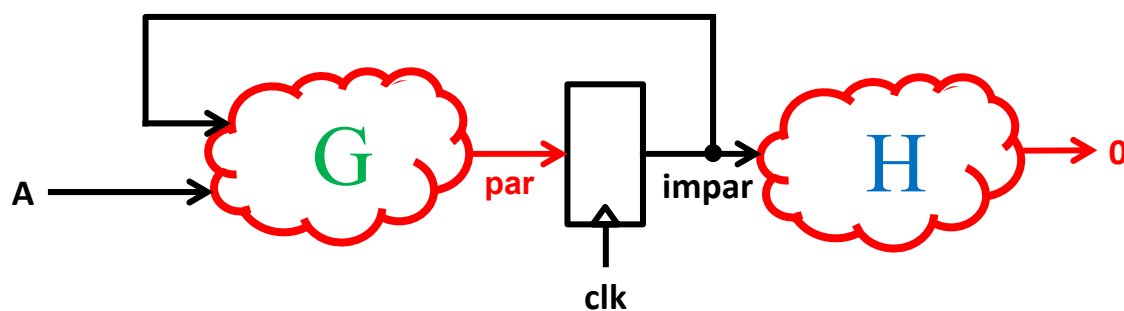
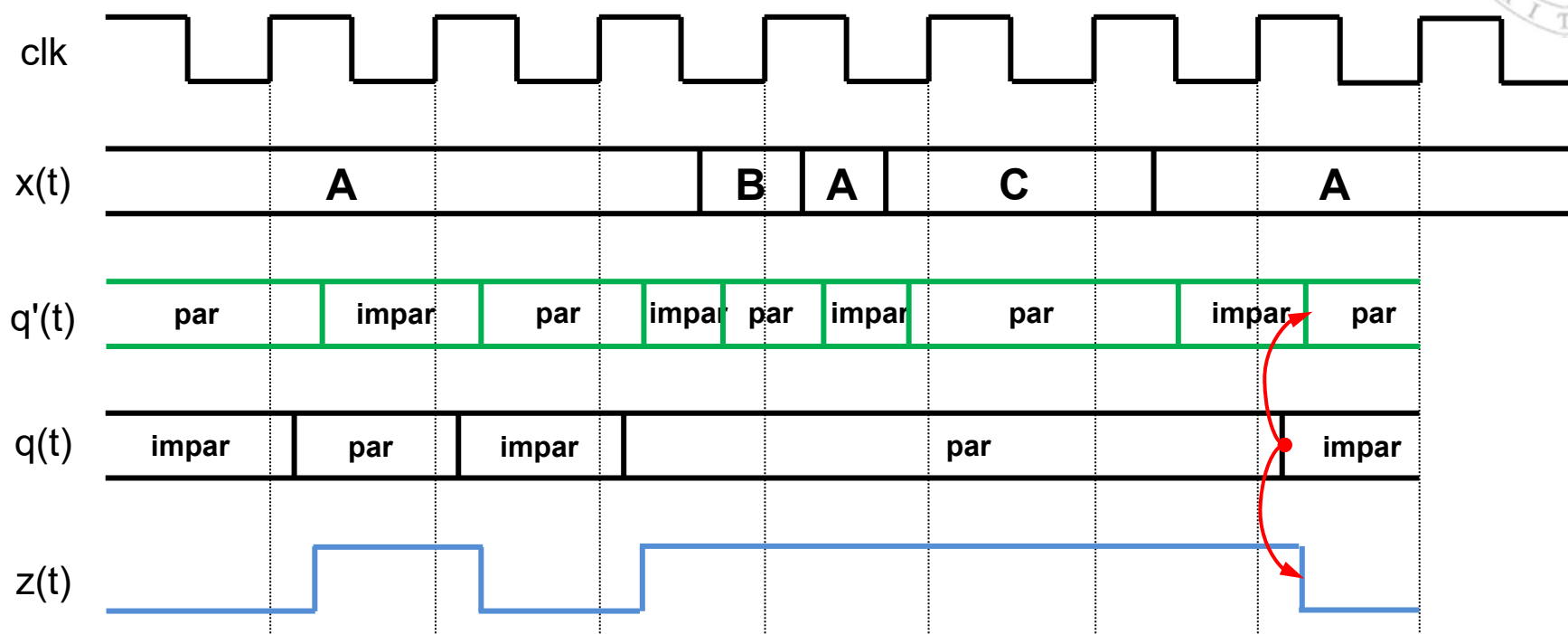
Máquina de Moore

versión 2021

tema 3:
Sistemas secuenciales

FC

52



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



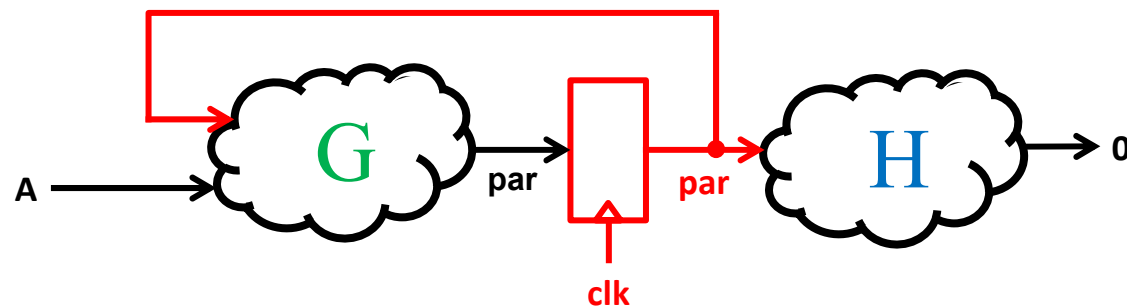
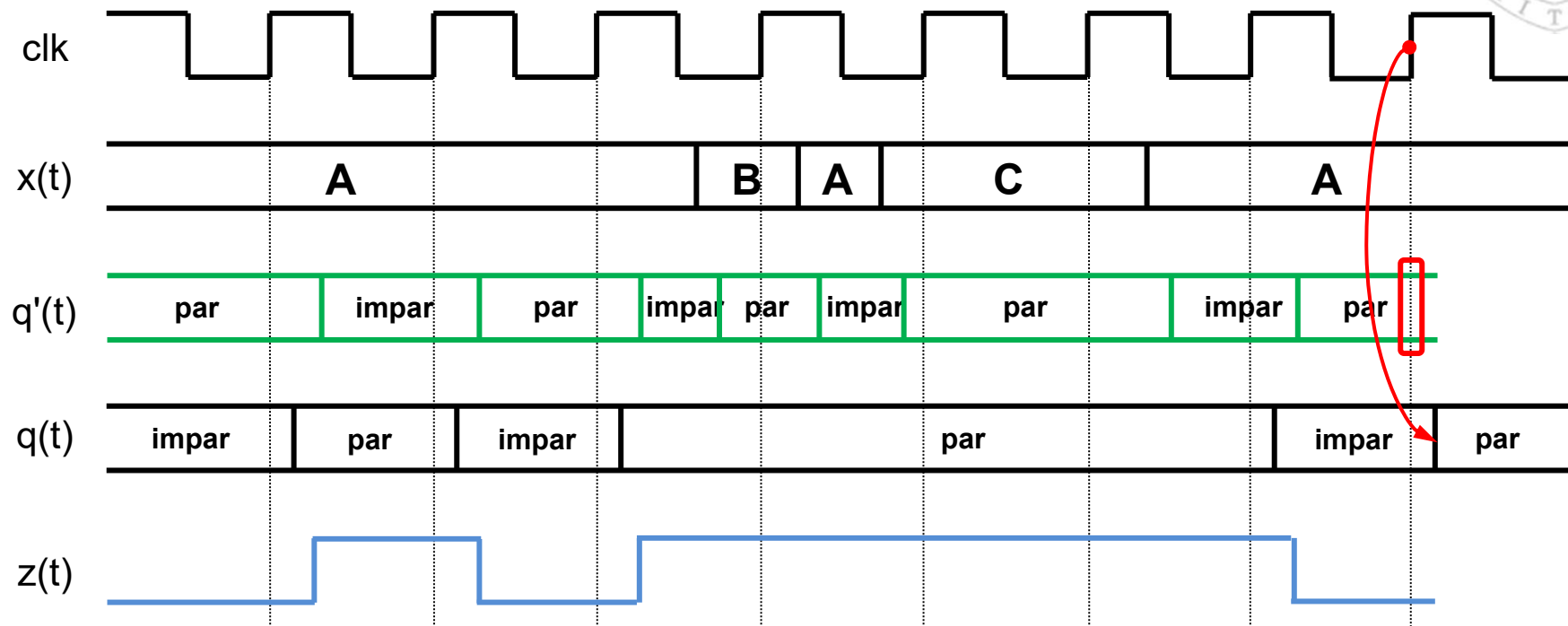
Máquina de Moore

versión 2021

tema 3:
Sistemas secuenciales

FC

53



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



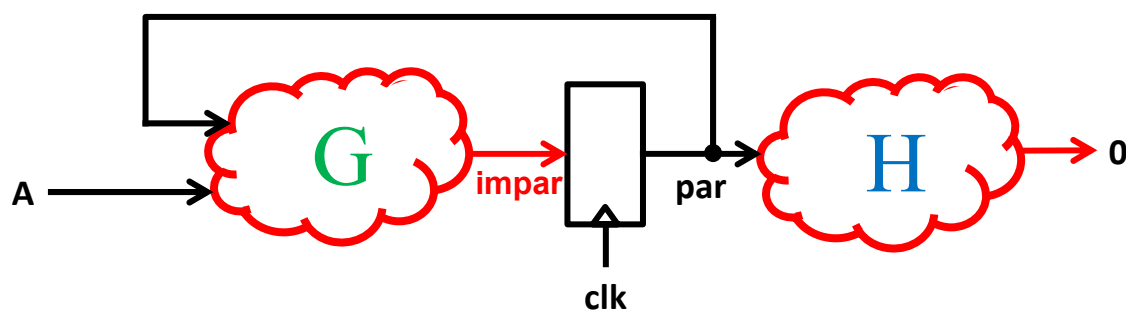
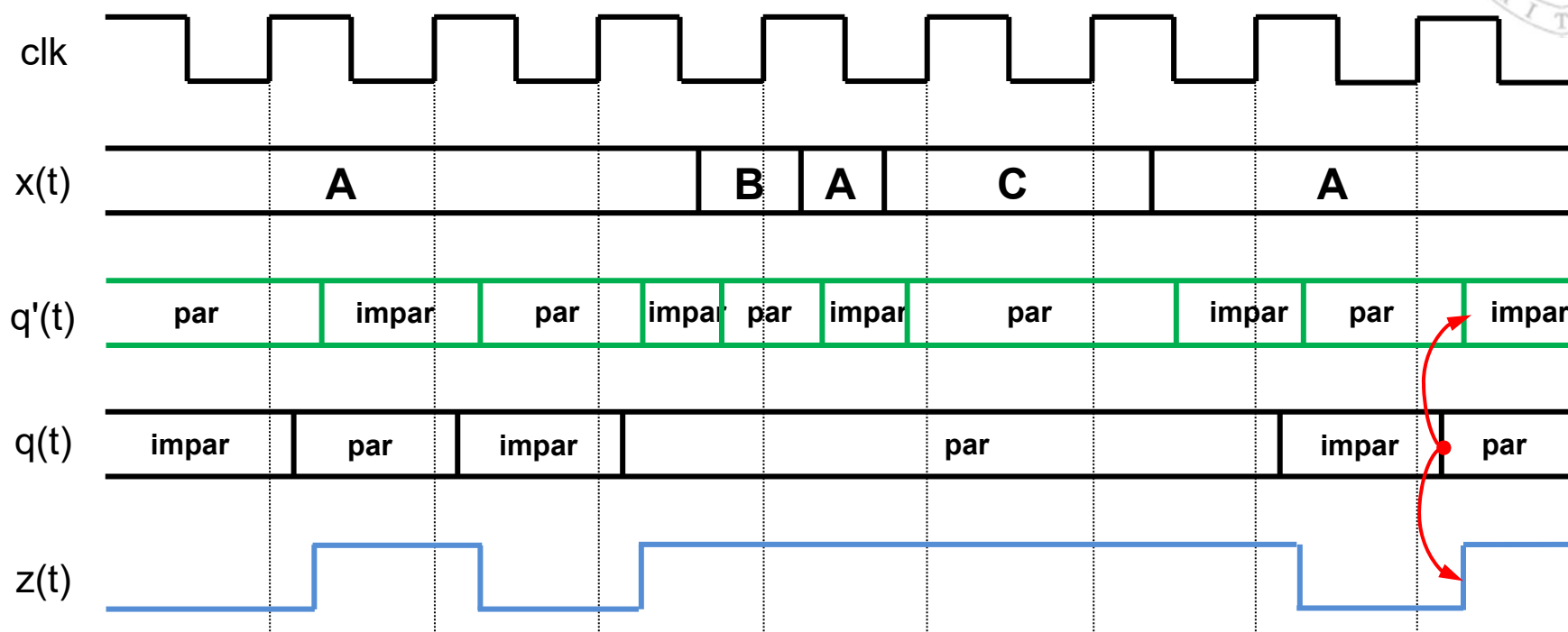
Máquina de Moore

versión 2021

tema 3:
Sistemas secuenciales

FC

54



q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



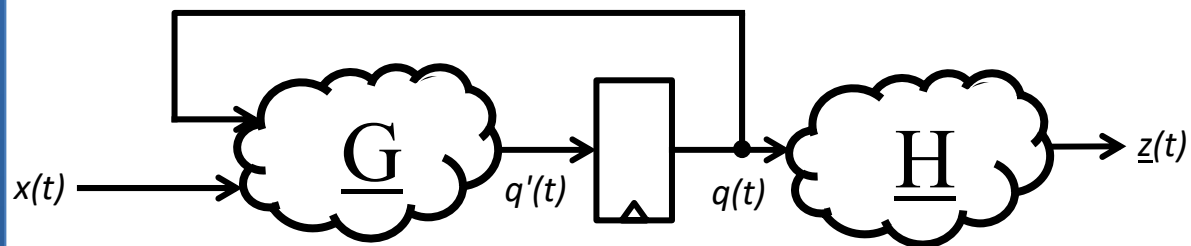
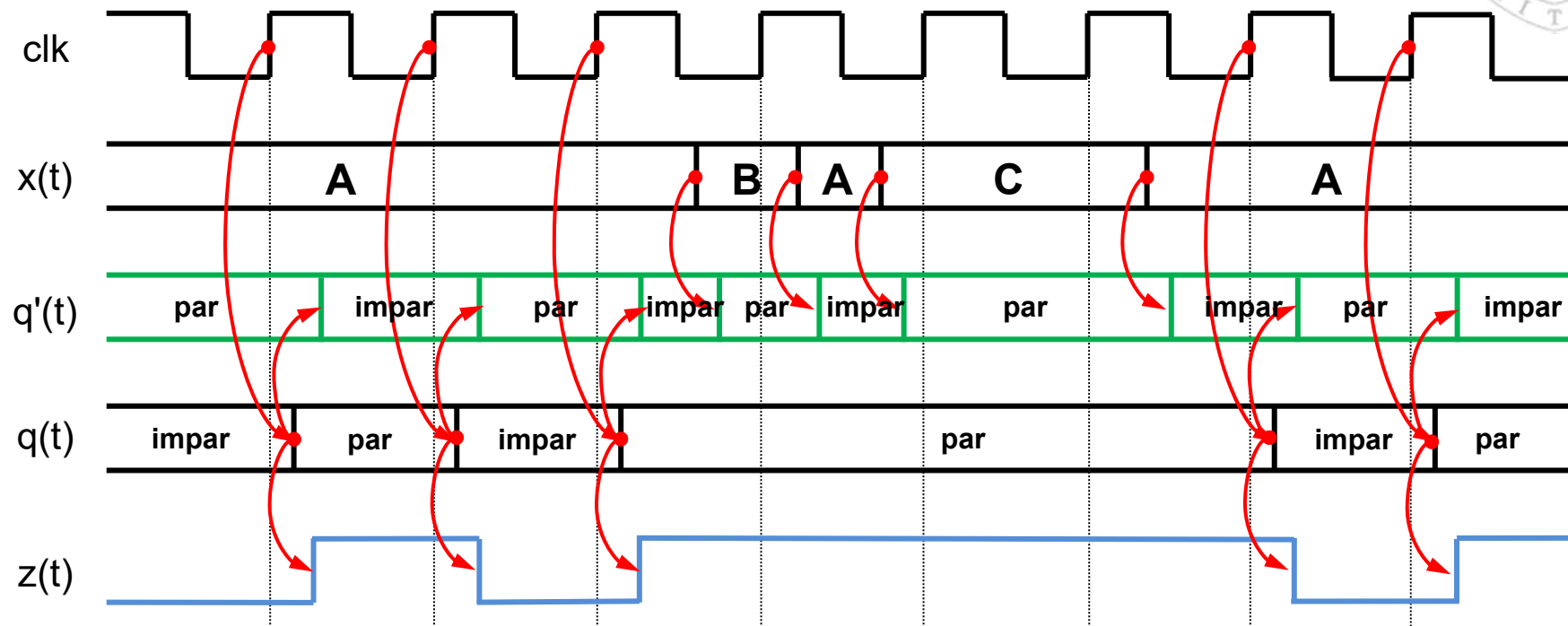
Máquina de Moore

versión 2021

tema 3:
Sistemas secuenciales

FC

55

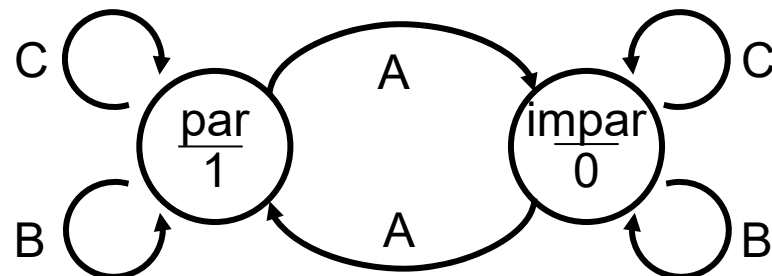
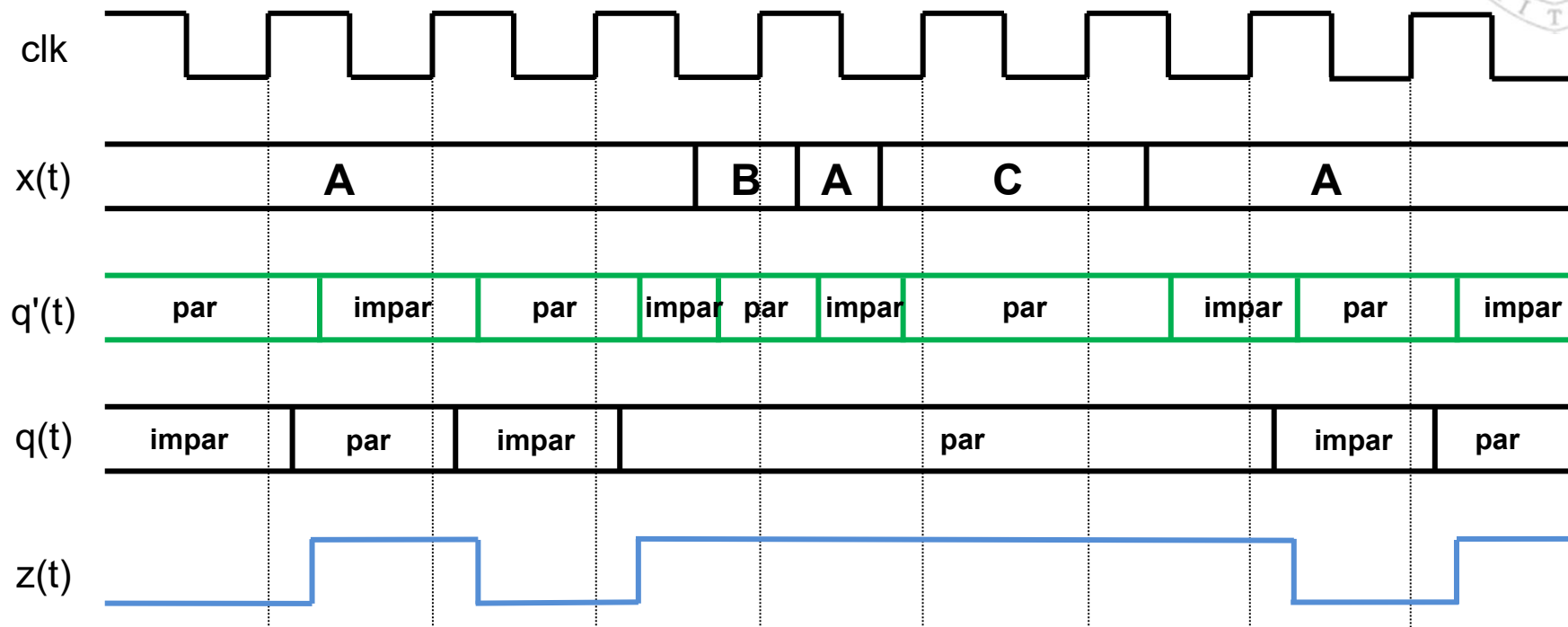


q	x	q'
par	A	impar
par	B	par
par	C	par
impar	A	par
impar	B	impar
impar	C	impar

q	z
par	1
impar	0



Máquina de Moore





Ejemplo: Reconocedor del patrón "abb"

$$z(t) = \begin{cases} \text{SI} & \text{si } x(t-3)=a \text{ y } x(t-2)=b \text{ y } x(t-1)=b \\ \text{NO} & \text{en caso contrario} \end{cases}$$

Máquina de Moore



Reconocedor del patrón "abb"

$$z(t) = \begin{cases} \text{SI} & \text{si } x(t-3)=a \text{ y } x(t-2)=b \text{ y } x(t-1)=b \\ \text{NO} & \text{en caso contrario} \end{cases}$$

Máquina de Moore

- **Estado S0**: no ha llegado ningún elemento del patrón



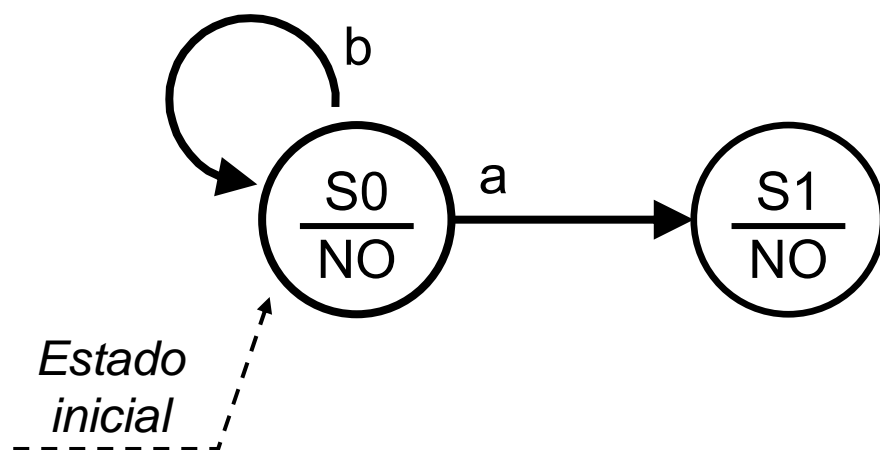


Reconocedor del patrón "abb"

$$z(t) = \begin{cases} \text{SI} & \text{si } x(t-3)=a \text{ y } x(t-2)=b \text{ y } x(t-1)=b \\ \text{NO} & \text{en caso contrario} \end{cases}$$

Máquina de Moore

- **Estado S0**: no ha llegado ningún elemento del patrón
- **Estado S1**: ha llegado el subpatrón "a"



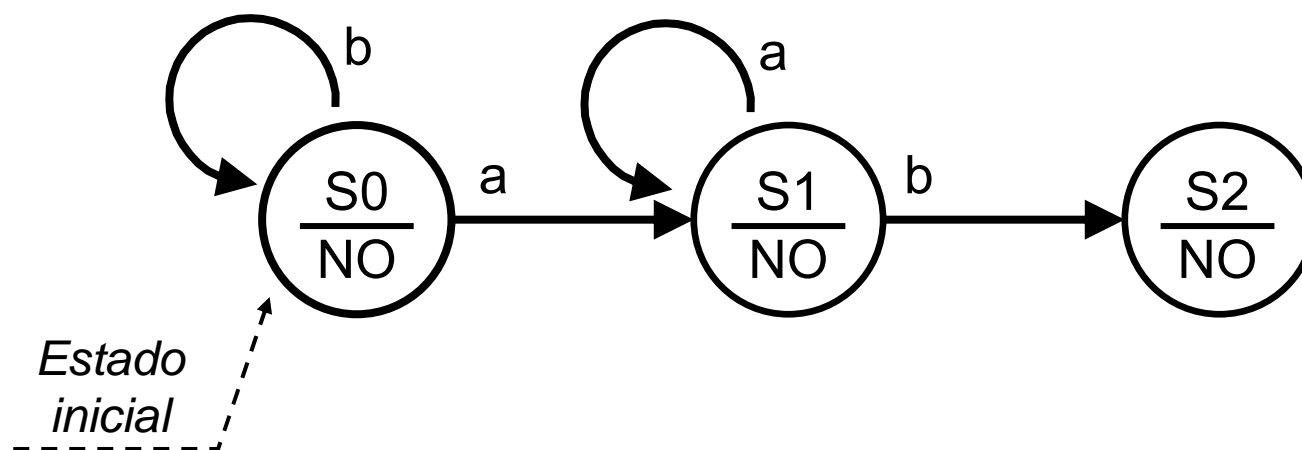


Reconocedor del patrón "abb"

$$z(t) = \begin{cases} \text{SI} & \text{si } x(t-3)=a \text{ y } x(t-2)=b \text{ y } x(t-1)=b \\ \text{NO} & \text{en caso contrario} \end{cases}$$

Máquina de Moore

- Estado S0: no ha llegado ningún elemento del patrón
- Estado S1: ha llegado el subpatrón "a"
- Estado S2: ha llegado el subpatrón "ab"



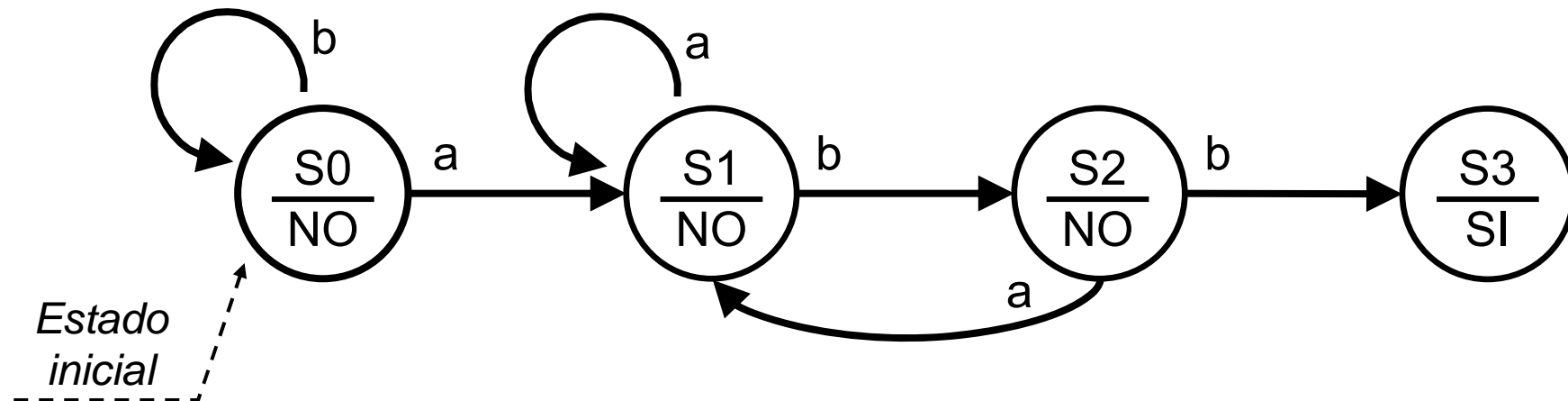


Reconocedor del patrón "abb"

$$z(t) = \begin{cases} \text{SI} & \text{si } x(t-3)=a \text{ y } x(t-2)=b \text{ y } x(t-1)=b \\ \text{NO} & \text{en caso contrario} \end{cases}$$

Máquina de Moore

- Estado S0: no ha llegado ningún elemento del patrón
- Estado S1: ha llegado el subpatrón "a"
- Estado S2: ha llegado el subpatrón "ab"
- Estado S3: ha llegado el patrón "abb"



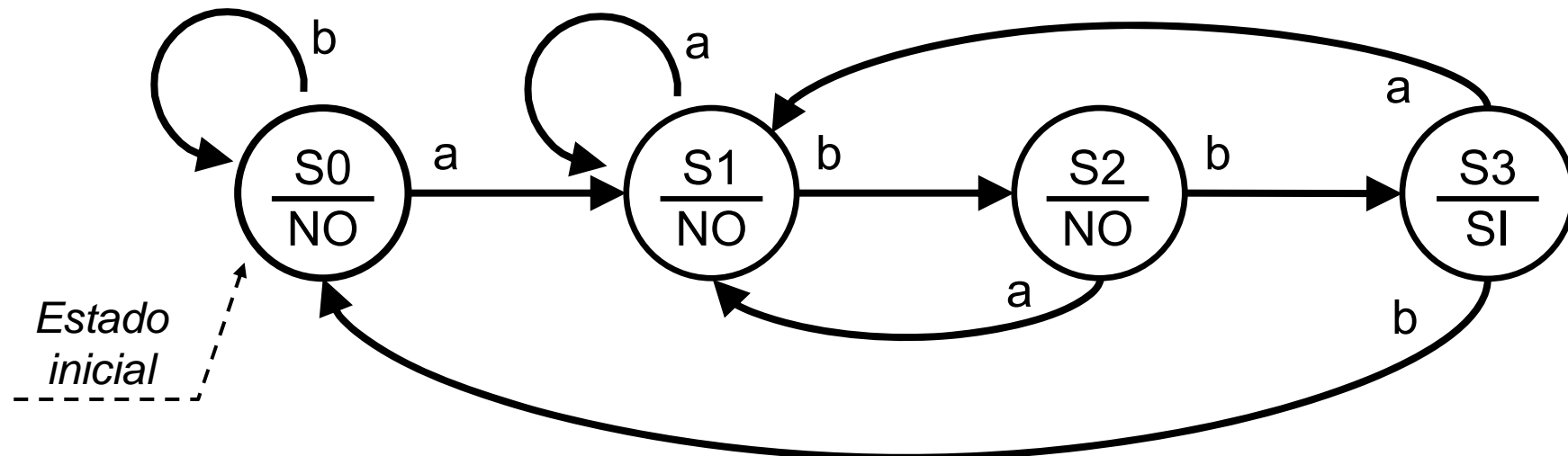


Reconocedor del patrón "abb"

$$z(t) = \begin{cases} \text{SI} & \text{si } x(t-3)=a \text{ y } x(t-2)=b \text{ y } x(t-1)=b \\ \text{NO} & \text{en caso contrario} \end{cases}$$

Máquina de Moore

- Estado S0: no ha llegado ningún elemento del patrón
- Estado S1: ha llegado el subpatrón "a"
- Estado S2: ha llegado el subpatrón "ab"
- Estado S3: ha llegado el patrón "abb"





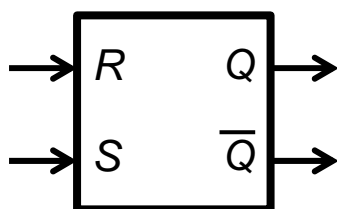
Contenidos

- ✓ Especificación basada en estados.
- ✓ Diagrama de estados.
- ✓ Máquinas de Moore y Mealy.
- ✓ **Síntesis con biestables D.**
- ✓ Inicialización de sistemas secuenciales.

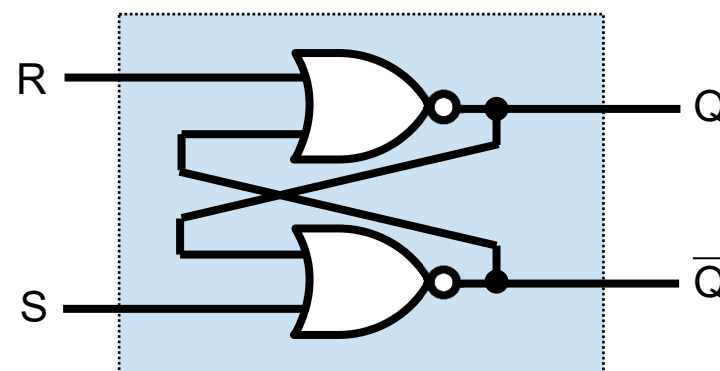


Biastable

- Dispositivo capaz de almacenar físicamente un bit de información (tener 2 estados estables).
 - mediante un circuito combinacional realimentado



R(t)	S(t)	Q(t+Δt)
0	0	Q(t)
0	1	1
1	0	0
1	1	prohibido



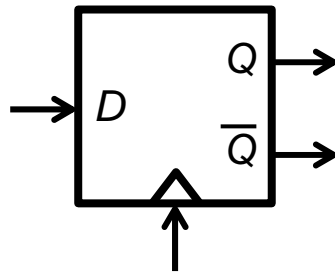
Biastable SR asíncrono



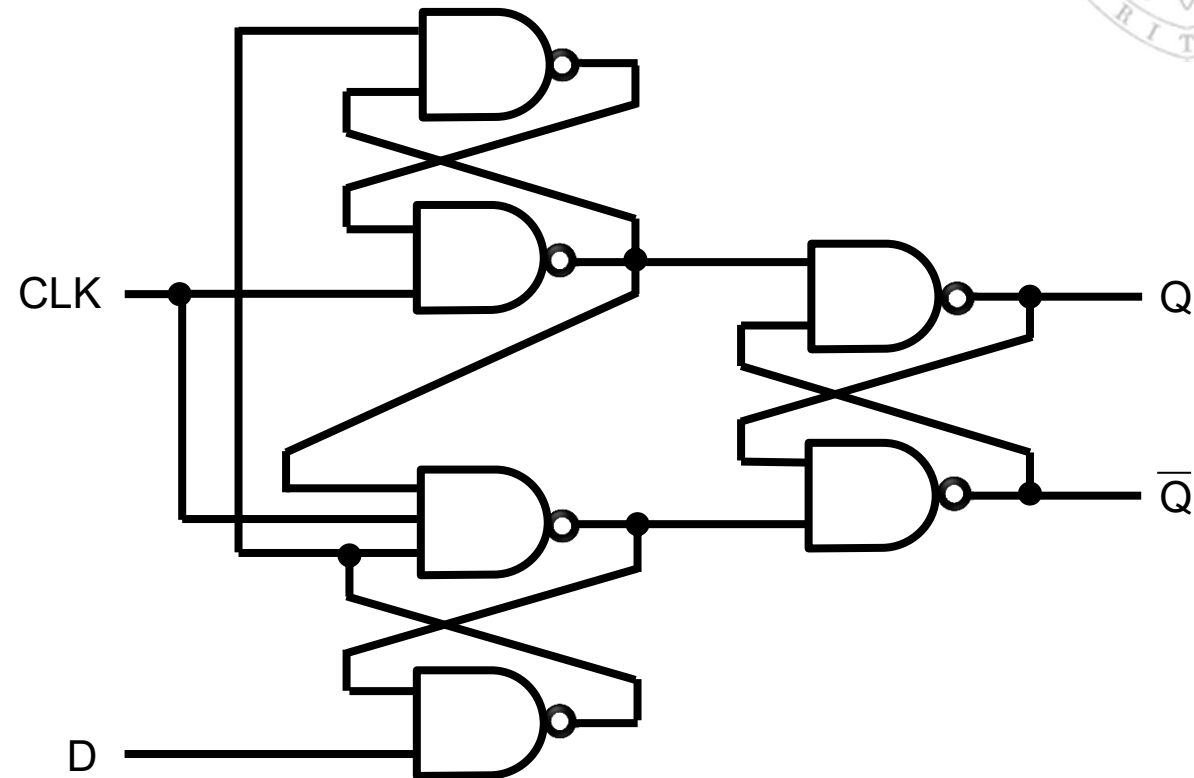
Biastable D síncrono (por flanco)

versión 2021

tema 3:
Sistemas secuenciales



D(t)	CLK	Q(t+1)
0	↑	0
1	↑	1
resto		Q(t)



Biastable D síncrono disparado por flanco de subida
(Flip-flop D, implementación con NAND)



Síntesis con biestables D

- Dada una especificación de una conducta secuencial implementarla como una red de módulos combinacionales y biestables D, en donde:
 - Todos los biestables se conectan a una misma señal de reloj periódica.
 - Todos los biestables se disparan por flancos de subida.
 - Toda realimentación incluye al menos un biestable.
- Implementación canónica: realización directa de un diagrama de estados:
 - El registro de estado se implementa como un array de biestables D disparados por flanco de subida con reloj común.
 - 2 bloques de lógica combinacional implementan las funciones de salida y de transición de estados.

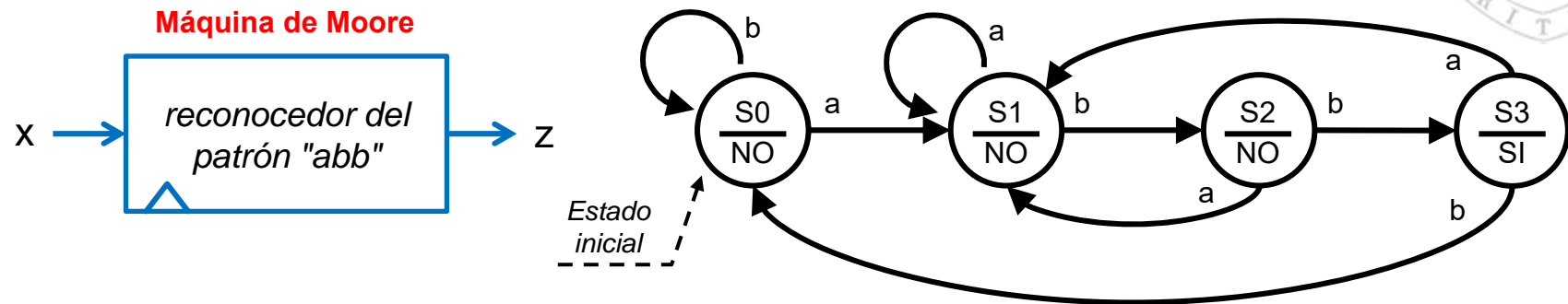


Síntesis con biestables D

- Este método de síntesis sigue un modelo de **temporización síncrona por flanco** de reloj global, en donde:
 - Los cálculos que realiza el sistema se realizan **ciclo a ciclo**.
 - Las **fronteras del ciclo** están marcadas por las transiciones de subida en el reloj común.
 - Al **comienzo del ciclo**, el sistema hace un cambio de estado mediante la **actualización simultánea de todos los biestables**.
 - El **nuevo estado provoca transiciones** en las entradas de los módulos combinacionales que a su vez provocarán transiciones en sus salidas.
 - El cálculo a realizar en el ciclo finaliza cuando todos los **sistemas combinacionales han alcanzado su régimen permanente**.
 - Los valores permanentes a **la salida de los módulos combinacionales son utilizados para actualizar los biestables** al comienzo del ciclo siguiente.



Síntesis con biestables D



- Codificación entrada: $\{ a \rightarrow 0, b \rightarrow 1 \}$
- Codificación salida: $\{ NO \rightarrow 0, SI \rightarrow 1 \}$
- Codificación estados: $\{ S0 \rightarrow (00), S1 \rightarrow (01), S2 \rightarrow (10), S3 \rightarrow (11) \}$

Función de transición
de estados

x	q_1	q_0	q_1'	q_0'
0	0	0	0	1
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	0
1	0	1	1	0
1	1	0	1	1
1	1	1	0	0

Función de salida

q_1	q_0	z
0	0	0
0	1	0
1	0	0
1	1	1

$$q_1' = x(q_1 \oplus q_0)$$

$$q_0' = \bar{x} + q_1 \bar{q}_0$$

$$z = q_1 q_0$$



Síntesis con biestables D

versión 2021

tema 3:
Sistemas secuenciales

FC

69

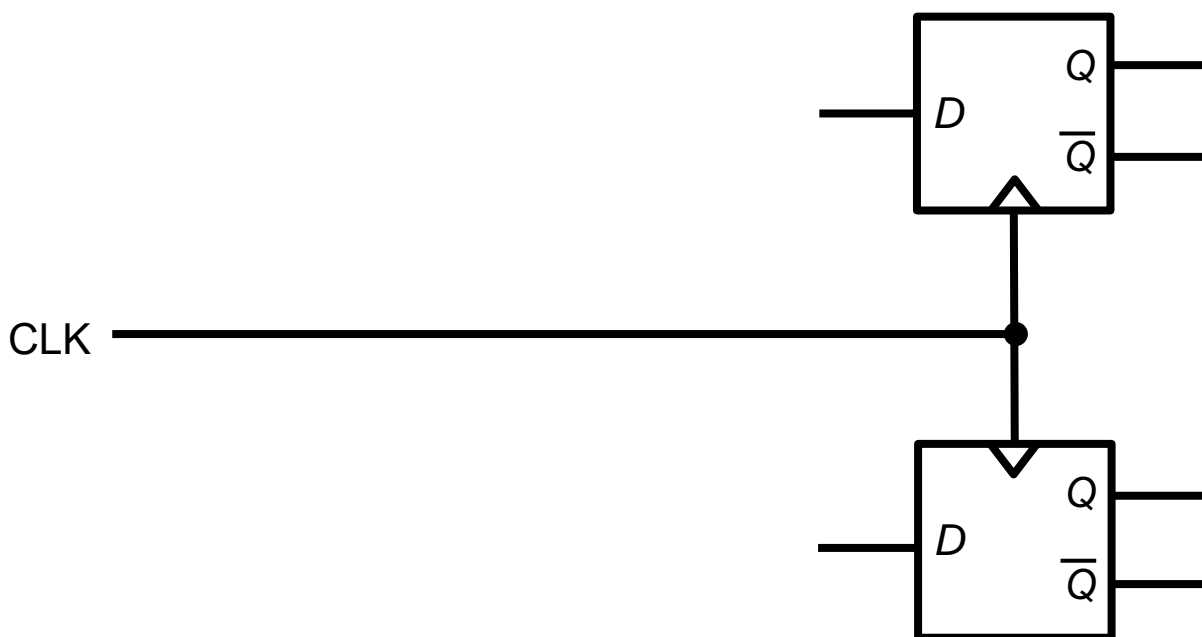
$$q_1' = x(q_1 \oplus q_0)$$

$$q_0' = \bar{x} + q_1\bar{q}_0$$

$$z = q_1q_0$$



Síntesis con biestables D



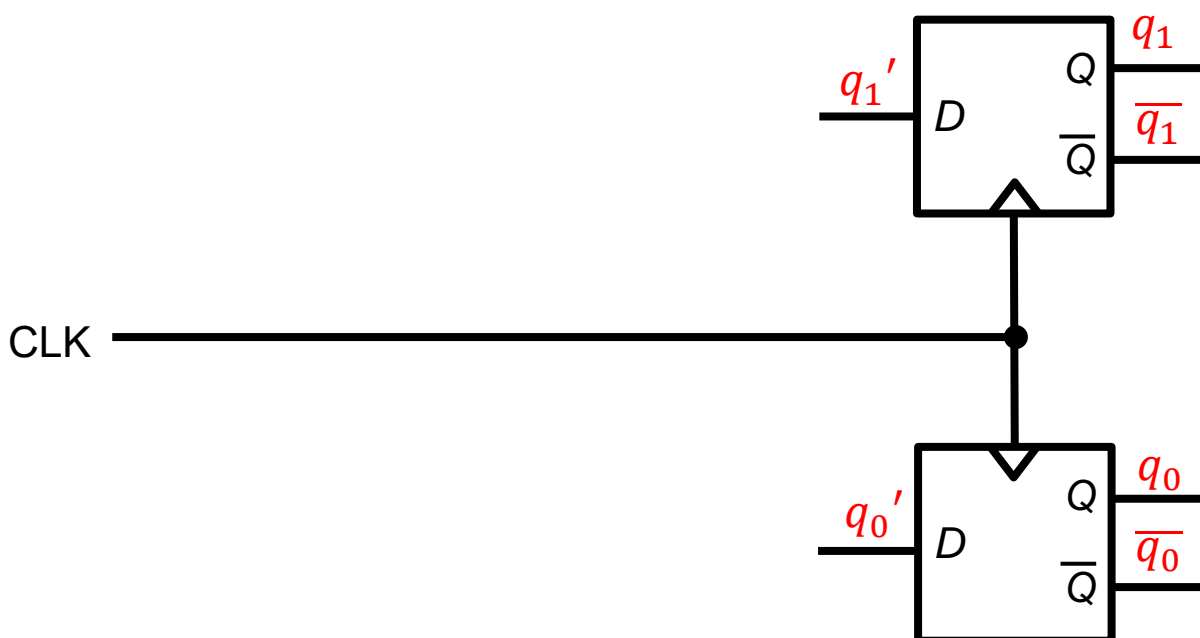
$$q_1' = x(q_1 \oplus q_0)$$

$$q_0' = \bar{x} + q_1 \bar{q}_0$$

$$z = q_1 q_0$$



Síntesis con biestables D



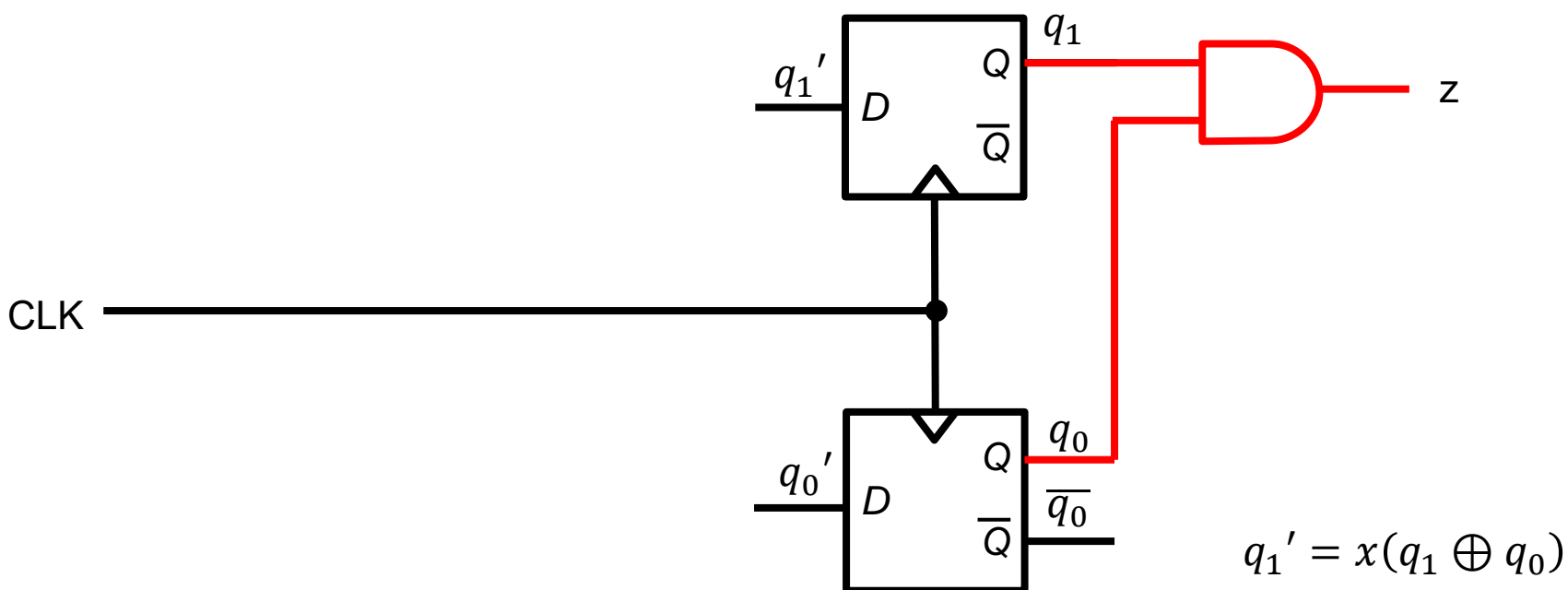
$$q_1' = x(q_1 \oplus q_0)$$

$$q_0' = \bar{x} + q_1 \overline{q_0}$$

$$z = q_1 q_0$$



Síntesis con biestables D

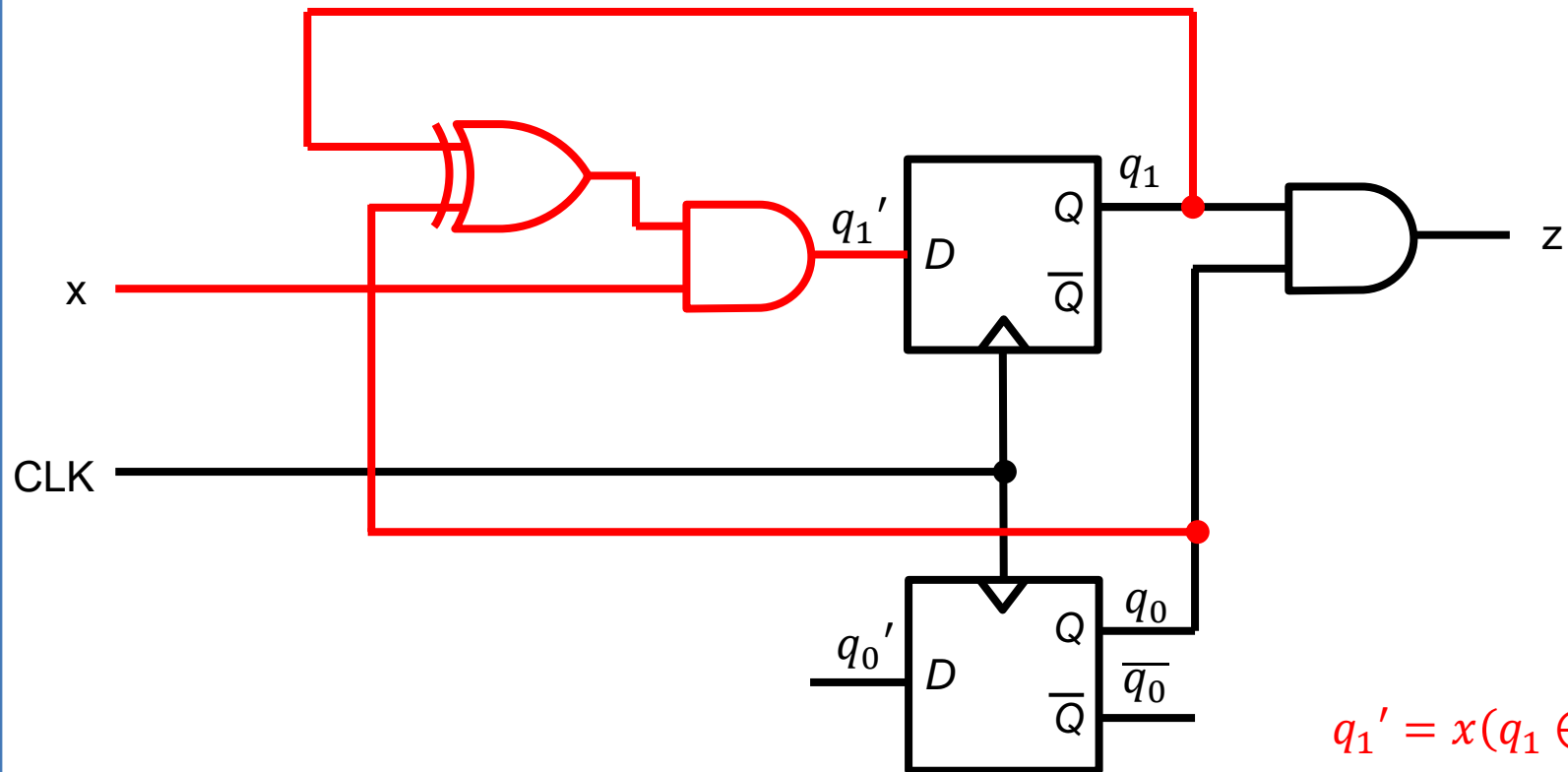


$$q_1' = x(q_1 \oplus q_0)$$

$$q_0' = \bar{x} + q_1 \overline{q_0}$$

$$z = q_1 q_0$$

Síntesis con biestables D



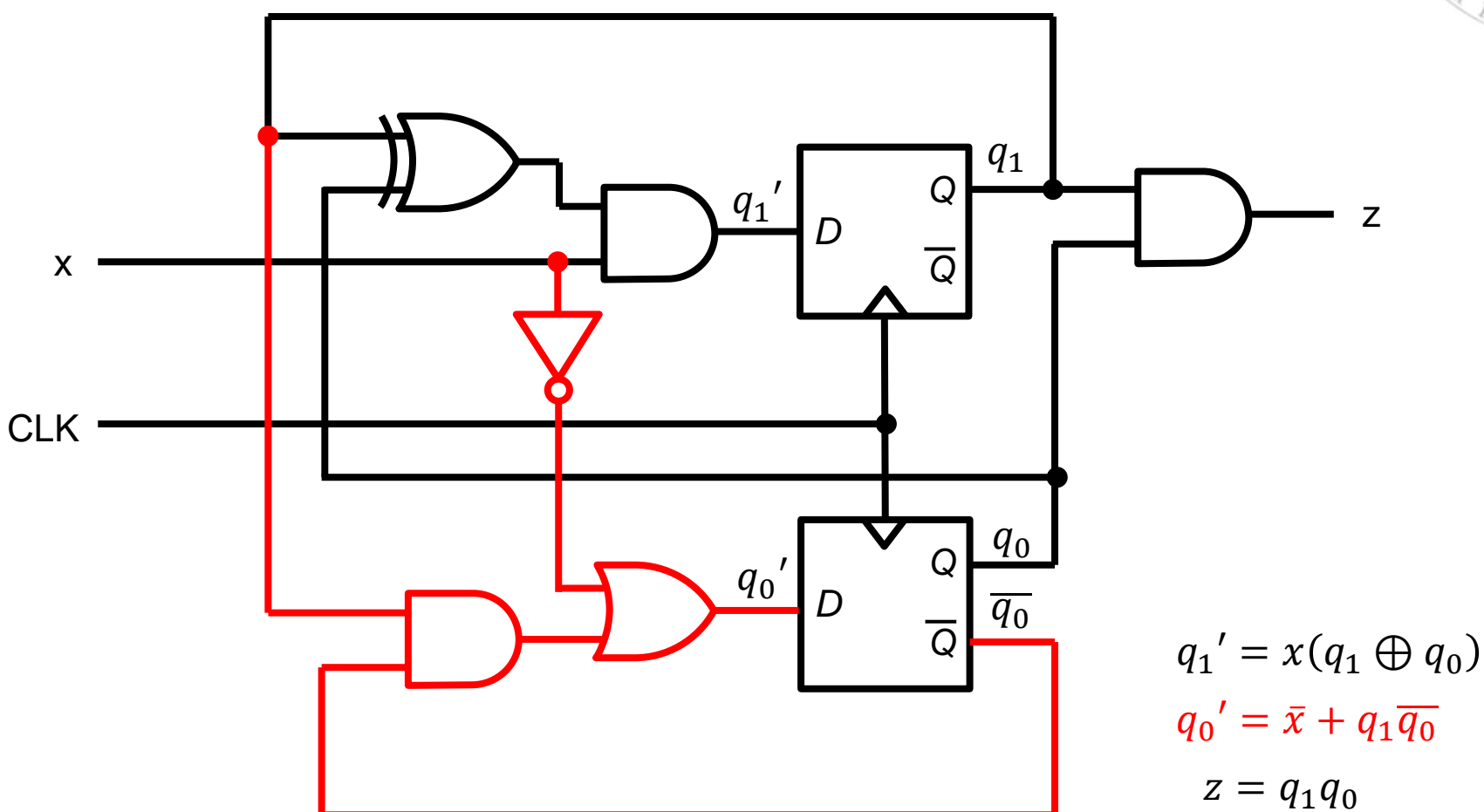
$$q_1' = x(q_1 \oplus q_0)$$

$$q_0' = \bar{x} + q_1 \overline{q_0}$$

$$z = q_1 q_0$$



Síntesis con biestables D





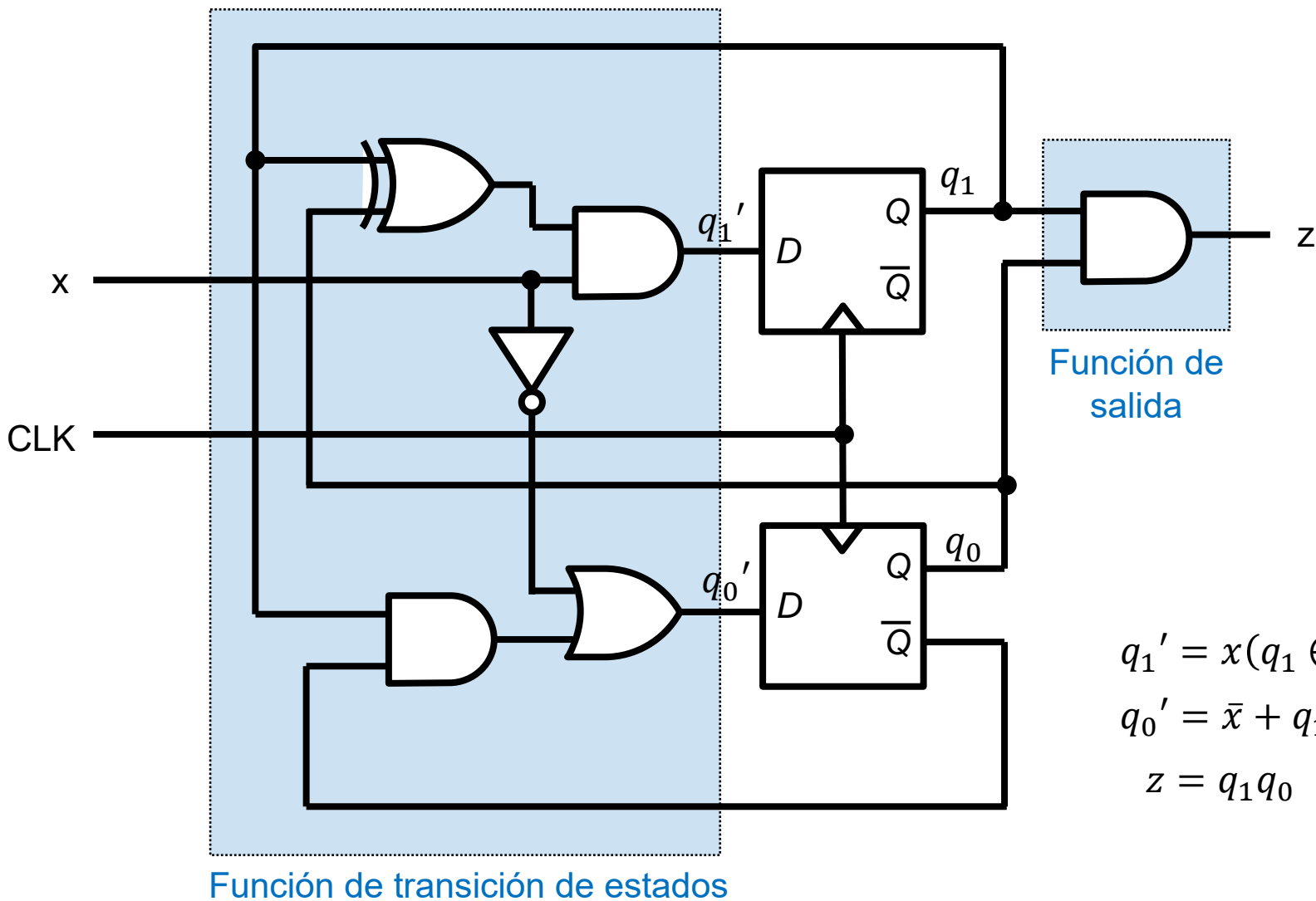
Síntesis con biestables D

versión 2021

tema 3:
Sistemas secuenciales

FC

75





Síntesis con biestables D

- Codificaciones distintas dan lugar a implementaciones diferentes de la misma máquina de estados.
 - Por ello es interesante elegir aquella codificación que reduzca al máximo el coste/retardo de los circuitos de transición y salida.
- Codificación entrada: $\{ a \rightarrow 0, b \rightarrow 1 \}$
- Codificación salida: $\{ \text{NO} \rightarrow 0, \text{SI} \rightarrow 1 \}$
- Codificación estados: $\{ S0 \rightarrow (01), S1 \rightarrow (00), S2 \rightarrow (10), S3 \rightarrow (11) \}$

Función de transición
de estados

x	q ₁	q ₀	q ₁ '	q ₀ '
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	1	0
1	0	1	0	1
1	1	0	1	1
1	1	1	0	1

Función de salida

q ₁	q ₀	z
0	0	0
0	1	0
1	0	0
1	1	1

requiere 2 puertas menos

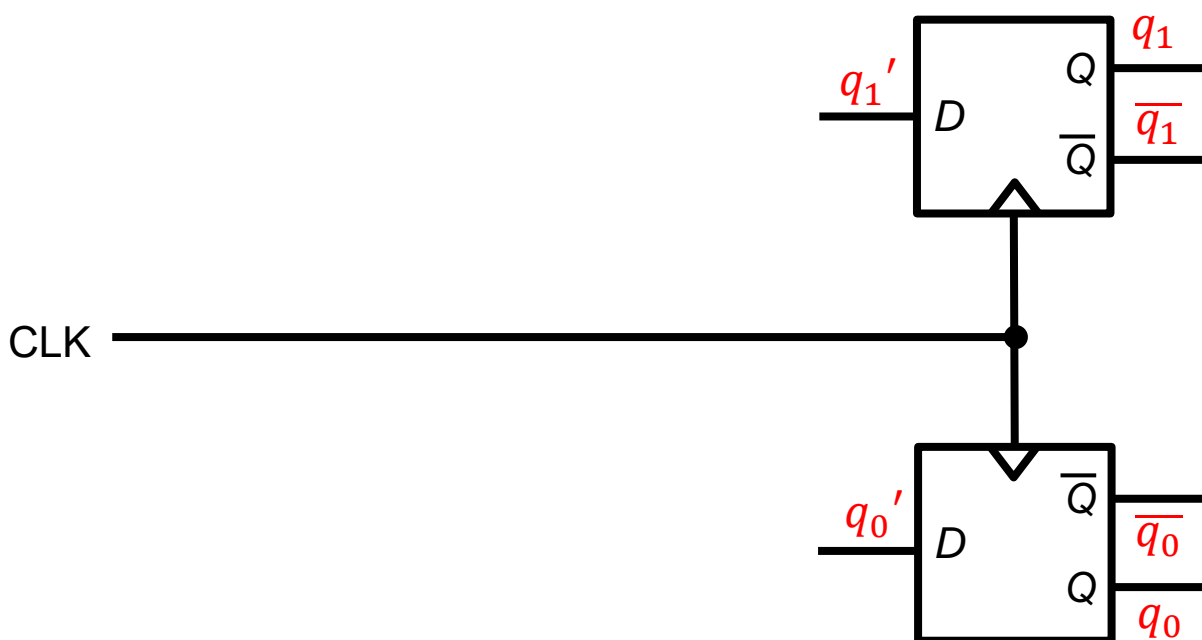
$$q_1' = x\overline{q_0}$$

$$q_0' = x(q_0 + q_1)$$

$$z = q_1q_0$$



Síntesis con biestables D

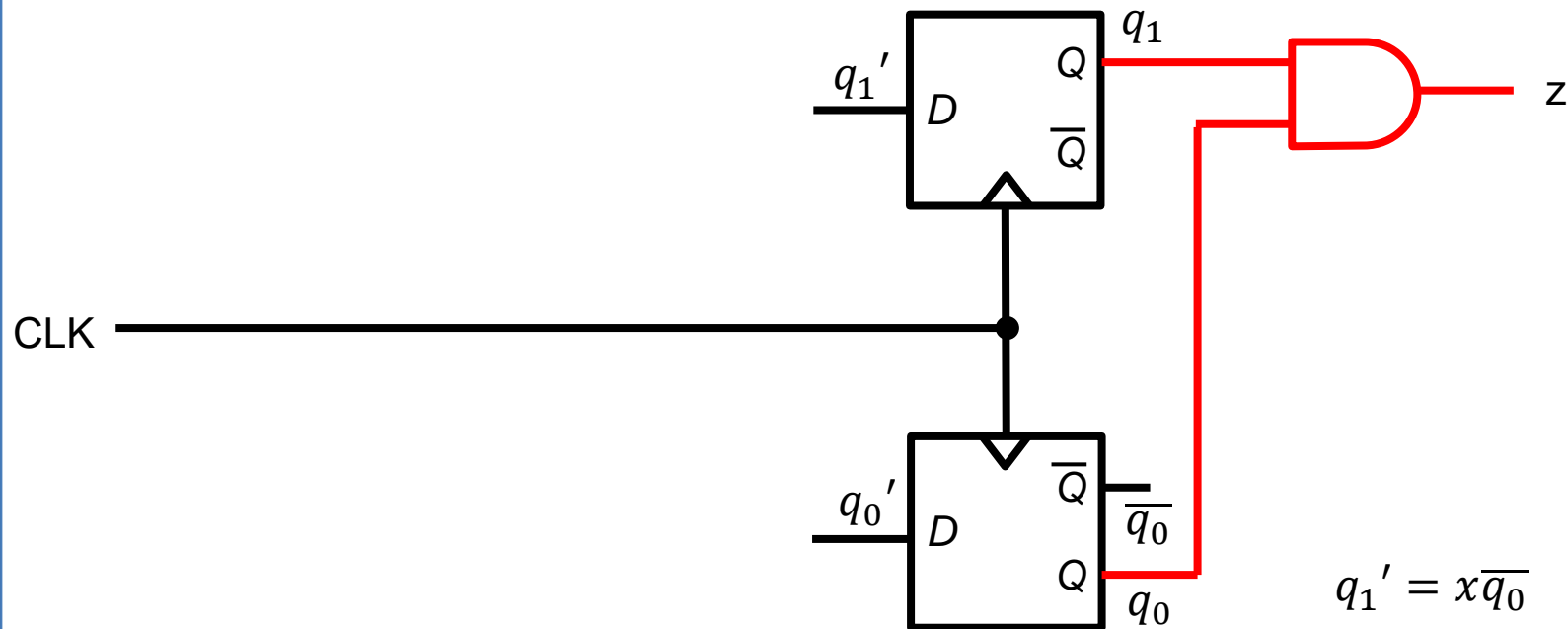


$$q_1' = x\overline{q_0}$$

$$q_0' = x(q_0 + q_1)$$

$$z = q_1q_0$$

Síntesis con biestables D



$$q_1' = x\overline{q_0}$$

$$q_0' = x(q_0 + q_1)$$

$$z = q_1 q_0$$

Síntesis con biestables D

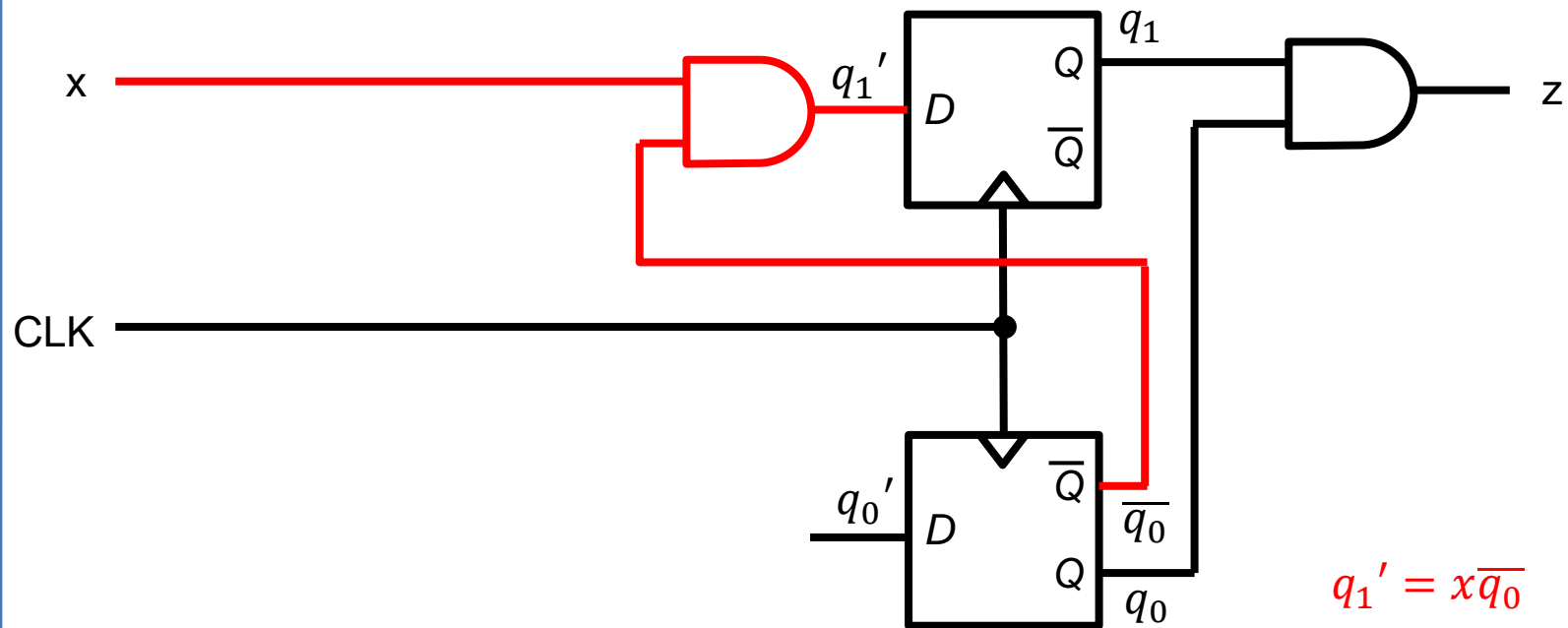


versión 2021

tema 3:
Sistemas secuenciales

FC

79

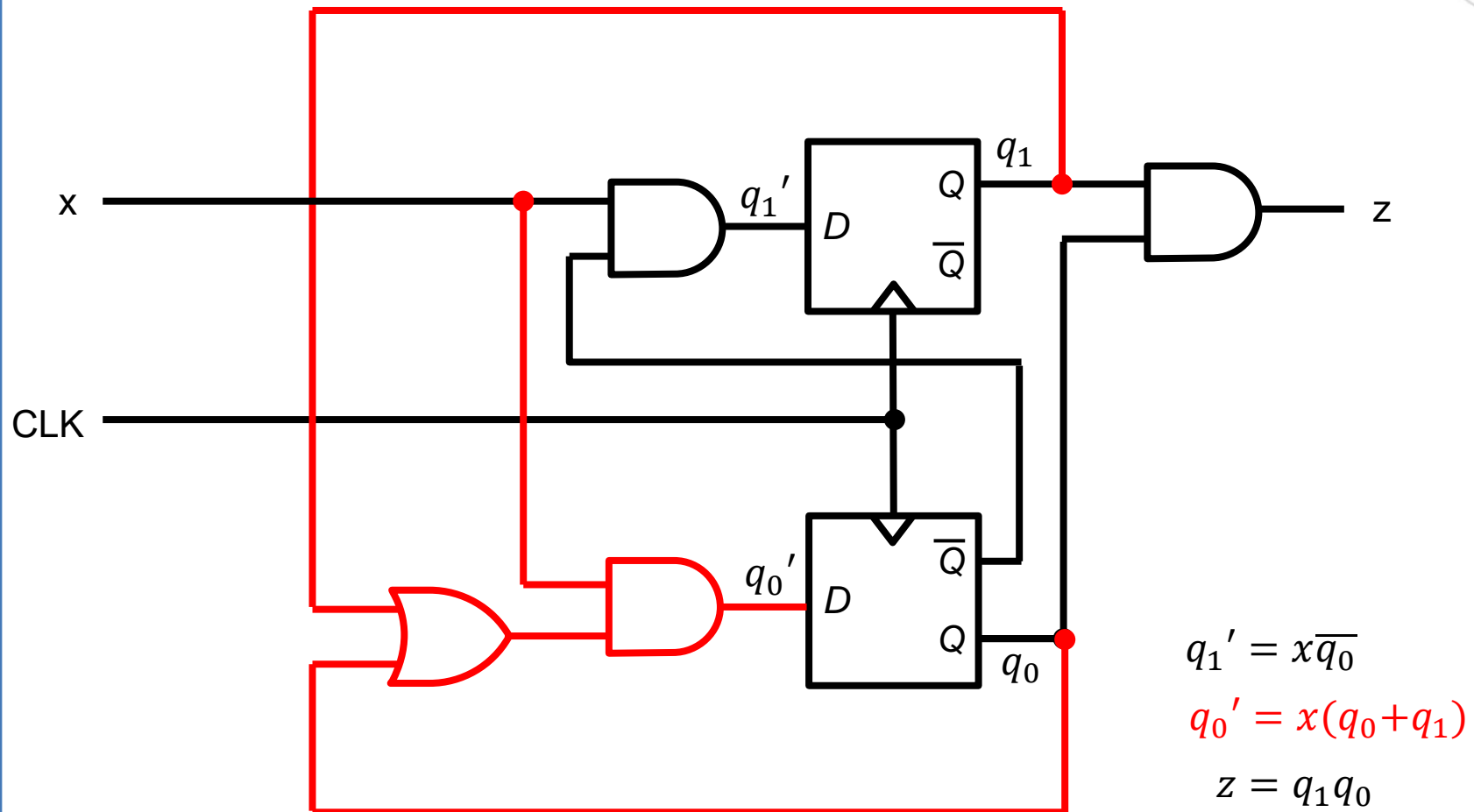


$$q_1' = x \overline{q_0}$$

$$q_0' = x(q_0 + q_1)$$

$$z = q_1 q_0$$

Síntesis con biestables D





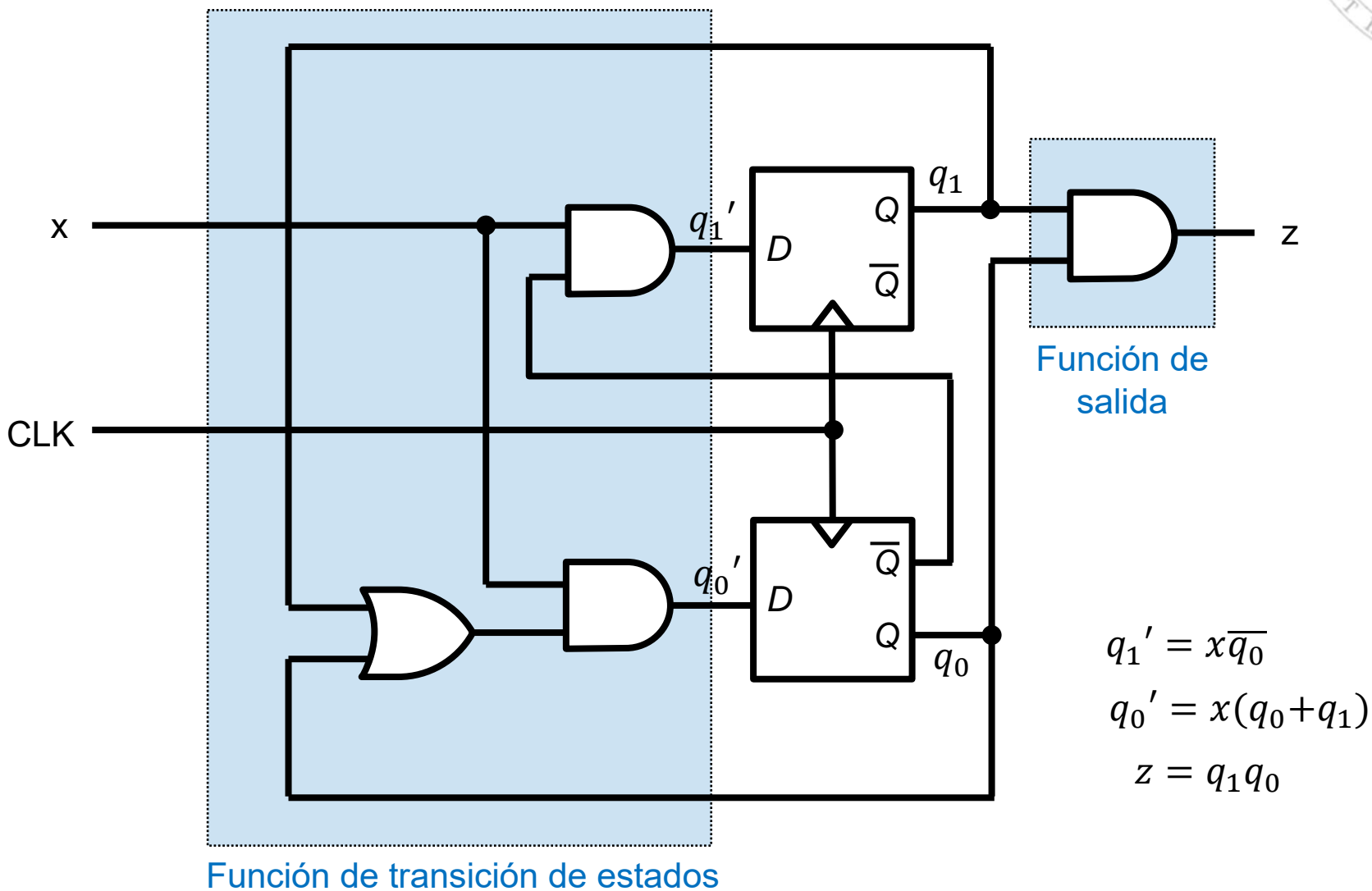
Síntesis con biestables D

versión 2021

tema 3:
Sistemas secuenciales

FC

81





Contenidos

- ✓ Especificación basada en estados.
- ✓ Diagrama de estados.
- ✓ Máquinas de Moore y Mealy.
- ✓ Síntesis con biestables D.
- ✓ **Inicialización de sistemas secuenciales.**



Inicialización

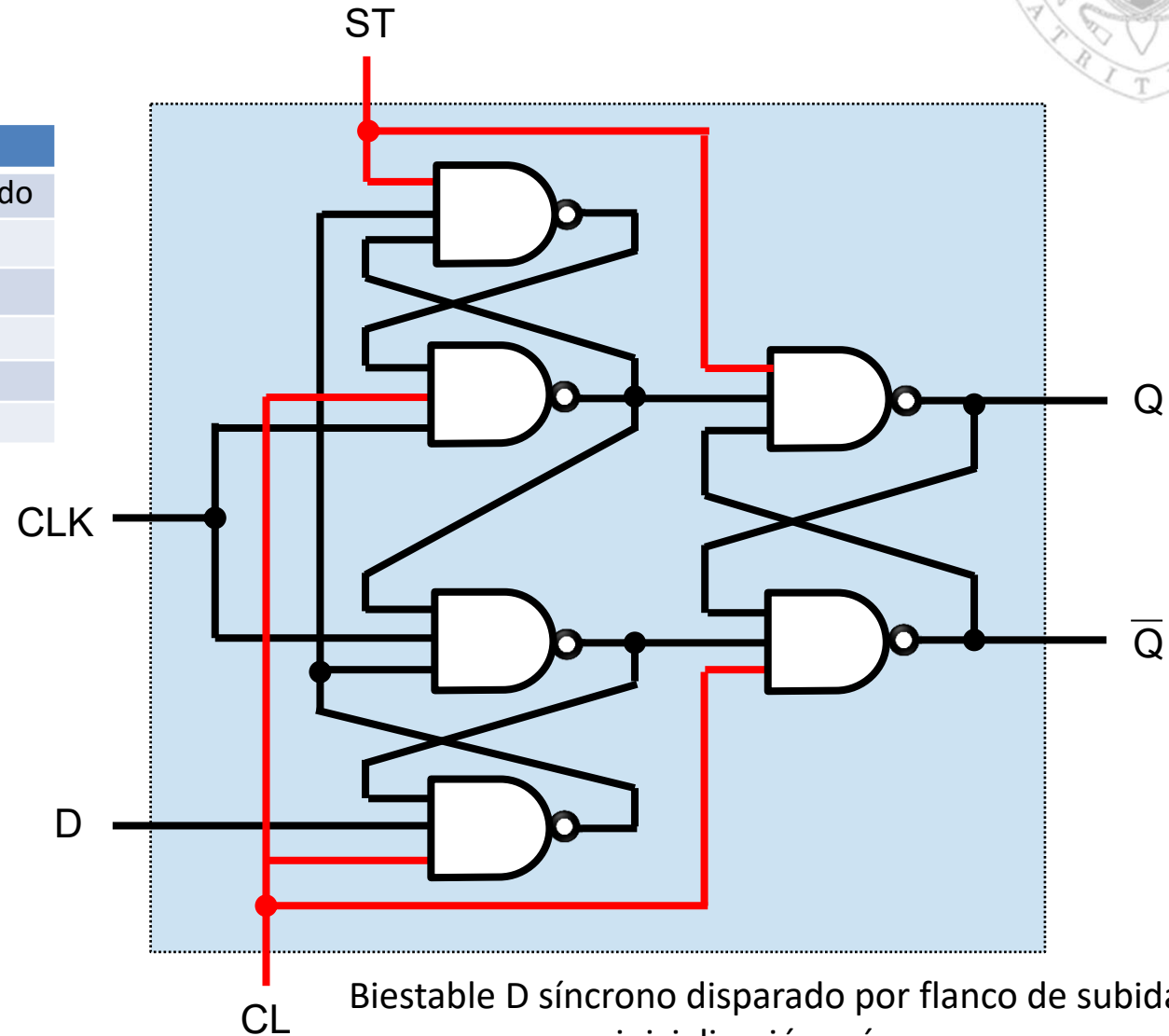
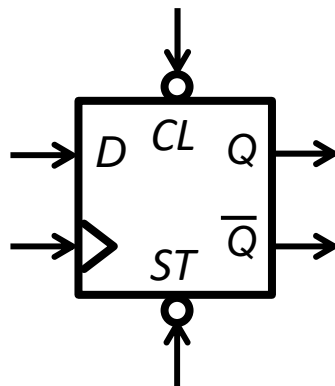
- ¿Cuál es el estado de un biestable al encenderlo?
 - Cualquiera de los 2 posibles.
- ¿Cuál es el estado de un sistema secuencial al encenderlo?
 - Cualquiera de los posibles (**incluyendo prohibidos**).
- Todos los sistemas secuenciales tienen una **entrada de inicialización** para llevarlos **asíncronamente** a un estado inicial.
 - Esta **entrada global de reset** deberá conectarse **según la codificación del estado inicial** a la **entrada de inicialización** que **corresponda** de cada uno de los biestables del circuito.



Inicialización

Clear Set

D	CLK	CL	ST	Q'
X	X	0	0	prohibido
X	X	0	1	0
X	X	1	0	1
0	↑	1	1	0
1	↑	1	1	1
resto		1	1	Q



Biastable D síncrono disparado por flanco de subida con inicialización asíncrona