



PROBLEMAS DE FUNDAMENTOS DE COMPUTADORES

TEMA 6

1. Escribir las siguientes instrucciones en ensamblador a lenguaje máquina. Si hay algún campo de la instrucción del que no se conoce el valor indicado.
 - a. `lw x11, 4(x3)`
 - b. `addi x5, x7, 0x58`
 - c. `sb x4, 8(x7)`

2. Sobre la ruta de datos vista en clase para la implementación monociclo del RISC-V marcar todos los caminos de datos que están activos al ejecutar la instrucción:

`addi x3, x2, 12`

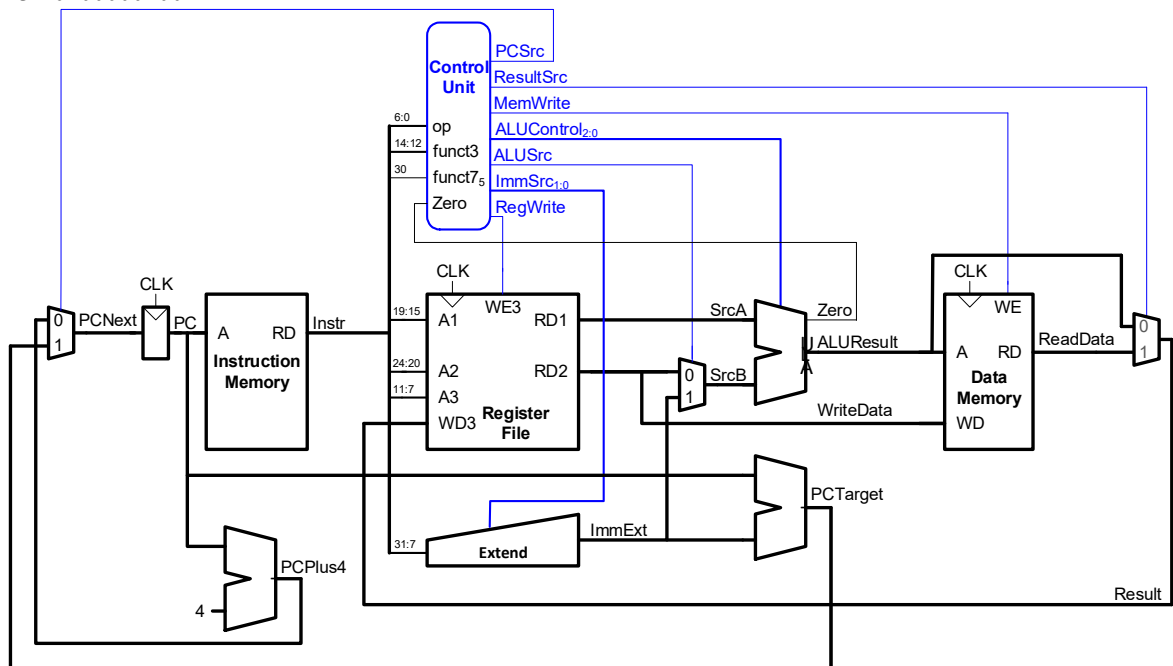
Mostrar el valor de todos los puntos de control.

Mostrar la información que lleva cada uno de los caminos activos teniendo en cuenta que:

PC=0x00002000

x2=0x00000100

x3= 0x00000200



3. Determinar qué cambios, si alguno, hay que realizar en la ruta de datos y el controlador monociclo para poder implementar las siguientes instrucciones:
 - (a) `xor`
 - (b) `sll`
 - (c) `srl`
 - (d) `bne`
 - (e) `lui`

4. Determinar qué cambios, si alguno, hay que realizar en la ruta de datos y el controlador multiciclo para poder implementar las siguientes instrucciones:
 - (a) xor
 - (b) sll
 - (c) srl
 - (d) bne
 - (e) lui

5. Un estudiante de primero de videojuegos se ha ofrecido a rediseñar una de las unidades del RISC-V monociclo para reducir a la mitad su retardo. Usando los retardos de la hoja 52 de la presentación del tema, qué unidad debería modificar para obtener el mayor rendimiento del procesador y cuál sería el nuevo tiempo de ciclo.

6. El mismo estudiante se plantea mejorar el rendimiento de una de las unidades para la implementación multiciclo. Explica qué unidad elegiríamos, y cuánto más rápida debería ser (hacerla más rápida de lo necesario es gastar esfuerzo).

7. ¿Cuántos ciclos se requieren para ejecutar el siguiente programa en el procesador RISC-V multiciclo? ¿Cuál es el CPI del programa?


```

      addi s0, zero, 5 # result = 5
      L1:
        bge zero, s0, Done # if result <= 0, exit loop
        addi s0, s0, -1 # result = result - 1
        j L1
      Done:
      
```

8. ¿Cuántos ciclos se requieren para ejecutar el siguiente programa en el procesador RISC-V multiciclo? ¿Cuál es el CPI del programa?


```

      addi s0, zero, 0 # i = 0
      addi s1, zero, 0 # sum = 0
      addi t3, zero, 10 # t3 = 10
      Loop:
        beq s0, t3, L2 # if i == 10, goto L2
        add s1, s1, s0 # sum = sum + i
        addi s0, s0, 1 # i = i + 1
        j Loop
      L2:
      
```

9. Ciertos evaluadores del rendimiento del procesador RISC-V han determinado que el camino crítico que fija la longitud del ciclo de reloj en la ruta multiciclo corresponde a los accesos a memoria para carga y almacenamiento (no para lectura de instrucciones).

Esto ha llevado a replantear la implementación para que la frecuencia de reloj sea de 500 MHz en vez de 750 MHz inicialmente propuesta. Uno de los ingenieros ha propuesto como solución de compromiso que los ciclos de acceso a memoria se subdividan en dos para, de este modo, admitir la frecuencia de reloj inicial (750 MHz).

Usando las proporciones de instrucciones que se muestran a continuación, determina la ganancia de velocidad que se obtiene empleando la máquina de 2 ciclos de acceso a memoria con reloj de 750 MHz, frente a la

