



Tema 4:

Rutas de datos y controladores

Fundamentos de computadores

José Manuel Mendías Cuadros
Dpto. Arquitectura de Computadores y Automática
Universidad Complutense de Madrid



Contenidos

- ✓ Módulos secuenciales
 - ❑ Registro.
 - ❑ Registro de desplazamiento.
 - ❑ Contadores.
 - ❑ Banco de registros.
 - ❑ RAM (Random-Access Memory).
- ✓ Rutas de datos y controladores
- ✓ Implementación de módulos

Presentación basada en los libros:

- S.L. Harris y D. M. Harris. Digital Design and Computer Architecture.
- R. Hermida, F. Sánchez y E. del Corral. Fundamentos de computadores.
- D. Gajsky. Principios de diseño digital.



Contenidos

✓ Módulos secuenciales

Registro.

Registro de desplazamiento.

Contadores.

Banco de registros.

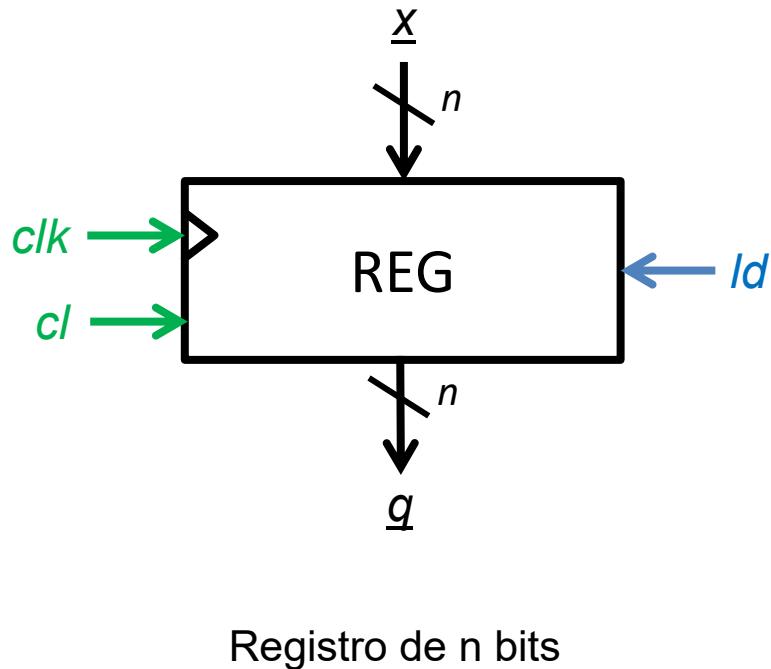
RAM (Random-Access Memory).

✓ Rutas de datos y controladores

✓ Implementación de módulos

Transparencias basadas en los libros:

- S.L. Harris y D. M. Harris. Digital Design and Computer Architecture. ARM Edition
- R. Hermida, F. Sánchez y E. del Corral. Fundamentos de computadores.
- D. Gajsky. Principios de diseño digital.



Registro



-
- x 1 entrada de datos de n bits
 - q 1 salida de datos de n bits
 - ld 1 entrada de carga paralela
 - cl 1 entrada de inicialización (clear)
asíncrona
 - clk 1 entrada de reloj
-

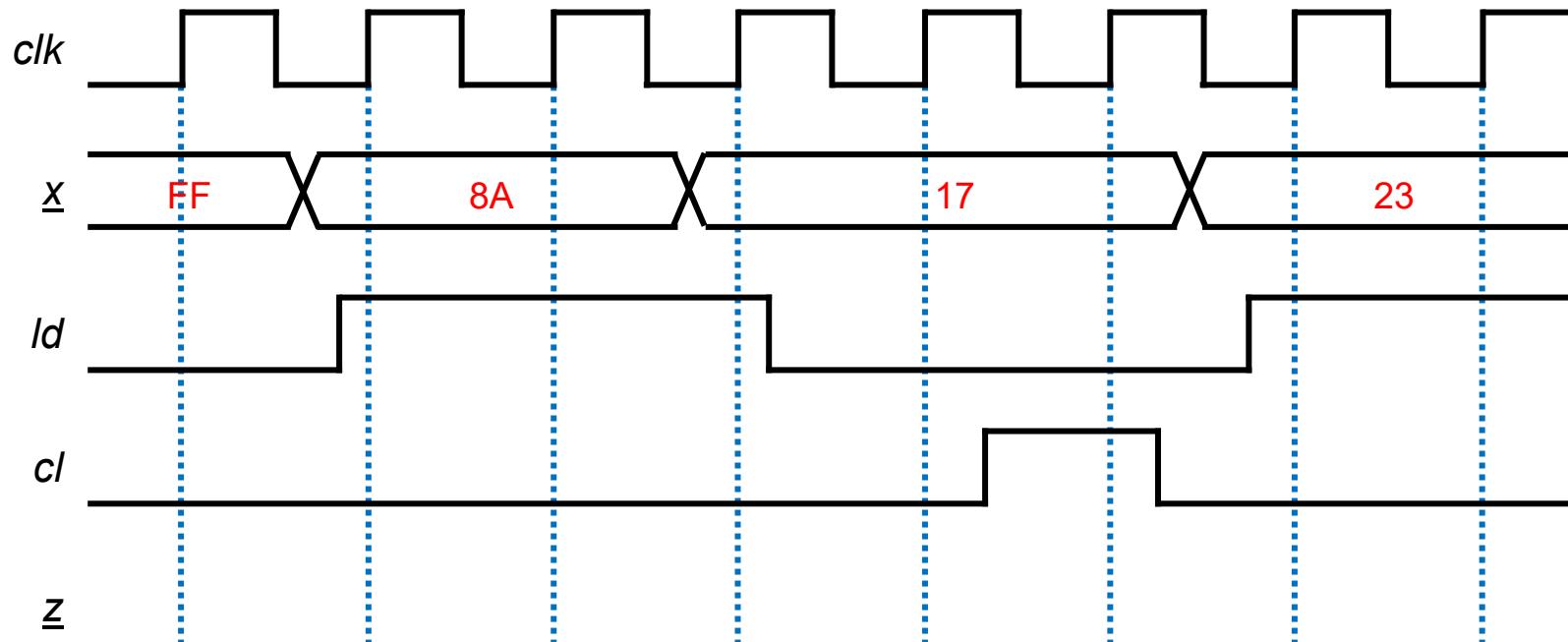
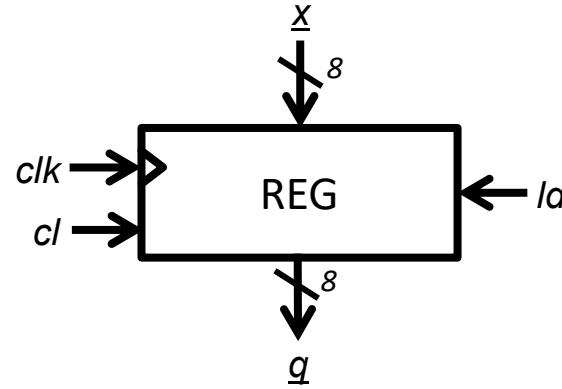
si la entrada *ld* vale 1, almacena la entrada,
si no, conserva el valor almacenado

$$\text{si } cl(t) = 1 \Rightarrow q(t+\Delta t) = 0$$

$$\text{si } cl(t) = 0 \Rightarrow q(t+1) = \begin{cases} q(t) & \text{si } ld(t)=0 \\ x(t) & \text{si } ld(t)=1 \end{cases}$$

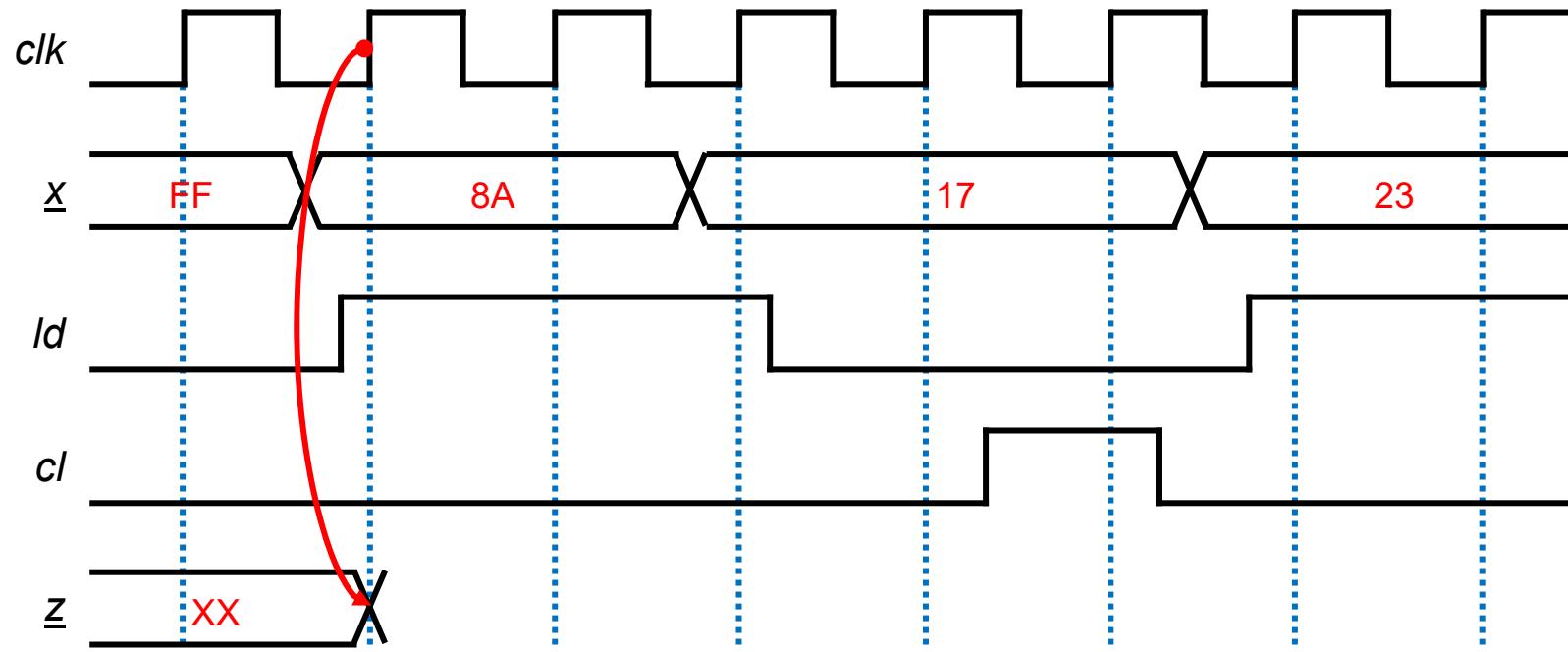
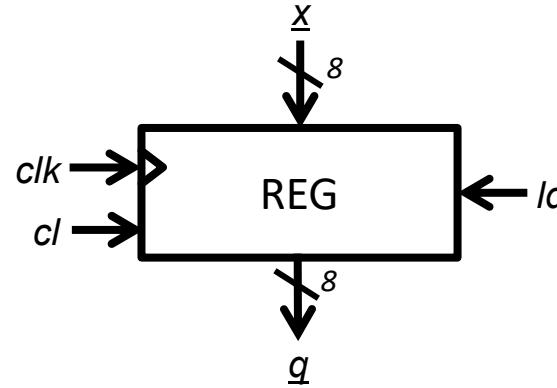


Registro



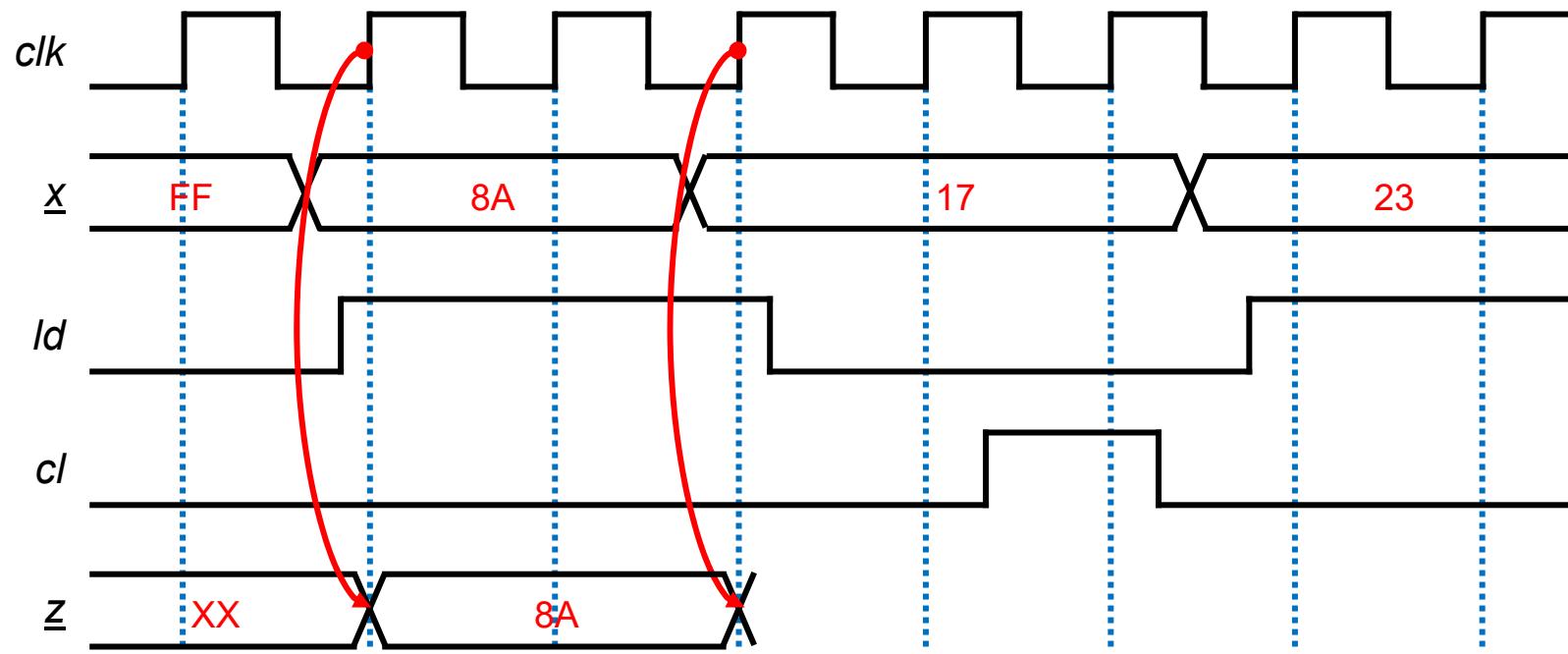
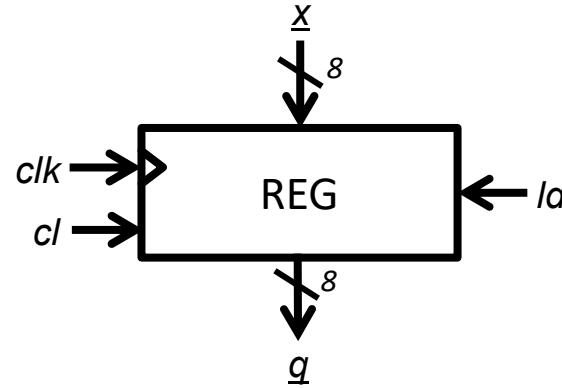


Registro



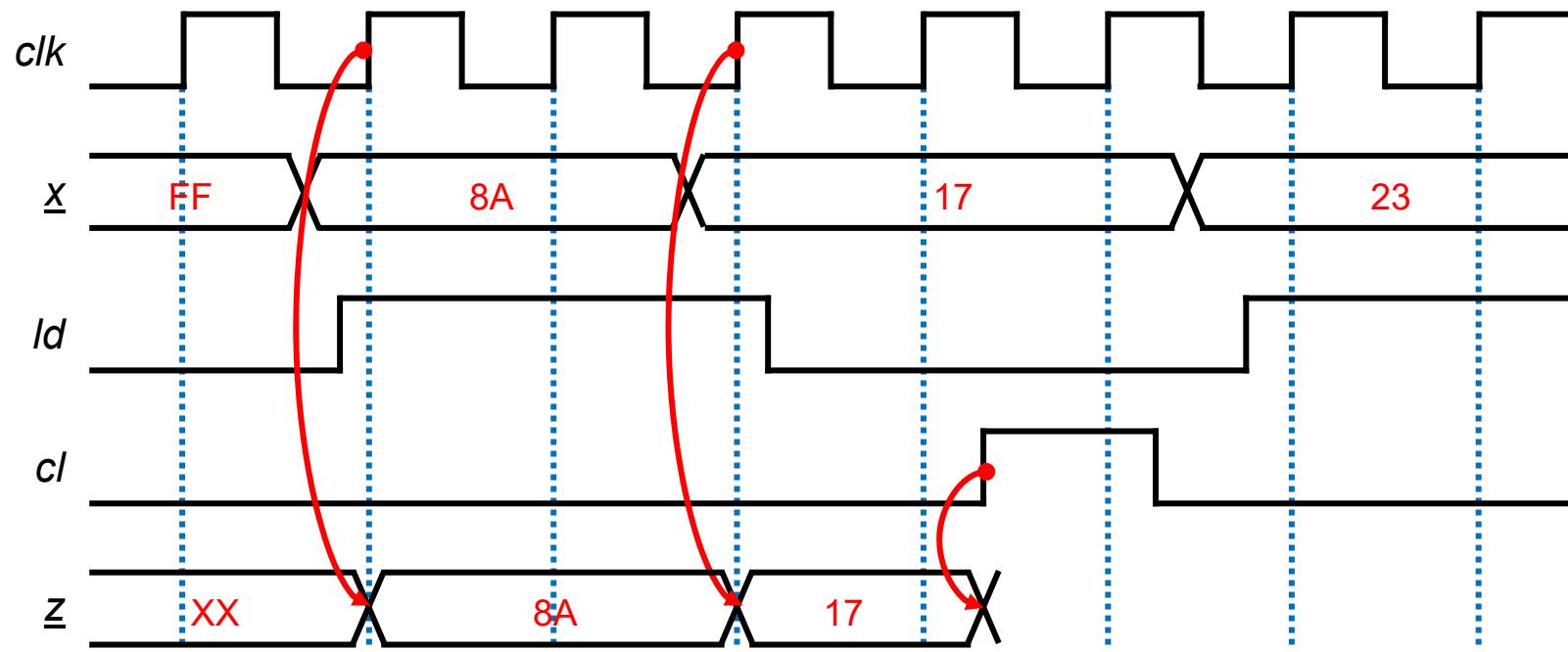
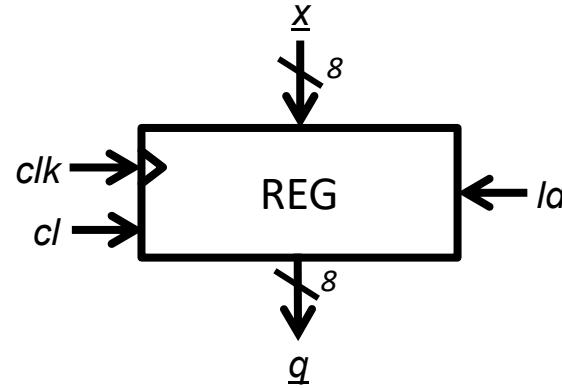


Registro



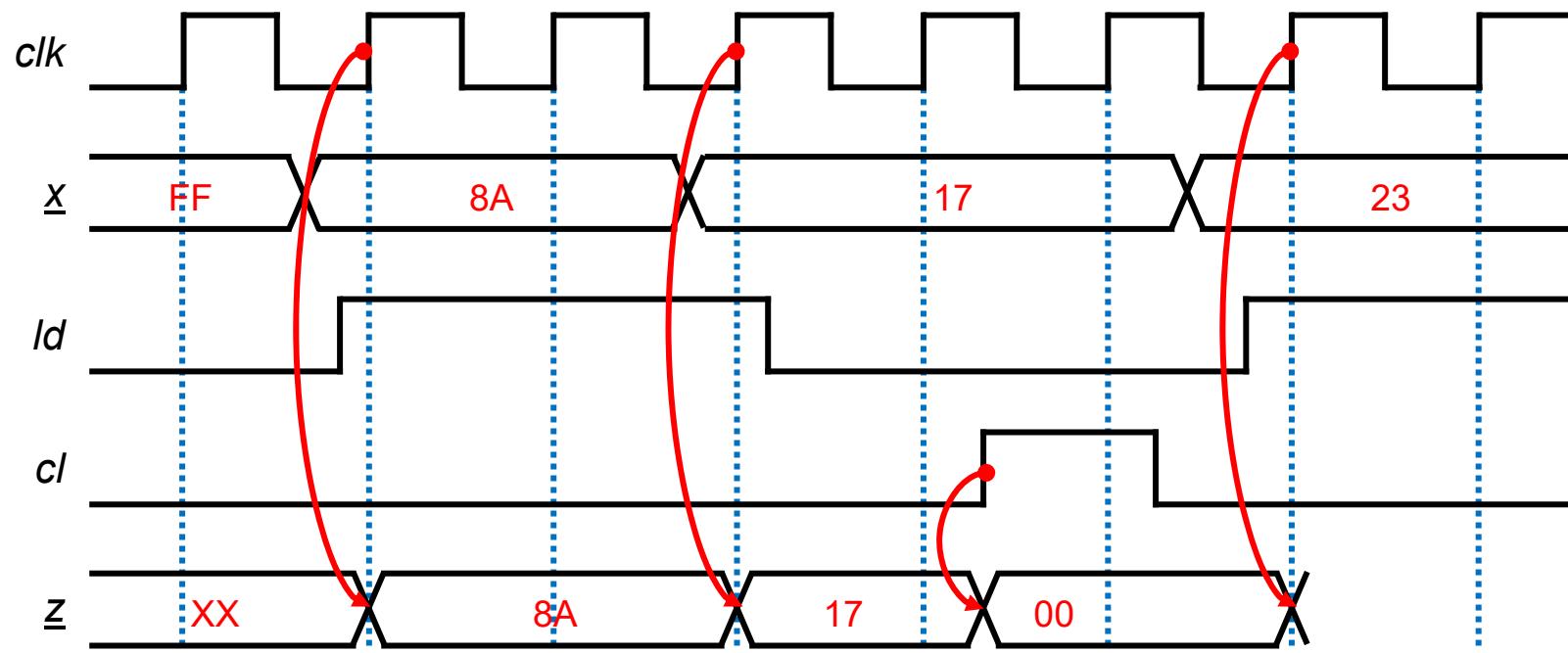
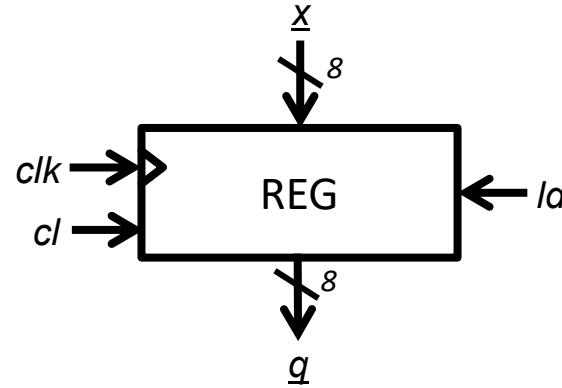


Registro



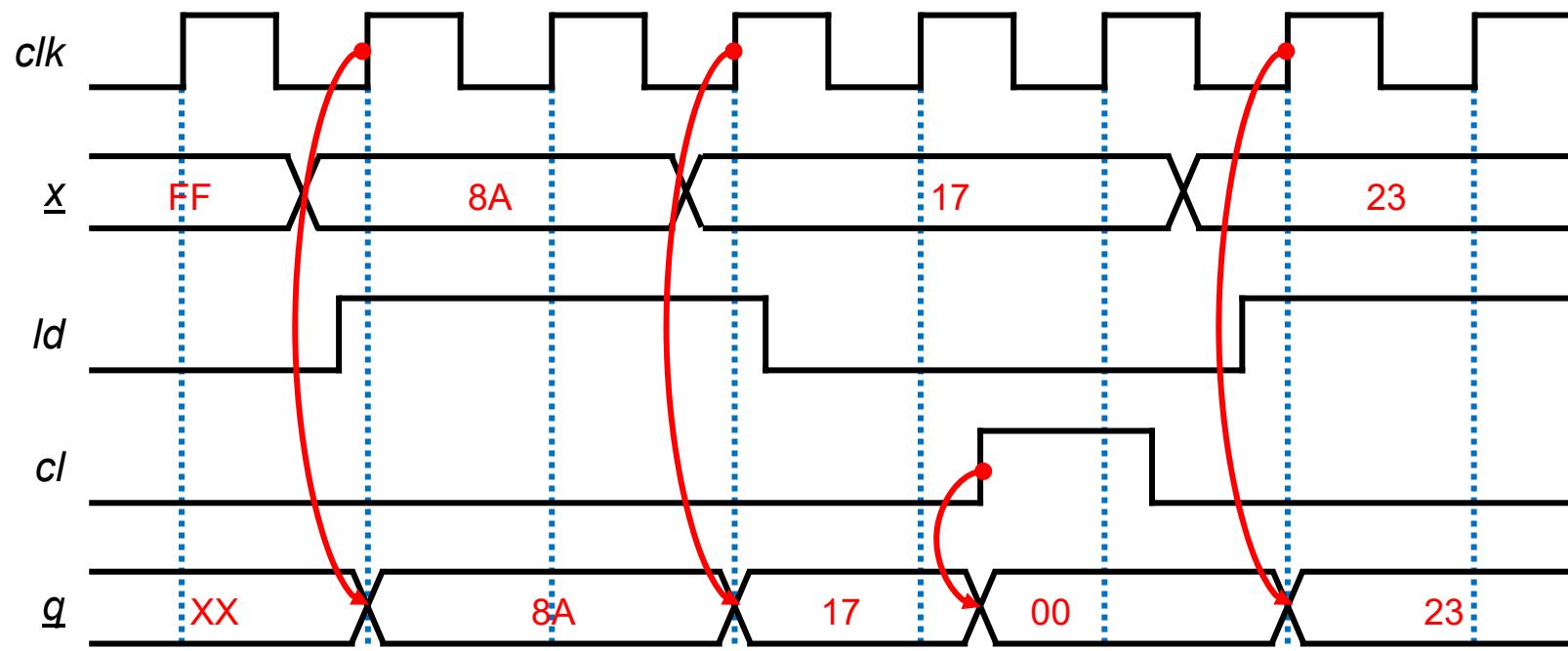
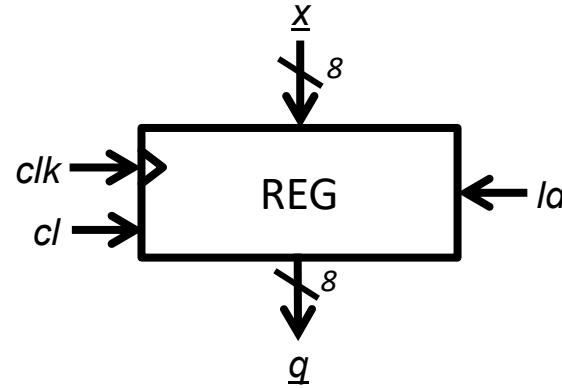


Registro

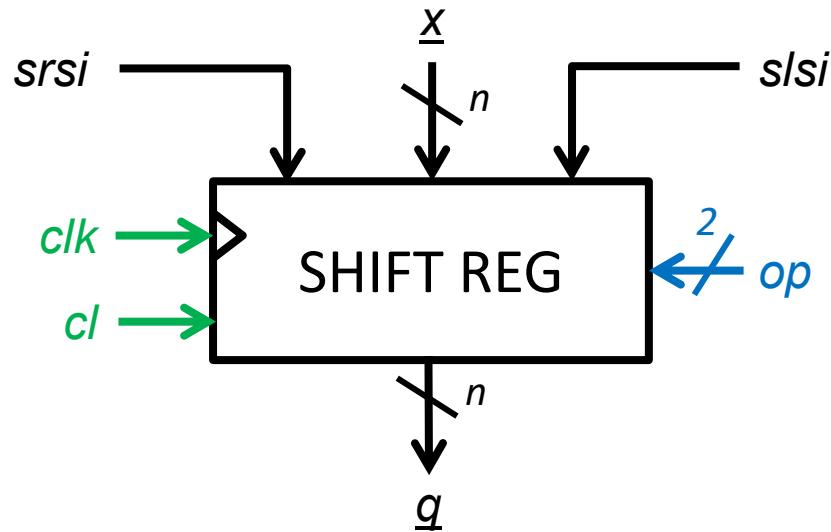




Registro



Registro de desplazamiento



Registro de desplazamiento de n bits

<u>x</u>	1 entrada paralela de datos de n bits
<u>q</u>	1 salida de datos de n bits
srsi	1 entrada serie de datos para desplazamiento a la derecha
sisi	1 entrada serie de datos para desplazamiento a la izquierda
<u>op</u>	1 entrada de selección de operación
cl	1 entrada de inicialización asíncrona
clk	1 entrada de reloj

$$\text{si } cl(t) = 1 \Rightarrow q(t+\Delta t) = 0$$

$$\text{si } cl(t) = 0 \Rightarrow q(t+1) = \begin{cases} q(t) & \text{si } op(t)=(00) \quad \textit{sin cambio} \\ (srsi, q_{n-1}(t) \dots q_1(t)) & \text{si } op(t)=(01) \quad \textit{desplaza a la derecha} \\ (q_{n-2}(t) \dots q_0(t), sisi) & \text{si } op(t)=(10) \quad \textit{desplaza a la izquierda} \\ x(t) & \text{si } op(t)=(11) \quad \textit{carga paralela} \end{cases}$$

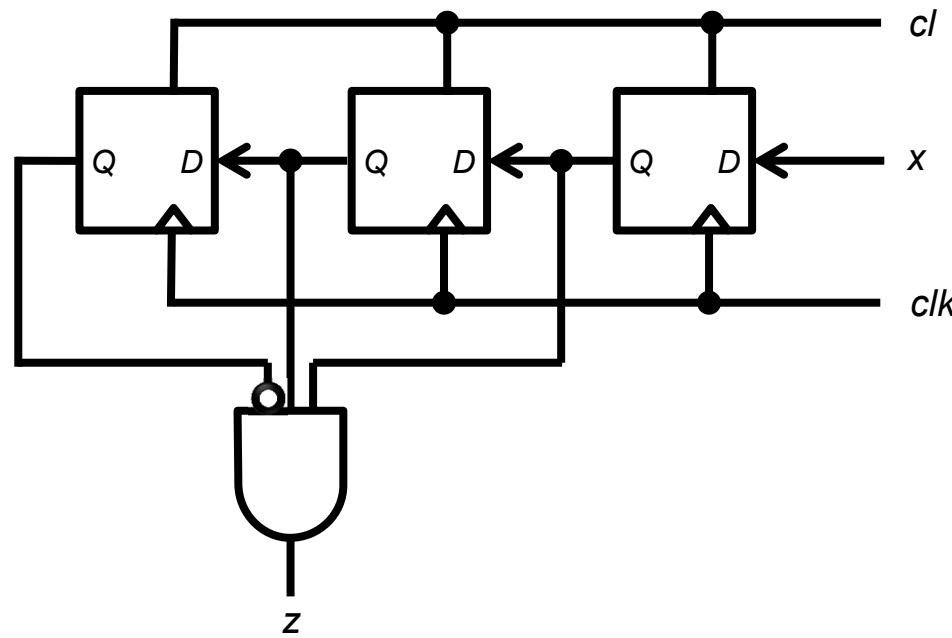


Registro de desplazamiento

■ Aplicaciones al diseño:

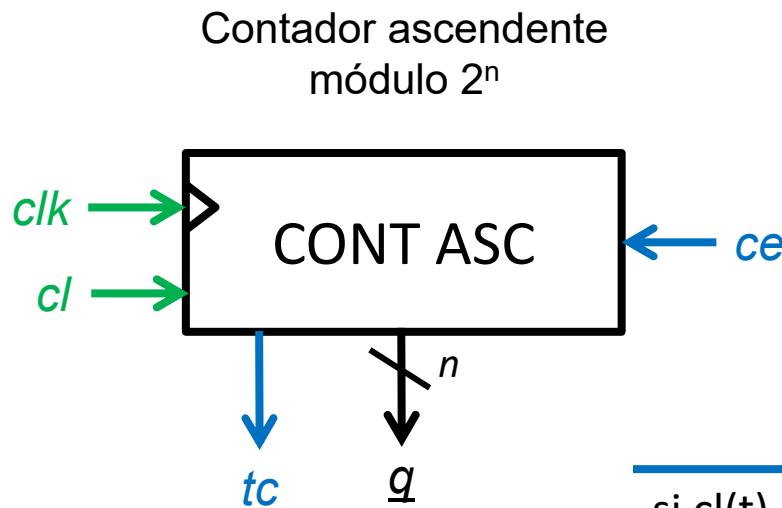
1. Convertir datos serie en datos paralelo y viceversa.
2. Implementar reconocedores de patrones.

Reconocedor del patrón = "011"





Contador ascendente



q 1 salida de datos de n bits

ce 1 entrada de capacitación de cuenta

tc 1 salida de fin de cuenta

cl 1 entrada de inicialización asíncrona

clk 1 entrada de reloj

$$\text{si } cl(t) = 1 \Rightarrow tc(t+\Delta t) = 0$$

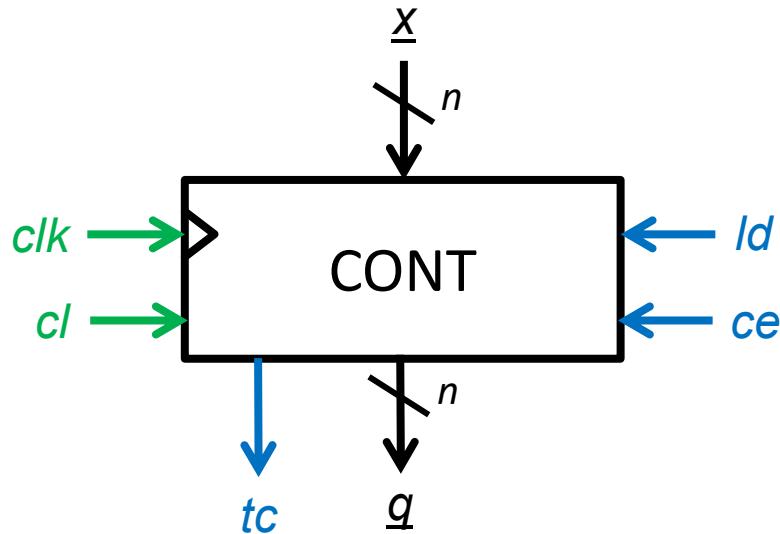
$$\text{si } cl(t) = 0 \Rightarrow tc(t+\Delta t) = \begin{cases} 1 & \text{si } q(t)=2^n-1 \text{ y } ce(t)=1 \\ 0 & \text{en caso contrario} \end{cases}$$

$$\text{si } cl(t) = 1 \Rightarrow q(t+\Delta t) = 0$$

$$\text{si } cl(t) = 0 \Rightarrow q(t+1) = \begin{cases} [q(t)+1] \bmod 2^n & \text{si } ce(t)=1 \\ q(t) & \text{si } ce(t)=0 \end{cases}$$



Contador con carga paralela



Contador ascendente con
carga paralela módulo 2^n

x	1 entrada de datos de n bits
q	1 salida de datos de n bits
ld	1 entrada de carga paralela
ce	1 entrada de capacitación de cuenta
tc	1 salida de fin de cuenta
cl	1 entrada de inicialización asíncrona
clk	1 entrada de reloj

$$\text{si } cl(t) = 1 \Rightarrow tc(t+\Delta t) = 0$$

$$\text{si } cl(t) = 0 \Rightarrow tc(t+\Delta t) = \begin{cases} 1 & \text{si } q(t)=2^n-1 \text{ y } ld(t)=0 \text{ y } ce(t)=1 \\ 0 & \text{en caso contrario} \end{cases}$$

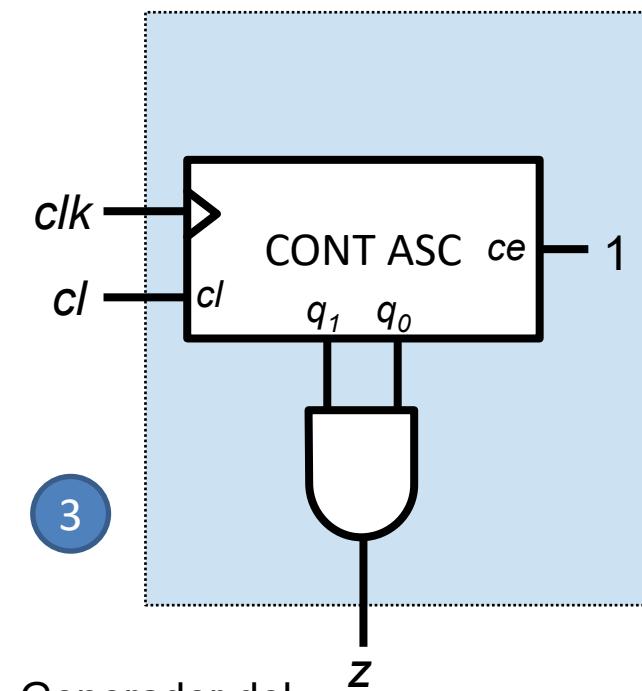
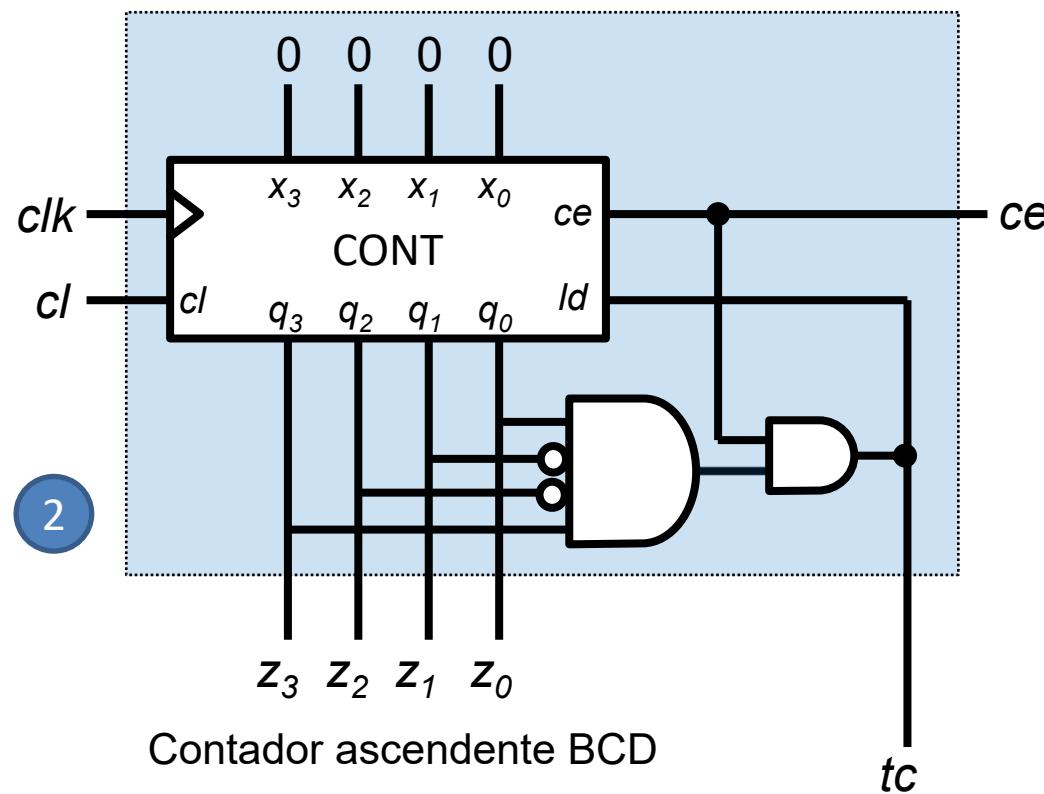
$$\text{si } cl(t) = 1 \Rightarrow q(t+\Delta t) = 0$$

$$\text{si } cl(t) = 0 \Rightarrow q(t+1) = \begin{cases} x(t) & \text{si } ld(t)=1 \\ [q(t)+1] \bmod 2^{n-1} & \text{si } ld(t)=0 \text{ y } ce(t)=1 \\ q(t) & \text{en caso contrario} \end{cases}$$

Aplicaciones de los contadores



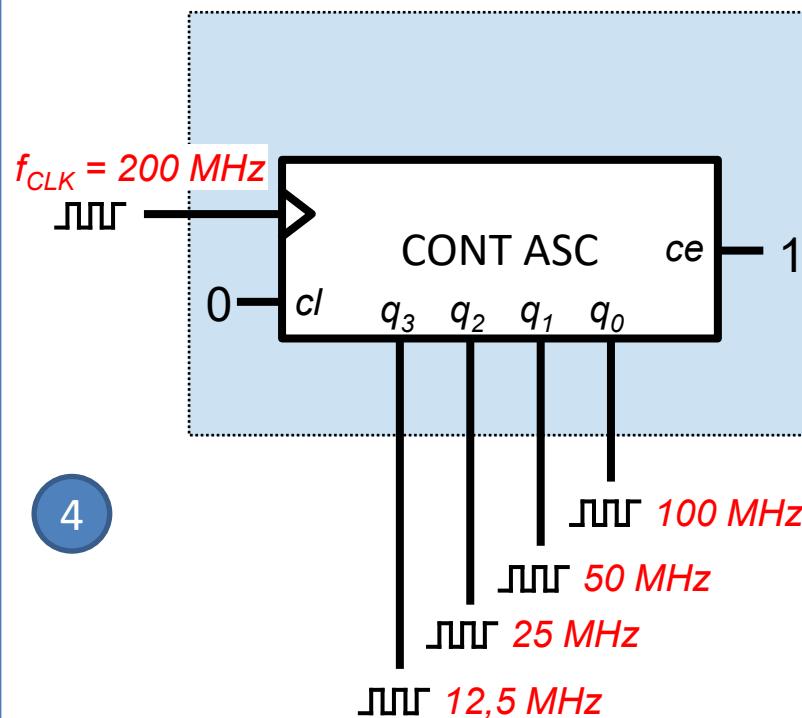
1. Sustituir a los biestables en las máquinas de Moore
2. Generar secuencias (secuenciador).
3. Generar patrones.



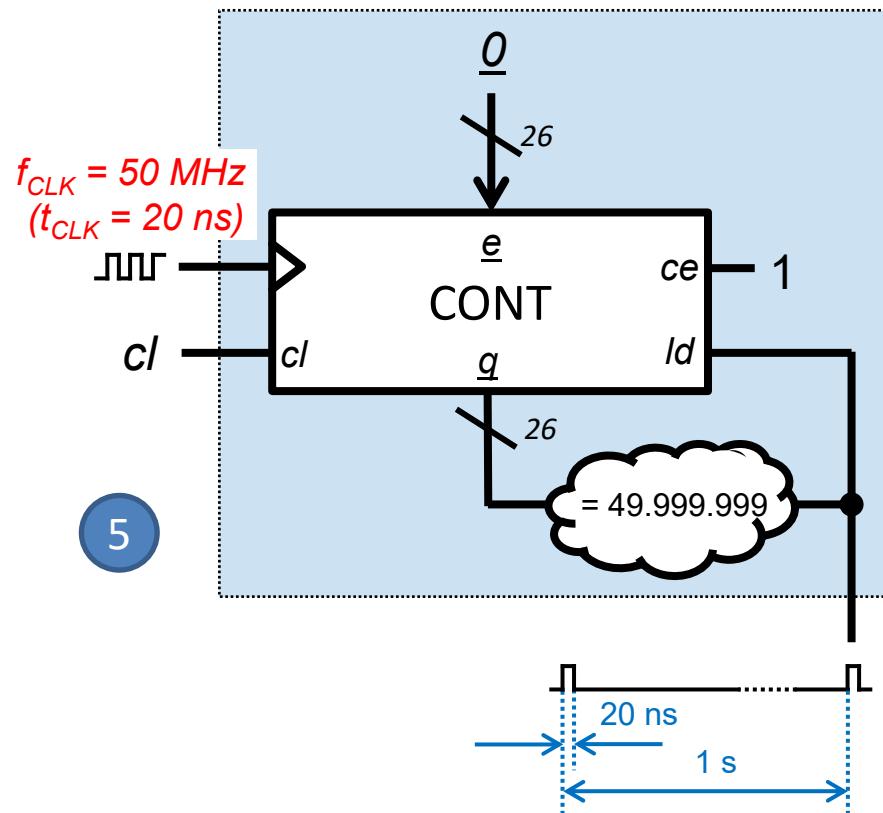
Aplicaciones de los contadores



4. Dividir frecuencias.
5. Medir tiempo (temporizador)



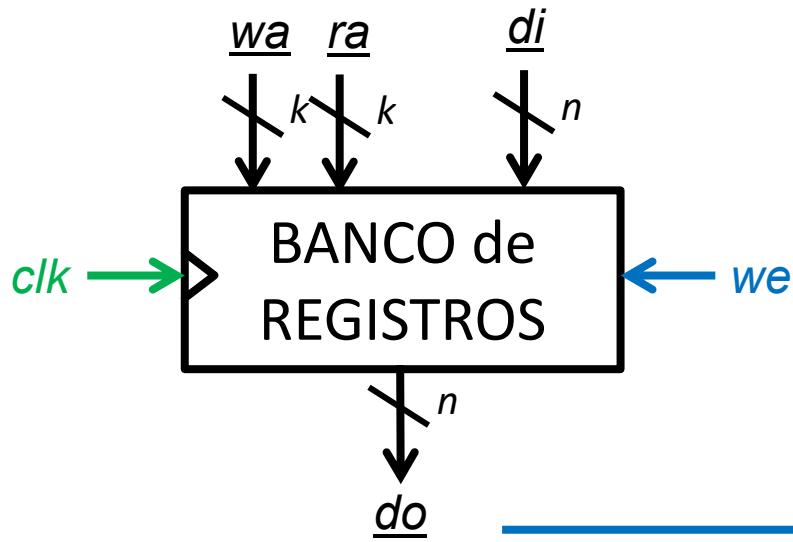
$$\begin{aligned}(\text{num. ciclos}) &= \text{tiempo} / t_{clk} \equiv \text{tiempo} \times f_{clk} \\1 \text{ s} &\equiv 1 \cdot 10^9 \text{ ns} \\(1 \cdot 10^9 \text{ ns}) / (20 \text{ ns/ciclo}) &= 50.000.000 \text{ ciclos}\end{aligned}$$





Banco de registros

Banco de 2^k registros de n bits

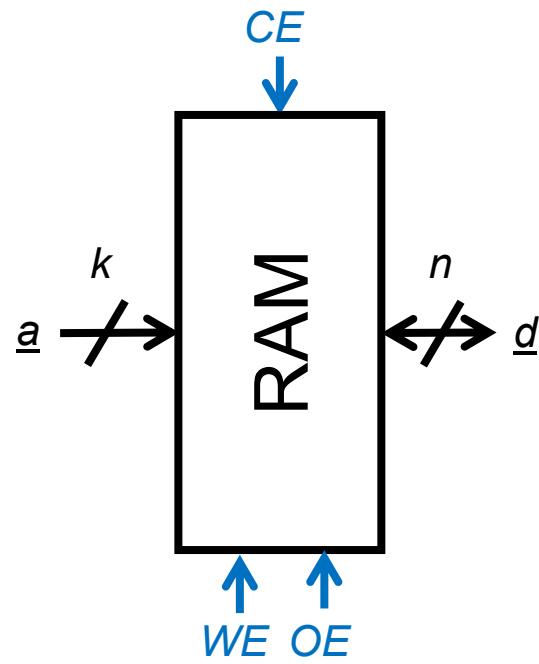


<u>di</u> (data input)	1 entrada de datos de n bits
<u>do</u> (data output)	1 salida de datos de n bits
<u>wa</u> (write address)	1 entrada de dirección de escritura de k bits
<u>ra</u> (read address)	1 entrada de dirección de lectura de k bits
<u>we</u> (write enable)	1 entrada de capacitación de escritura
<u>clk</u>	1 entrada de reloj



RAM (Random-Access Memory)

versión 2021



RAM $2^k \times n$
(2^k palabras de n bits)

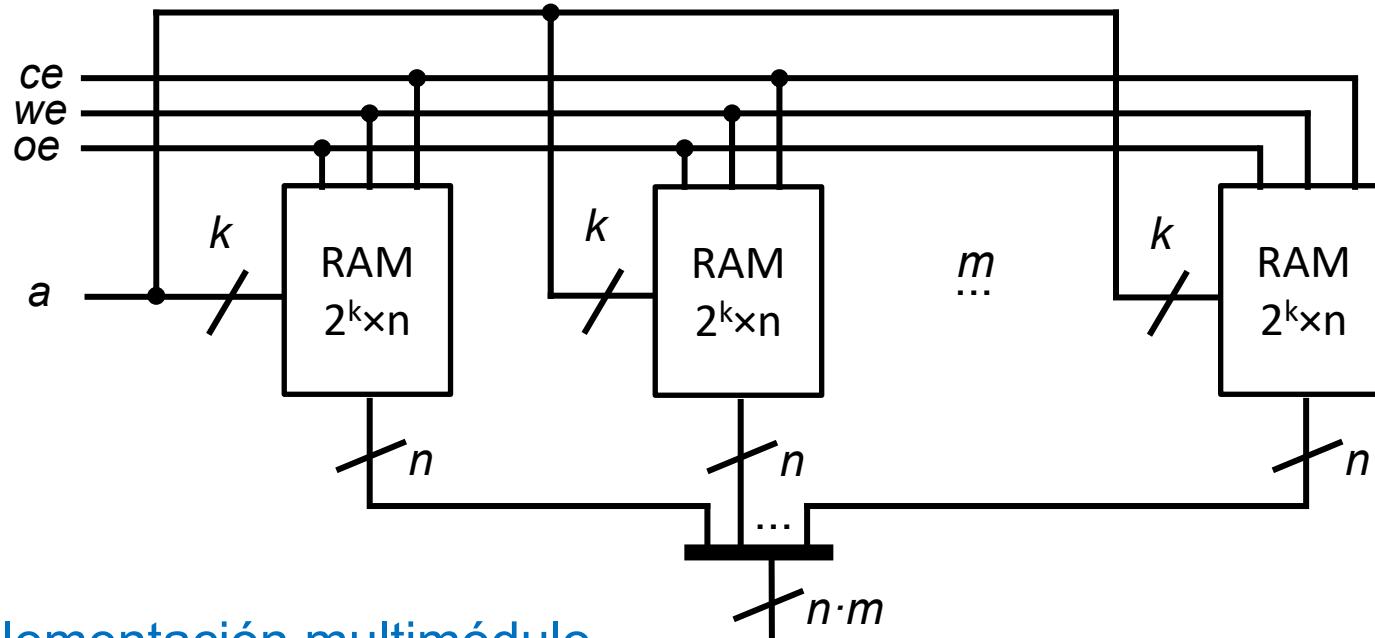
d	1 entrada/salida de datos de n bits
a	1 entrada de dirección de k bits
CE	1 entrada de capacitación
OE	1 entrada de capacitación de lectura
WE	1 entrada de capacitación de escritura

*memoria volátil capaz de almacenar
 2^k palabras de n bits cada una*



RAM (Random-Access Memory)

- Varias RAM se pueden componer para comportarse como una RAM de **mayor anchura de palabra**.



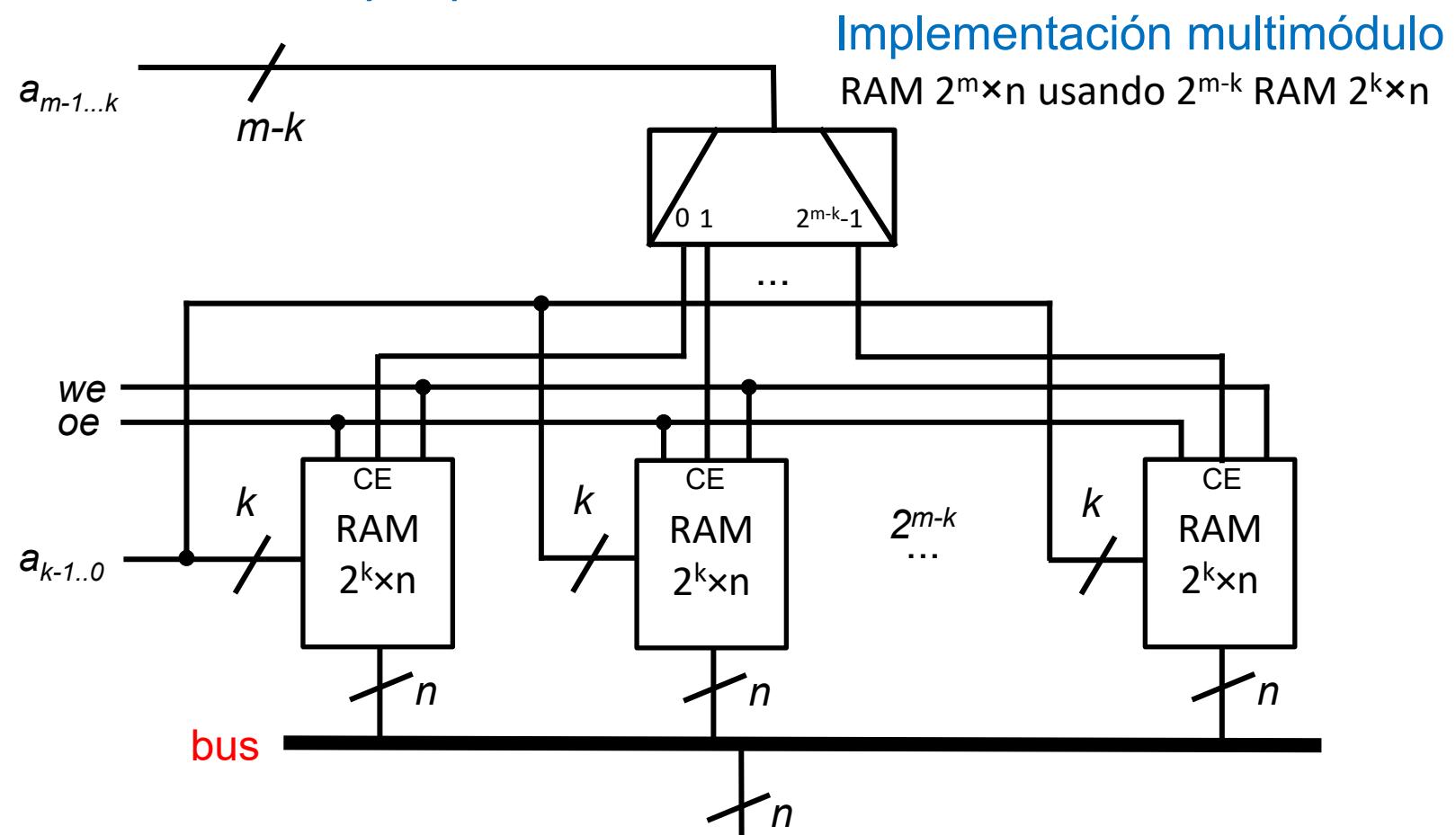
Implementación multimódulo

RAM $2^k \times (n \cdot m)$ usando m RAM $2^k \times n$



RAM (Random-Access Memory)

- Varias RAM se pueden componer para comportarse como una RAM de **mayor profundidad**.





Contenidos

✓ Módulos secuenciales

- Registro.
- Registro de desplazamiento.
- Contadores.
- Banco de registros.
- RAM (Random-Access Memory).

✓ **Rutas de datos y controladores**

✓ Implementación de módulos

Transparencias basadas en los libros:

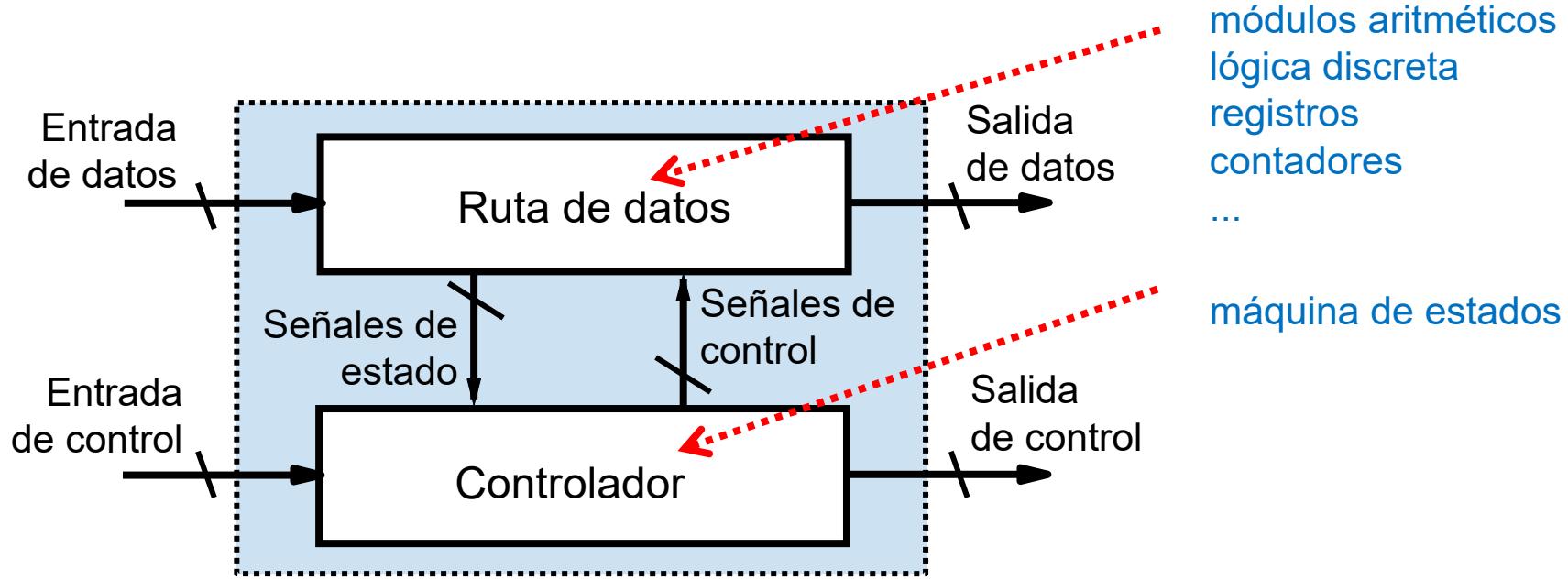
- S.L. Harris y D. M. Harris. Digital Design and Computer Architecture. ARM Edition
- R. Hermida, F. Sánchez y E. del Corral. Fundamentos de computadores.
- D. Gajsky. Principios de diseño digital.



Rutas de datos y controladores

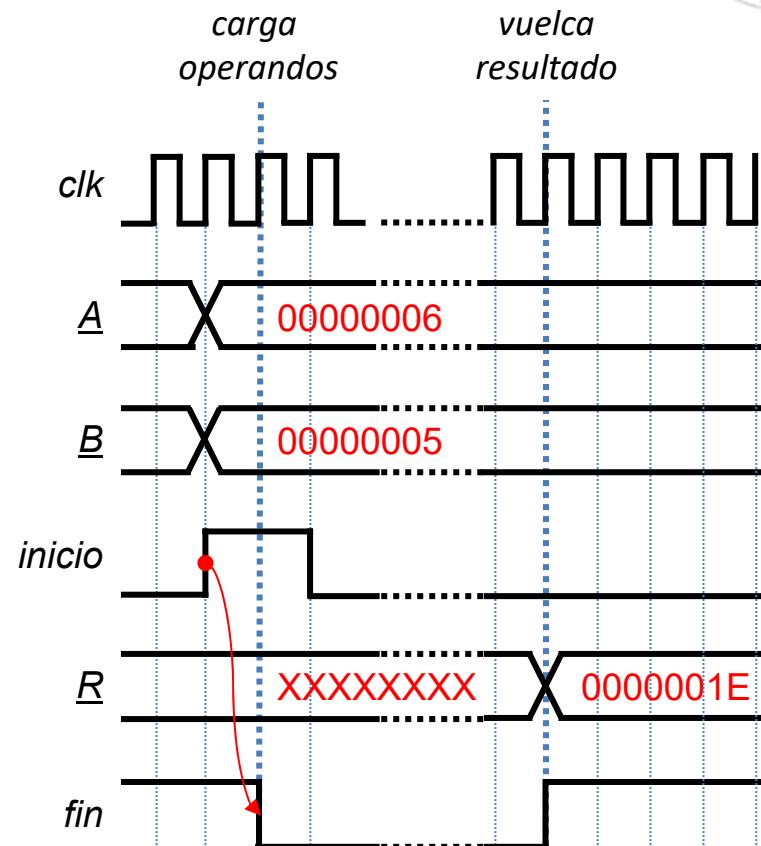
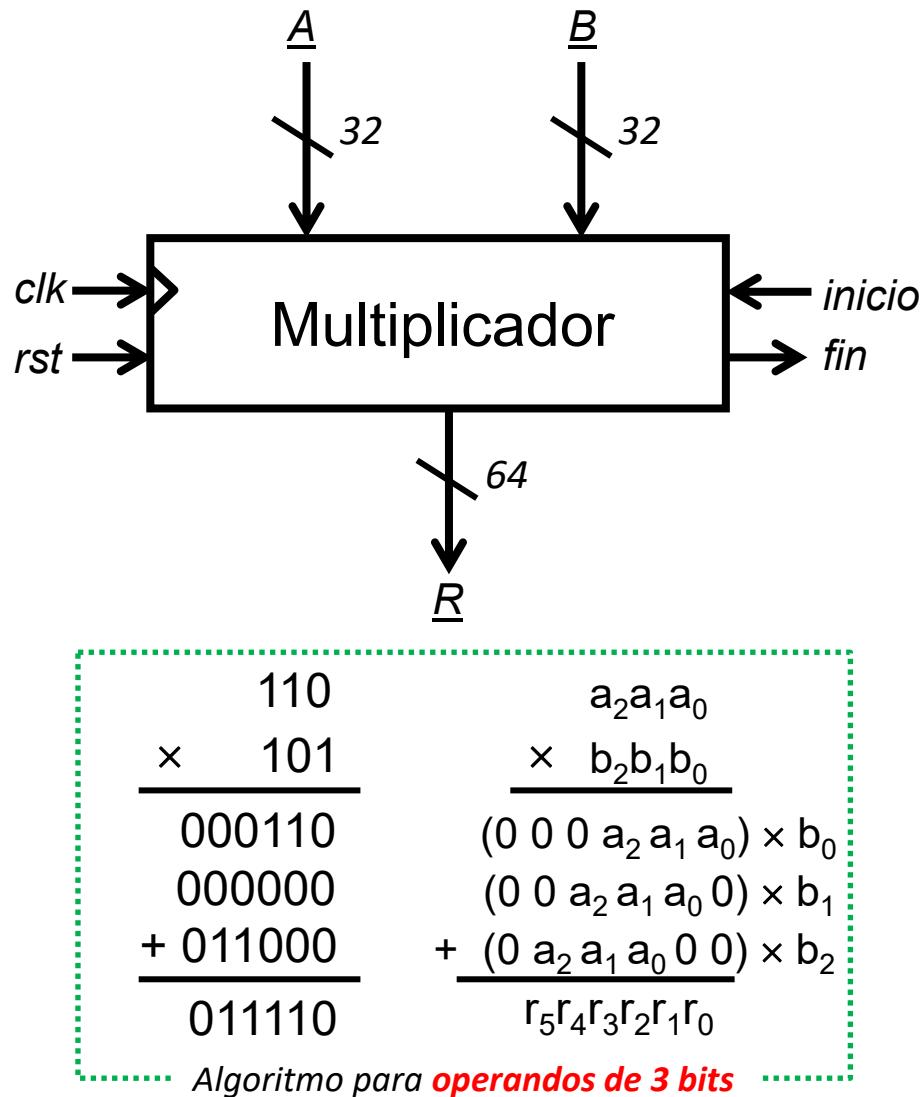
versión 2021

- Cuando un sistema secuencial realiza un **algoritmo complejo no es viable** especificarlo mediante un diagrama de estados.
- **Diseño algorítmico:** implementa un algoritmo en hardware.
 - Ruta de datos: realiza las operaciones y almacena resultados parciales.
 - Controlador: secuencia la realización de las operaciones según lo indicado por el algoritmo.



Rutas de datos y controladores

Especificación de alto nivel: interfaz



1. Especificación de alto nivel



Rutas de datos y controladores

Especificación de alto nivel: algoritmo

versión 2021

tema 4:
Rutas de datos y controladores

FC

24

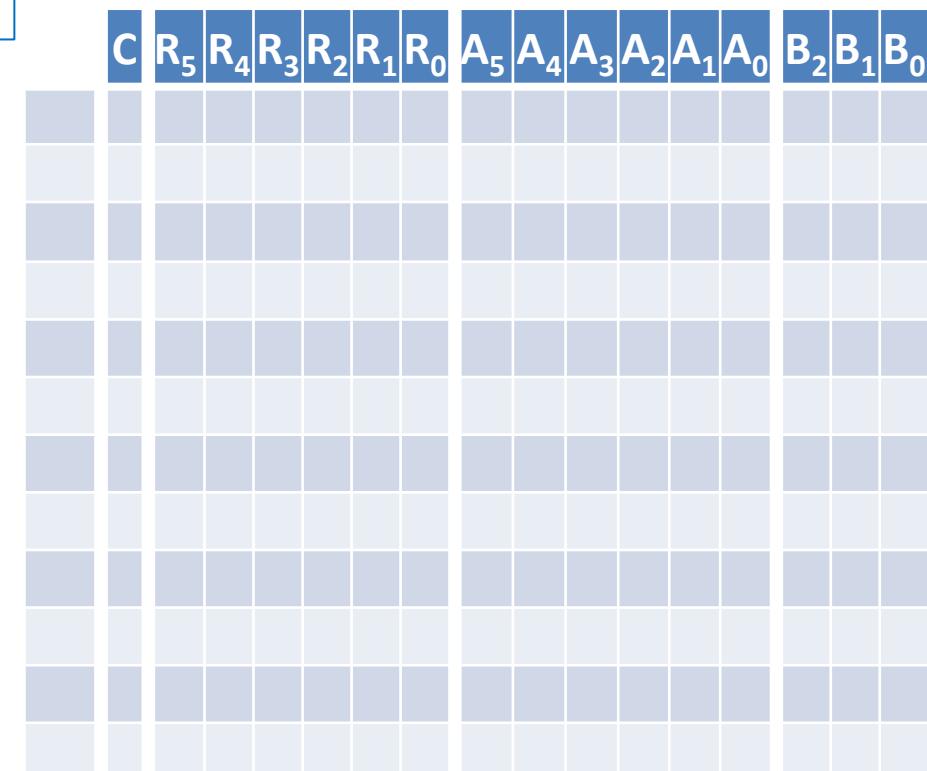
Para operandos de 32 bits
el bucle sería de 0 to 31

```
begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:=0 to 2 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
7. Rout := R;
end;
```

Algoritmo para **operandos de 3 bits**

Desplazamiento
a la izquierda

Desplazamiento
a la derecha



2. Especificación del algoritmo

Rutas de datos y controladores

Especificación de alto nivel: algoritmo



begin

- ```

1. A := Ain;
2. B := Bin;
3. R := 0;
 for C:=0 to 2 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
 end for;
7. Rout := R;
end;

```

## 2. Especificación del algoritmo

# Rutas de datos y controladores

Especificación de alto nivel: algoritmo



```
begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:=0 to 2 do begin
4. if $B_0=1$ then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
7. Rout := R;
end;
```

|    | C | R <sub>5</sub> | R <sub>4</sub> | R <sub>3</sub> | R <sub>2</sub> | R <sub>1</sub> | R <sub>0</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> | B <sub>2</sub> | B <sub>1</sub> | B <sub>0</sub> |
|----|---|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 1. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | -              | -              | -              |
| 2. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |

2. Especificación del algoritmo

# Rutas de datos y controladores

# Especificación de alto nivel: algoritmo



```

begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:=0 to 2 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
7. Rout := R;
end;

```

## 2. Especificación del algoritmo

# Rutas de datos y controladores

# Especificación de alto nivel: algoritmo



```

begin
1. A := Ain;
2. B := Bin;
3. R := 0;
 for C:=0 to 2 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
 end for;
7. Rout := R;
end;

```

|    | C | R <sub>5</sub> | R <sub>4</sub> | R <sub>3</sub> | R <sub>2</sub> | R <sub>1</sub> | R <sub>0</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> | B <sub>2</sub> | B <sub>1</sub> | B <sub>0</sub> |
|----|---|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 1. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | -              | -              | -              |
| 2. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 3. | - | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 4. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |

## 2. Especificación del algoritmo

# Rutas de datos y controladores

# Especificación de alto nivel: algoritmo



```

begin
1. A := Ain;
2. B := Bin;
3. R := 0;
 for C:=0 to 2 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
 end for;
7. Rout := R;
end;

```

## 2. Especificación del algoritmo

# Rutas de datos y controladores

## Especificación de alto nivel: algoritmo



```

begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:=0 to 2 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
7. Rout := R;
end;

```

## 2. Especificación del algoritmo

# Rutas de datos y controladores

# Especificación de alto nivel: algoritmo



```

begin
1. A := Ain;
2. B := Bin;
3. R := 0;
 for C:=0 to 2 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
 end for;
7. Rout := R;
end;

```

## 2. Especificación del algoritmo

# Rutas de datos y controladores

## Especificación de alto nivel: algoritmo



```

begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:=0 to 2 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
7. Rout := R;
end;

```

## 2. Especificación del algoritmo

# Rutas de datos y controladores

## Especificación de alto nivel: algoritmo



```

begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:=0 to 2 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
7. Rout := R;
end;

```

|    | C | R <sub>5</sub> | R <sub>4</sub> | R <sub>3</sub> | R <sub>2</sub> | R <sub>1</sub> | R <sub>0</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> | B <sub>2</sub> | B <sub>1</sub> | B <sub>0</sub> |
|----|---|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 1. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | -              | -              | -              |
| 2. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 3. | - | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 4. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 5. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 0              | 1              |
| 6. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 0              |
| 4. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 0              |
| 5. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 1              | 0              |
| 6. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 1              |

## 2. Especificación del algoritmo

# Rutas de datos y controladores

Especificación de alto nivel: algoritmo



```

begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:=0 to 2 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
7. Rout := R;
end;

```

|    | C | R <sub>5</sub> | R <sub>4</sub> | R <sub>3</sub> | R <sub>2</sub> | R <sub>1</sub> | R <sub>0</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> | B <sub>2</sub> | B <sub>1</sub> | B <sub>0</sub> |
|----|---|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 1. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | -              | -              | -              |
| 2. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 3. | - | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 4. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 5. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 0              | 1              |
| 6. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 0              |
| 4. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 0              |
| 5. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 1              | 0              |
| 6. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 1              |
| 4. | 2 | 0              | 1              | 1              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 1              |
|    |   |                |                |                |                |                |                |                |                |                |                |                |                |                |                |                |
|    |   |                |                |                |                |                |                |                |                |                |                |                |                |                |                |                |
|    |   |                |                |                |                |                |                |                |                |                |                |                |                |                |                |                |

2. Especificación del algoritmo

# Rutas de datos y controladores

Especificación de alto nivel: algoritmo



```

begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:=0 to 2 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
7. Rout := R;
end;

```

|    | C | R <sub>5</sub> | R <sub>4</sub> | R <sub>3</sub> | R <sub>2</sub> | R <sub>1</sub> | R <sub>0</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> | B <sub>2</sub> | B <sub>1</sub> | B <sub>0</sub> |
|----|---|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 1. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | -              | -              | -              |
| 2. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 3. | - | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 4. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 5. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 0              | 1              |
| 6. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 0              |
| 4. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 0              |
| 5. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 1              | 0              |
| 6. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 1              |
| 4. | 2 | 0              | 1              | 1              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 1              |
| 5. | 2 | 0              | 1              | 1              | 1              | 1              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 1              |

2. Especificación del algoritmo

# Rutas de datos y controladores

## Especificación de alto nivel: algoritmo



```

begin
1. A := Ain;
2. B := Bin;
3. R := 0;
 for C:=0 to 2 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
 end for;
7. Rout := R;
end;

```

|    | C | R <sub>5</sub> | R <sub>4</sub> | R <sub>3</sub> | R <sub>2</sub> | R <sub>1</sub> | R <sub>0</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> | B <sub>2</sub> | B <sub>1</sub> | B <sub>0</sub> |
|----|---|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 1. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | -              | -              | -              |
| 2. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 3. | - | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 4. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 5. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 0              | 1              |
| 6. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 0              |
| 4. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 0              |
| 5. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 1              | 0              |
| 6. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 1              |
| 4. | 2 | 0              | 1              | 1              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 1              |
| 5. | 2 | 0              | 1              | 1              | 1              | 1              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 1              |
| 6. | 2 | 0              | 1              | 1              | 1              | 1              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              |

## 2. Especificación del algoritmo

# Rutas de datos y controladores

## Especificación de alto nivel: algoritmo



```

begin
1. A := Ain;
2. B := Bin;
3. R := 0;
 for C:=0 to 2 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
 end for;
7. Rout := R;
end;

```

|    | C | R <sub>5</sub> | R <sub>4</sub> | R <sub>3</sub> | R <sub>2</sub> | R <sub>1</sub> | R <sub>0</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> | B <sub>2</sub> | B <sub>1</sub> | B <sub>0</sub> |
|----|---|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 1. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | -              | -              | -              |
| 2. | - | -              | -              | -              | -              | -              | -              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 3. | - | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 4. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 1              | 1              | 0              | 1              | 0              | 1              |
| 5. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 0              | 1              |
| 6. | 0 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 0              |
| 4. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 1              | 0              |
| 5. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 1              | 0              |
| 6. | 1 | 0              | 0              | 0              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 1              |
| 4. | 2 | 0              | 1              | 1              | 1              | 1              | 0              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 1              |
| 5. | 2 | 0              | 1              | 1              | 1              | 1              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 1              |
| 6. | 2 | 0              | 1              | 1              | 1              | 1              | 0              | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              |

## 2. Especificación del algoritmo



# Rutas de datos y controladores

## Diseño de la ruta de datos

versión 2021

tema 4:  
*Rutas de datos y controladores*

FC

38

```
begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:= 0 to 31 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
7. Rout := R;
end;
```

*Algoritmo para  
operandos de 32 bits*

**3. Diseño de la ruta de datos**



# Rutas de datos y controladores

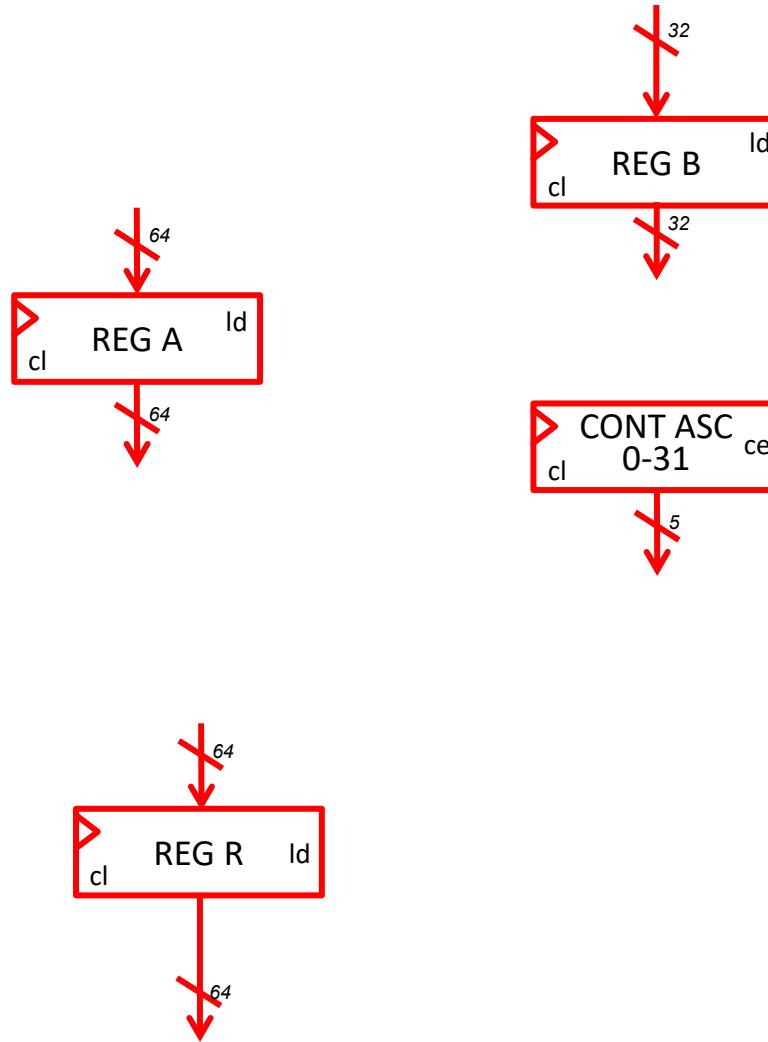
## Elementos de almacenamiento

versión 2021

tema 4:  
Rutas de datos y controladores

FC

39



```
begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:= 0 to 31 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
7. Rout := R;
end;
```

3. Diseño de la ruta de datos



# Rutas de datos y controladores

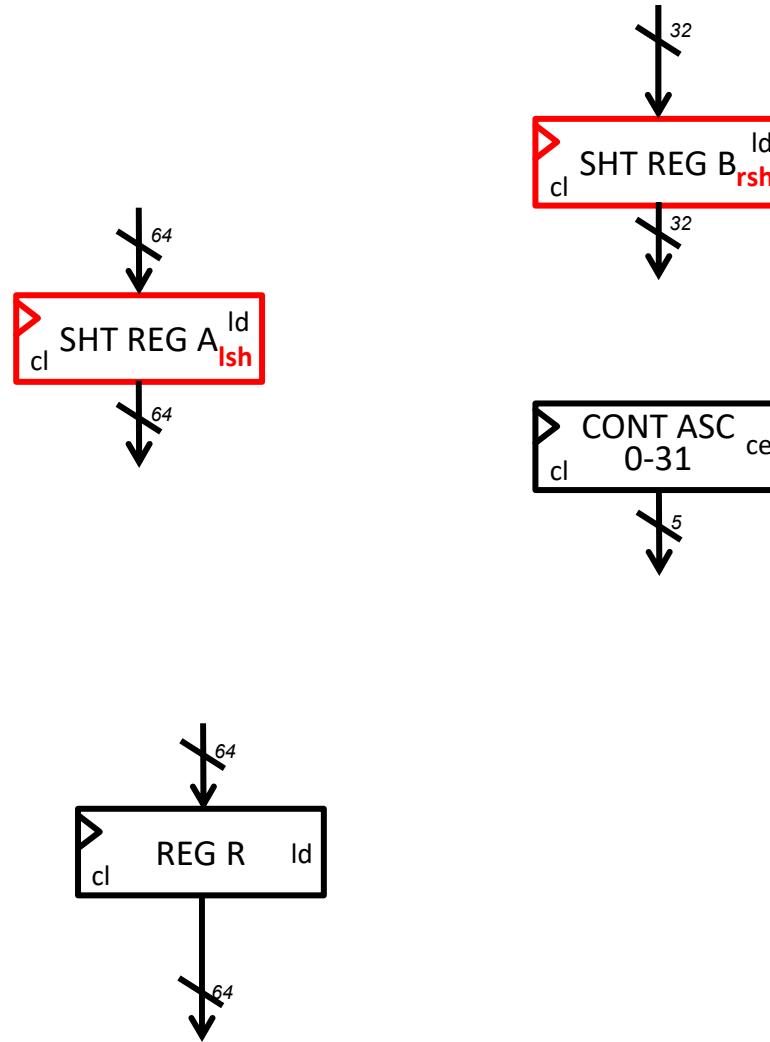
## Desplazamiento de operandos

versión 2021

tema 4:  
Rutas de datos y controladores

FC

40



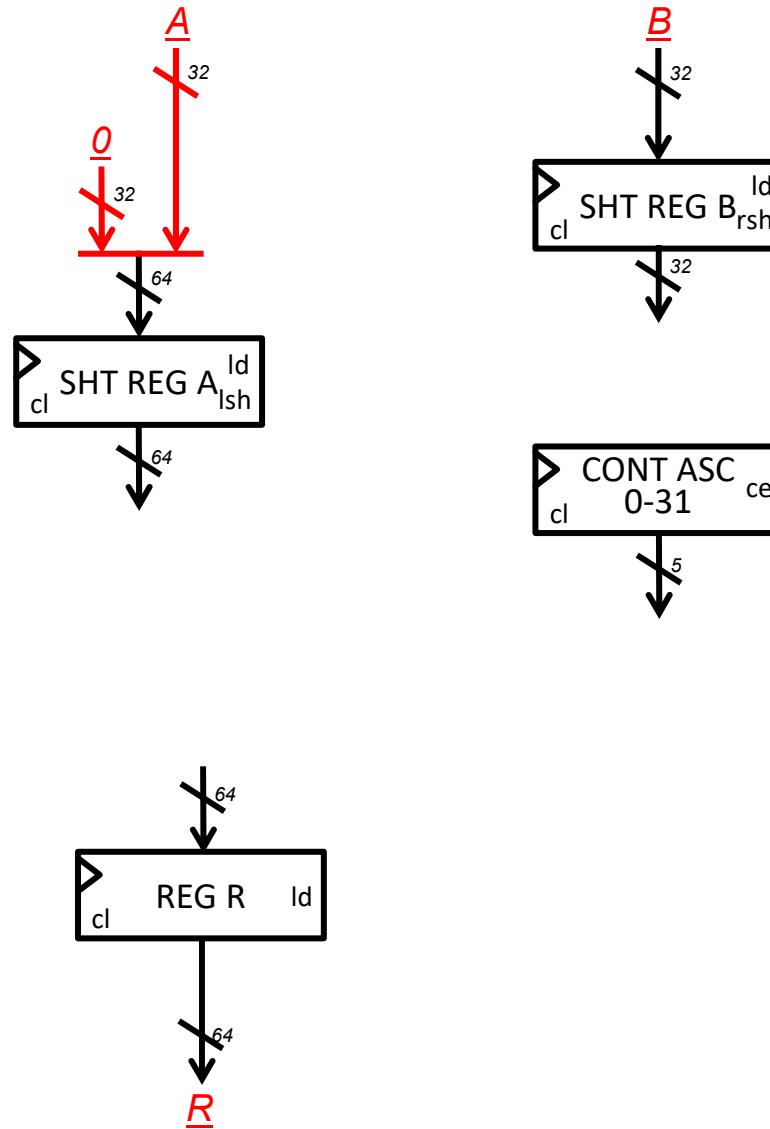
```
begin
 1. A := Ain;
 2. B := Bin;
 3. R := 0;
 4. for C:=0 to 31 do begin
 5. if B0=1 then R := R+A;
 6. A := A << 1;
 7. B := B >> 1;
 end for;
 7. Rout := R;
end;
```

3. Diseño de la ruta de datos

# Rutas de datos y controladores



## Conexión con el exterior



*begin*

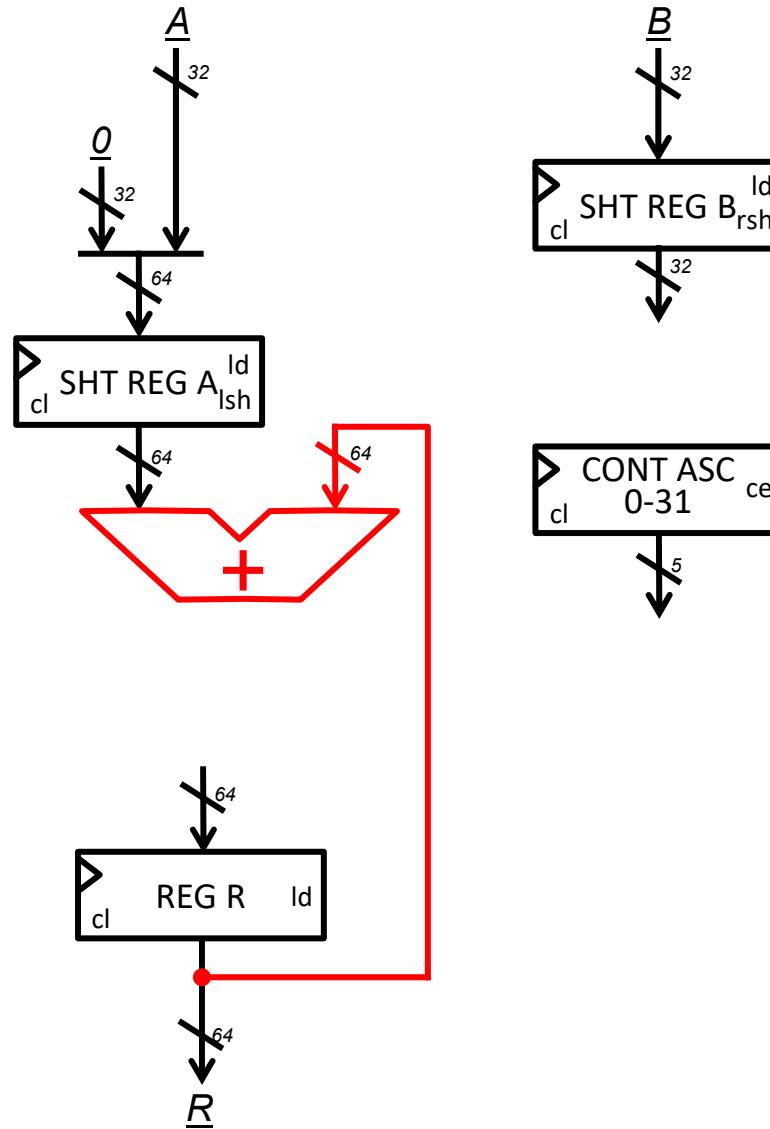
1. **A := Ain;**
2. **B := Bin;**
3. **R := 0;**
4. **for C:=0 to 31 do begin**
5.     **if B<sub>0</sub>=1 then R := R+A;**
6.     **A := A << 1;**
7.     **B := B >> 1;**
8. **end for;**
9. **Rout := R;**
10. **end;**

3. Diseño de la ruta de datos



# Rutas de datos y controladores

## Suma de productos parciales



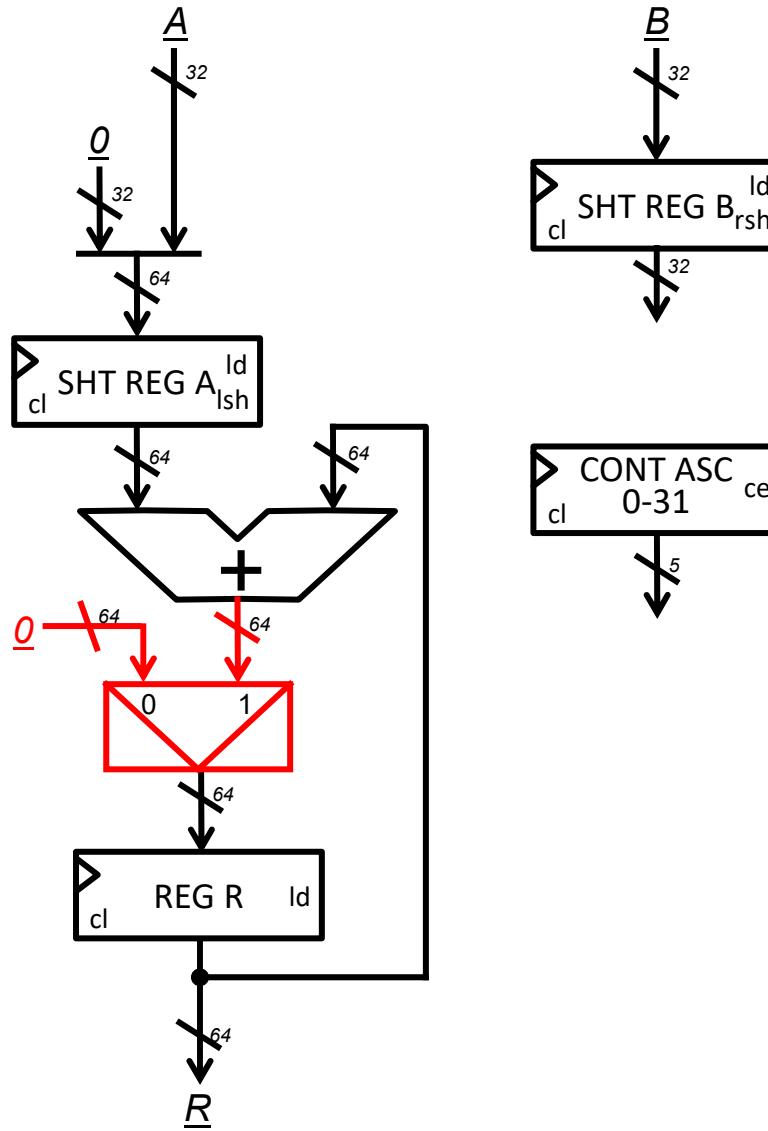
```
begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:=0 to 31 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
7. Rout := R;
end;
```

### 3. Diseño de la ruta de datos



# Rutas de datos y controladores

## Inicialización y almacenaje



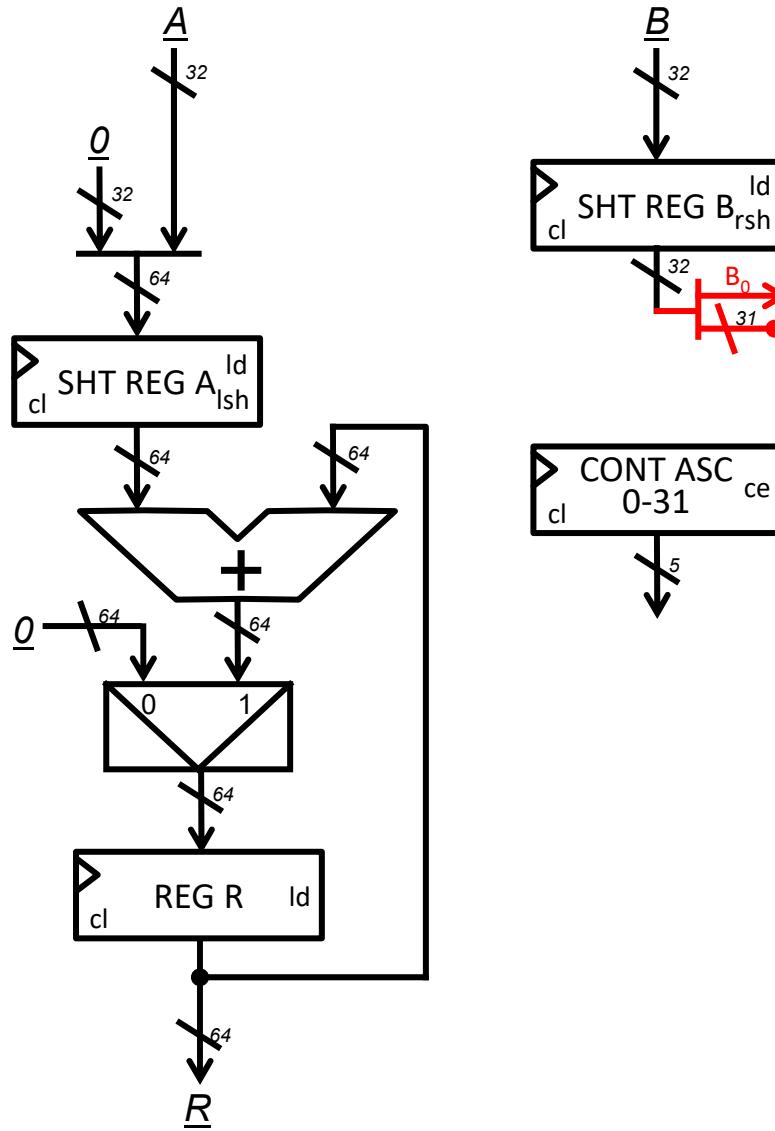
```
begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:=0 to 31 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
7. Rout := R;
end;
```

3. Diseño de la ruta de datos



# Rutas de datos y controladores

## Chequeo de condiciones



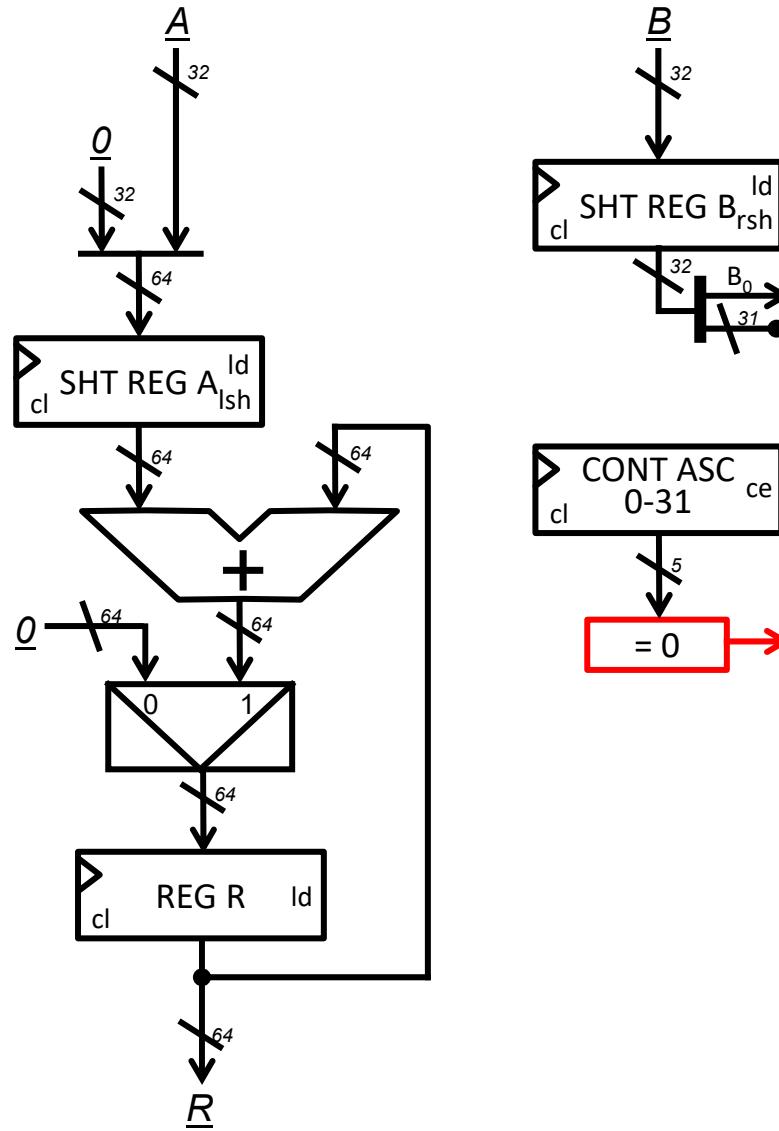
```
begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:=0 to 31 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
7. Rout := R;
end;
```

### 3. Diseño de la ruta de datos



# Rutas de datos y controladores

## Detección del fin del bucle



```
begin
1. A := Ain;
2. B := Bin;
3. R := 0;
4. for C:=0 to 31 do begin
5. if B0=1 then R := R+A;
6. A := A << 1;
7. B := B >> 1;
8. end for;
9. Rout := R;
end;
```

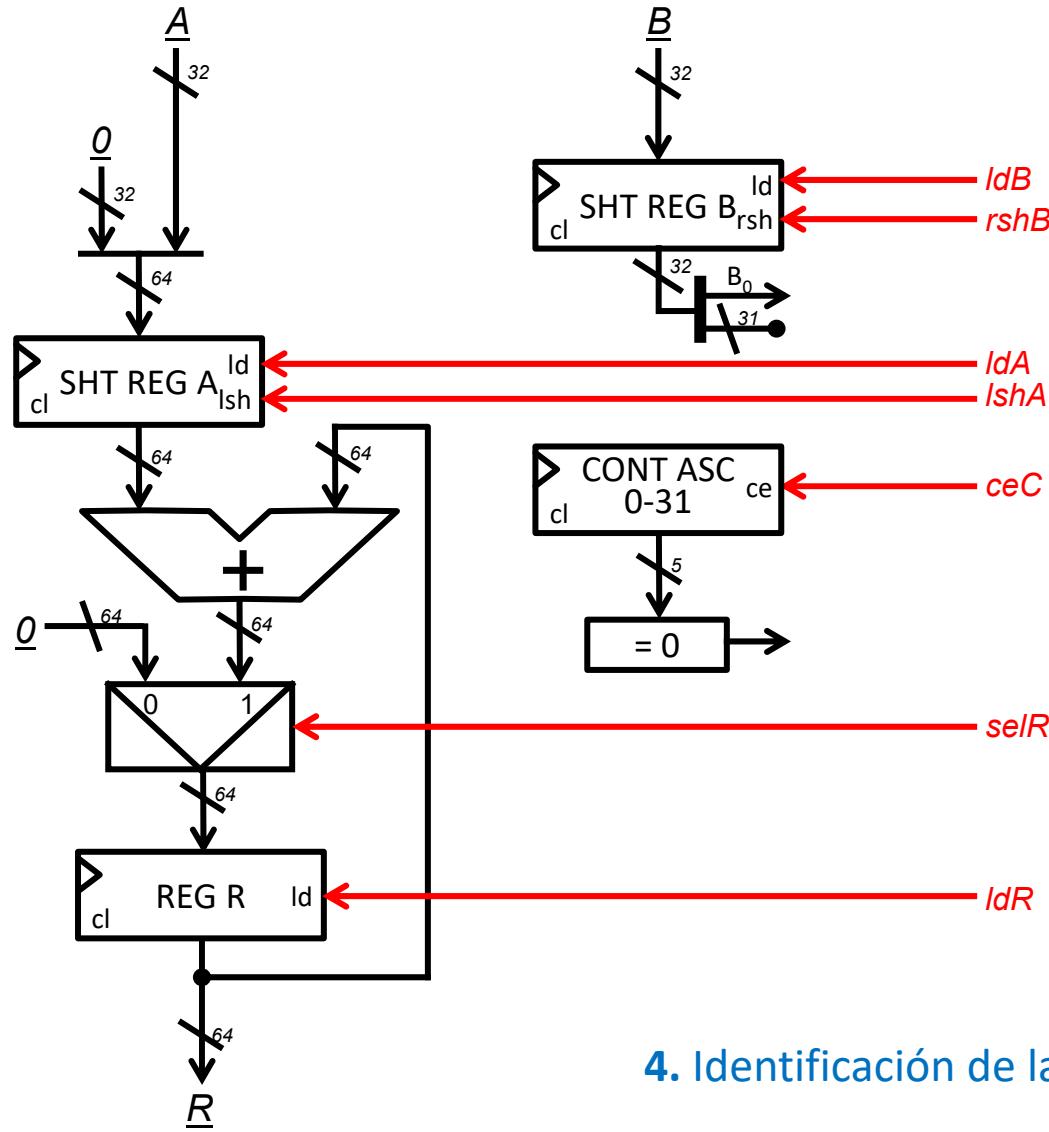


### 3. Diseño de la ruta de datos



# Rutas de datos y controladores

## Señales de control

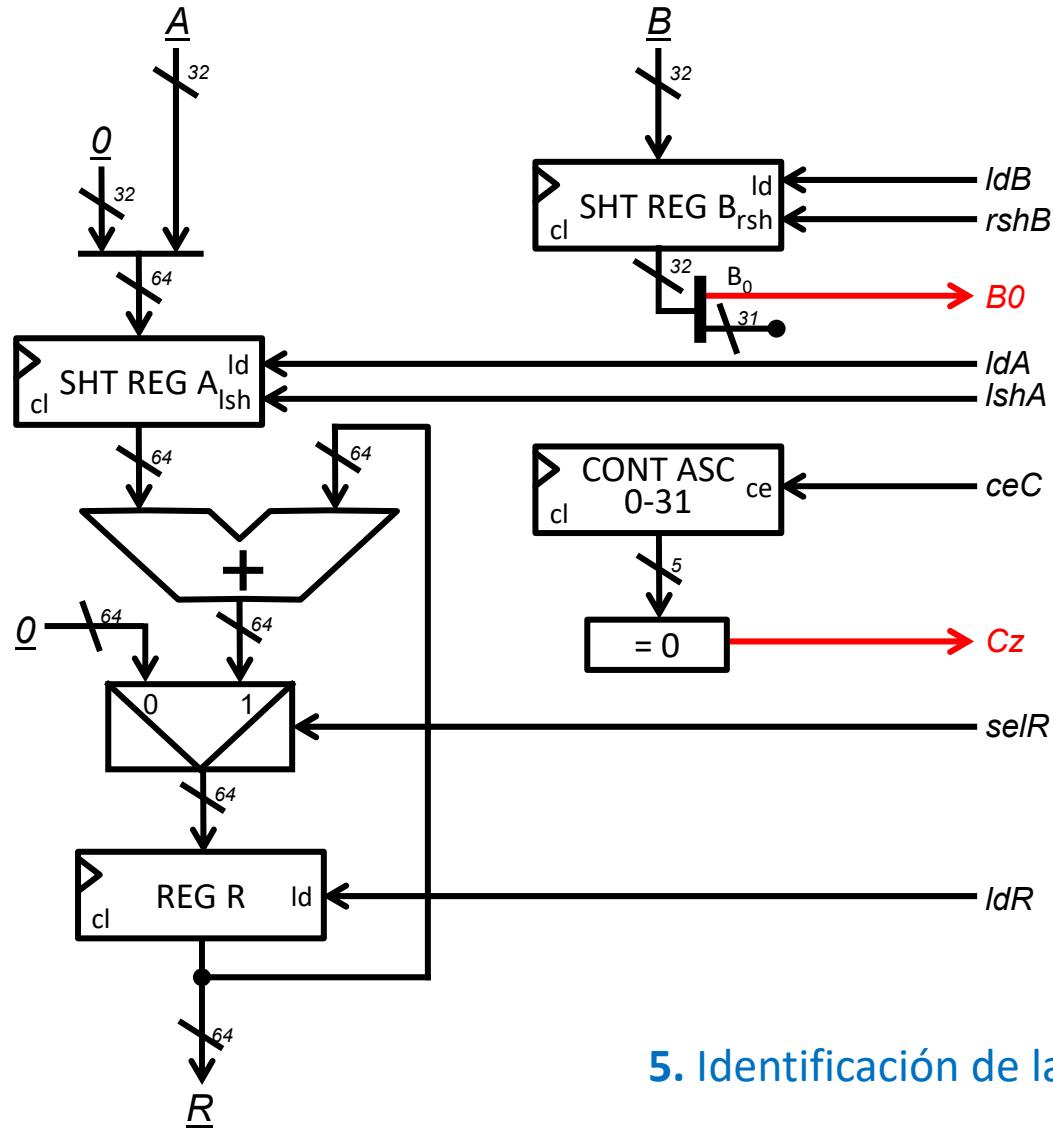


4. Identificación de las señales de control



# Rutas de datos y controladores

## Señales de estado

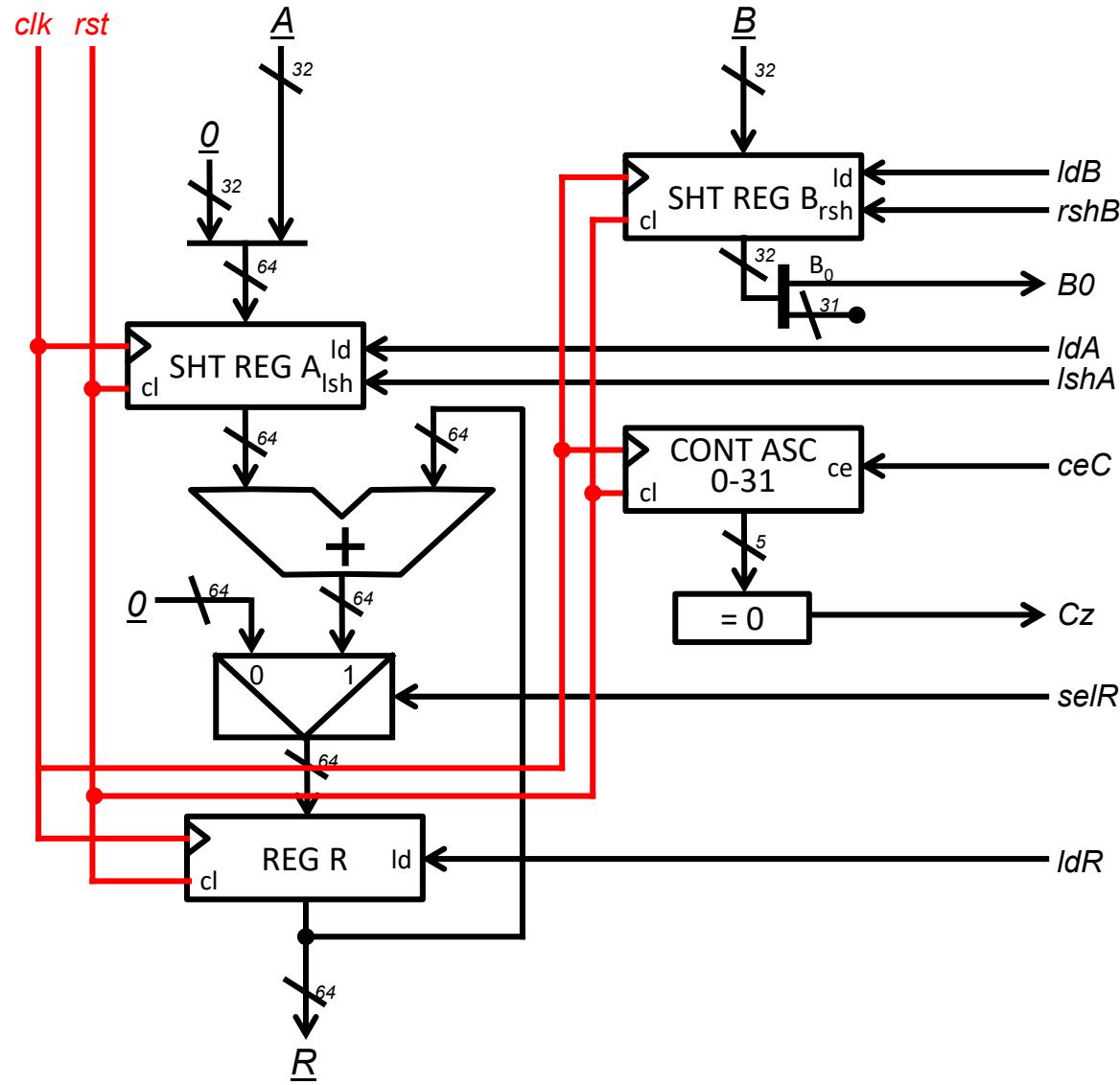


## 5. Identificación de las señales de estado



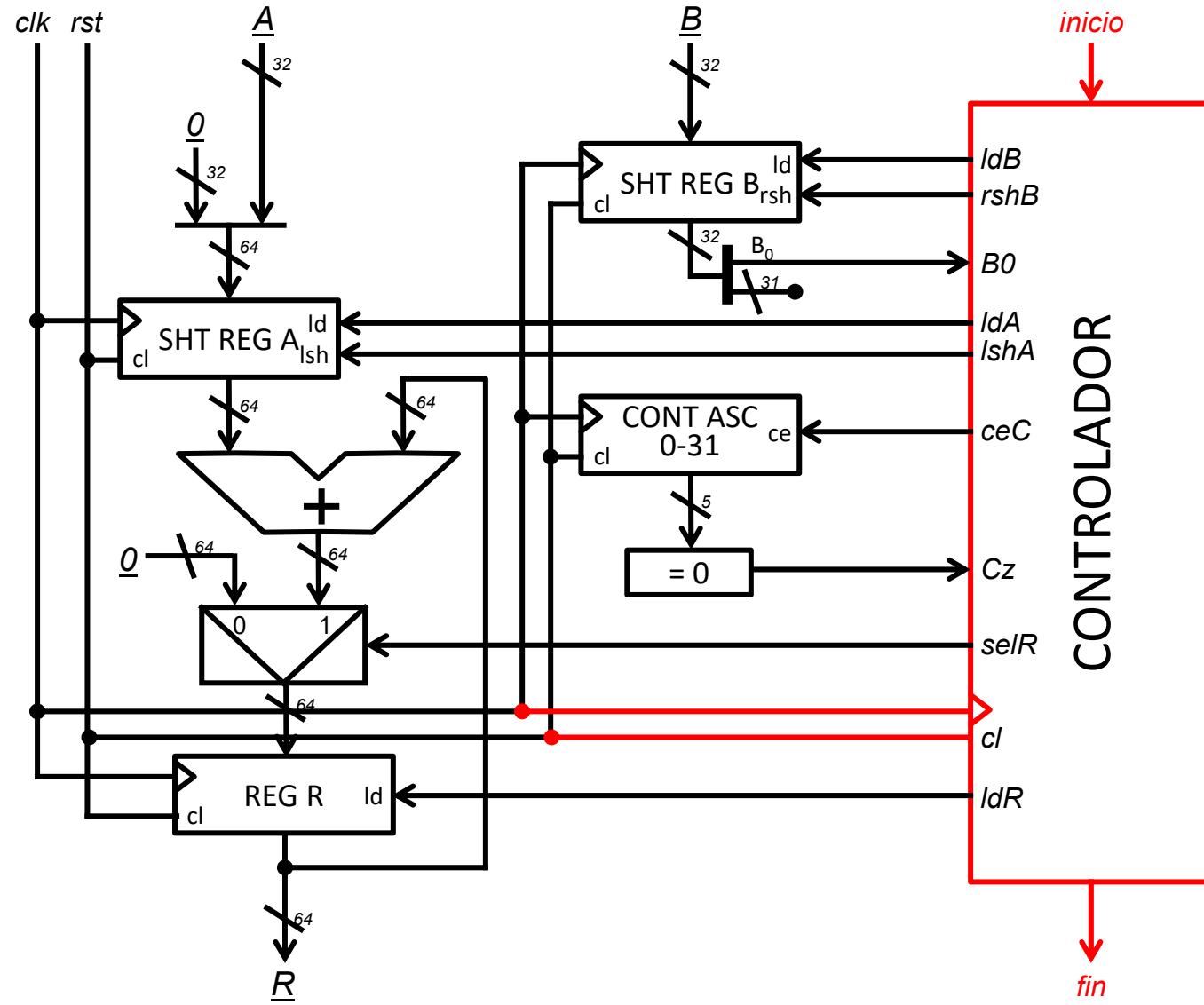
# Rutas de datos y controladores

Conexión del reloj y reset



# Rutas de datos y controladores

## Conexión con el controlador





# Rutas de datos y controladores

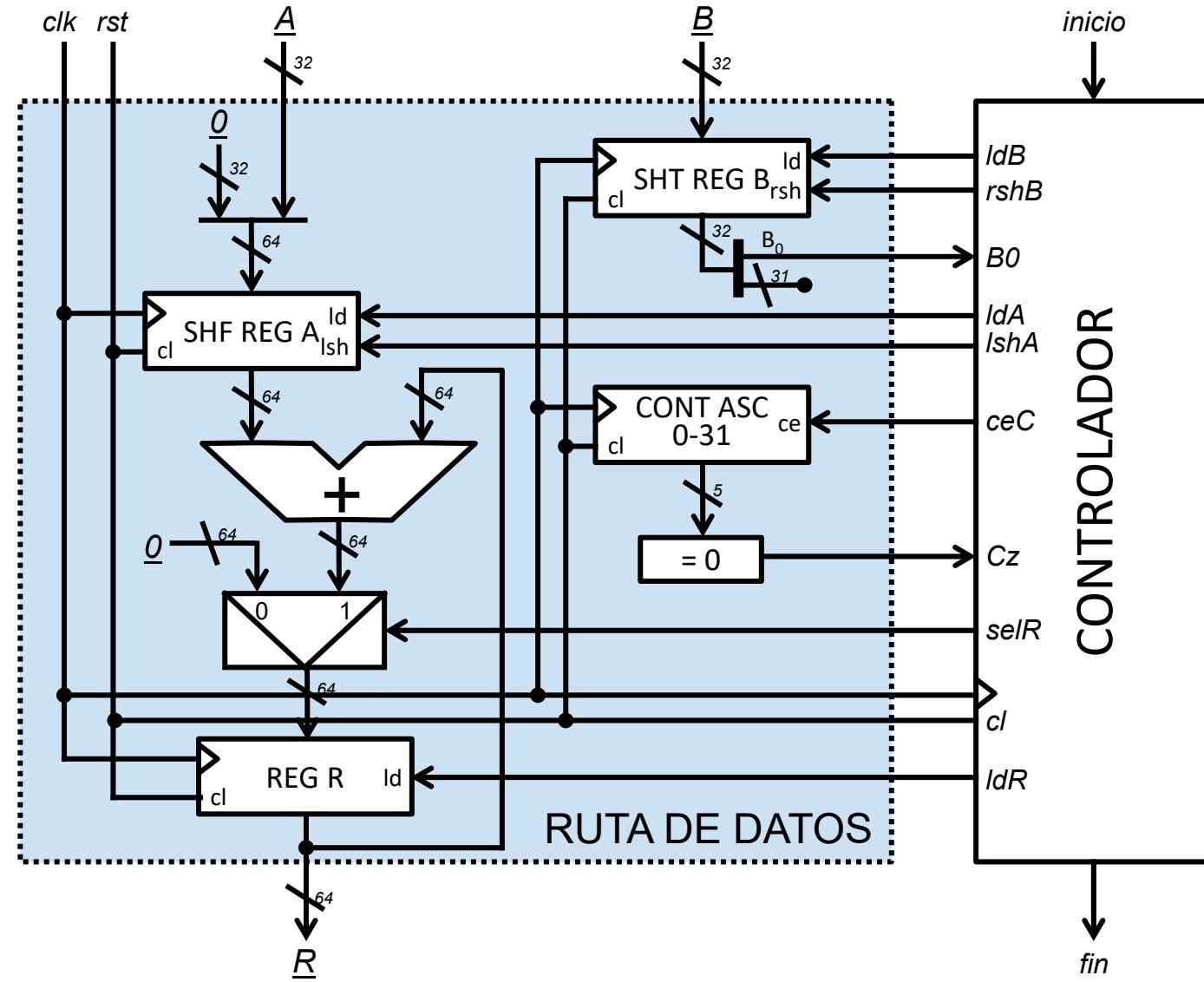
Estructura del sistema completo

versión 2021

tema 4:  
Rutas de datos y controladores

FC

50





# Rutas de datos y controladores

## Formalismo ASM (Algorithmic State Machine)

versión 2021

tema 4:  
Rutas de datos y controladores

FC

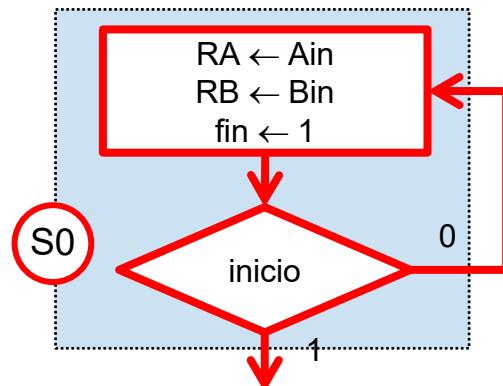
51

- Para facilitar la expresión del algoritmo usaremos un **diagrama ASM** como formalismo intermedio.
- Un diagrama ASM es un grupo de bloques interconectados.
  - Cada bloque se corresponde con un **estado** e indica las acciones que se realizan en paralelo en dicho estado.
- Todo **bloque** (recuadro azul) esta formado por:
  - 1 caja de **estado** (rectangular): que indica las transferencias entre registros que se realizan incondicionalmente en el estado.
  - 0..n cajas de **selección** (romboidales): indican las condiciones bajo las cuales se determina el estado siguiente del sistema o se realizan ciertas transferencias entre registros.



# Rutas de datos y controladores

## Algoritmo en ASM



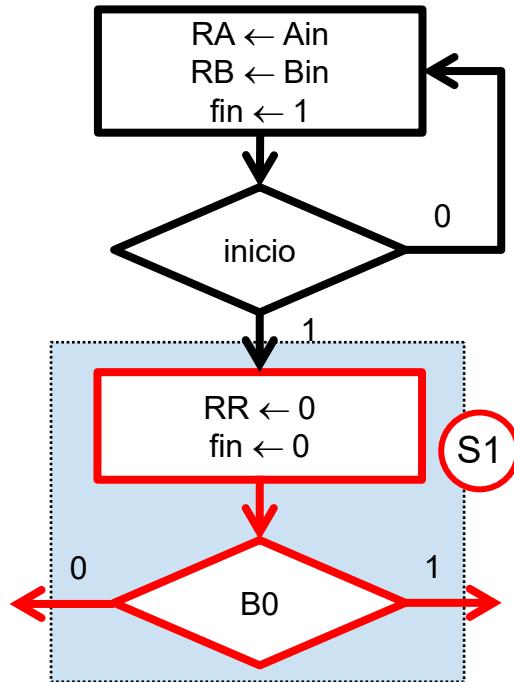
*begin*

1. A := Ain;
2. B := Bin;
3. R := 0;
4. for C:= 0 to 31 do begin
5.     if  $B_0=1$  then R := R+A;
6.     A := A << 1;
7.     B := B >> 1;
8. end for;
9. Rout := R;
10. *end;*



# Rutas de datos y controladores

## Algoritmo en ASM



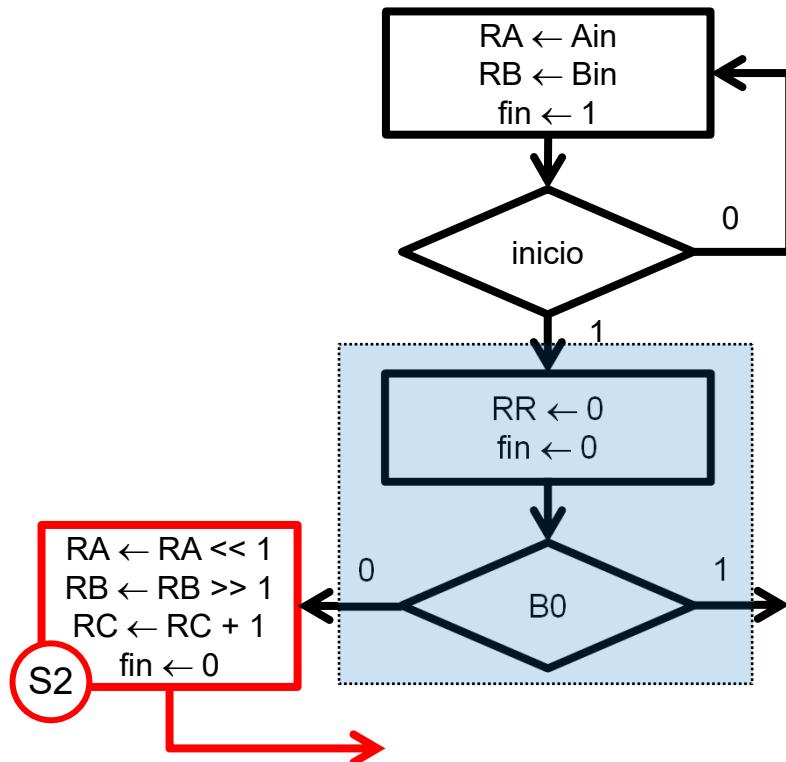
*begin*

1. A := Ain;
2. B := Bin;
3. **R := 0;**
4. **for C:= 0 to 31 do begin**
5.     **if B<sub>0</sub>=1 then R := R+A;**
6.     A := A << 1;
7.     B := B >> 1;
8. **end for;**
9. Rout := R;
10. **end;**



# Rutas de datos y controladores

## Algoritmo en ASM



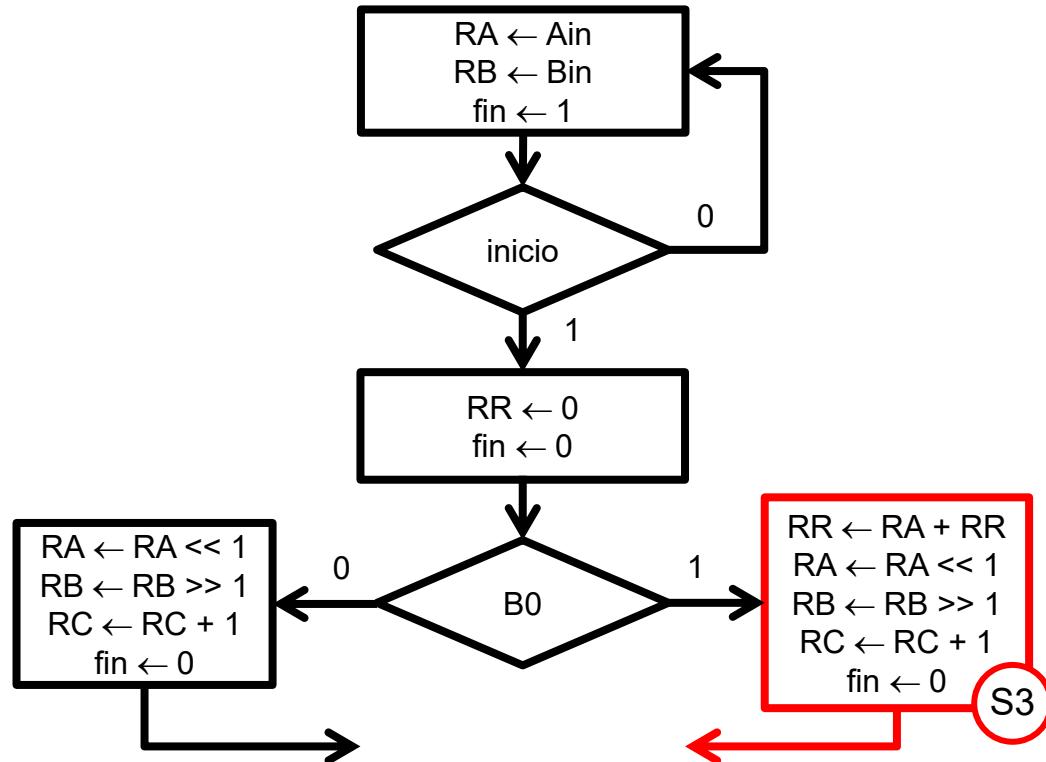
*begin*

1. A := Ain;
2. B := Bin;
3. R := 0;
4. *for C:= 0 to 31 do begin*
5.   *if B<sub>0</sub>=1 then R := R+A;*
6.   *A := A << 1;*
7.   *B := B >> 1;*
8. *end for;*
9. Rout := R;
10. *end;*



# Rutas de datos y controladores

## Algoritmo en ASM



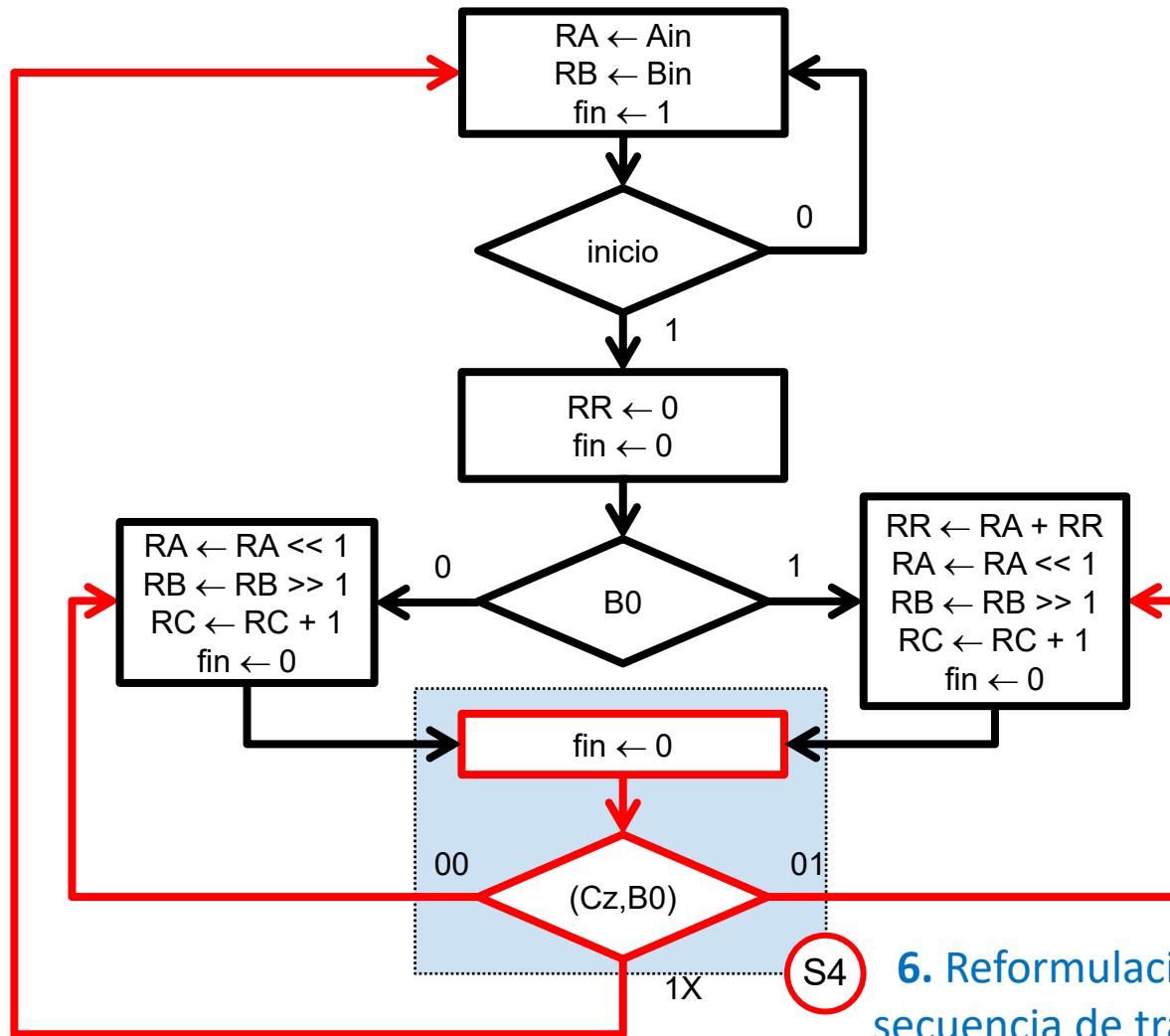
```
begin
1. A := Ain;
2. B := Bin;
3. R := 0;
4. for C:= 0 to 31 do begin
5. if B0=1 then R := R+A;
6. A := A << 1;
7. B := B >> 1;
8. end for;
9. Rout := R;
10. end;
```

6. Reformulación del algoritmo como una secuencia de transferencias entre registros



# Rutas de datos y controladores

## Algoritmo en ASM



**begin**

1. A := Ain;
2. B := Bin;
3. R := 0;
4. **for** C:= 0 to 31 **do begin**
5.     **if** B<sub>0</sub>=1 **then** R := R+A;
6.     A := A << 1;
7.     B := B >> 1;
8. **end for;**
9. Rout := R;

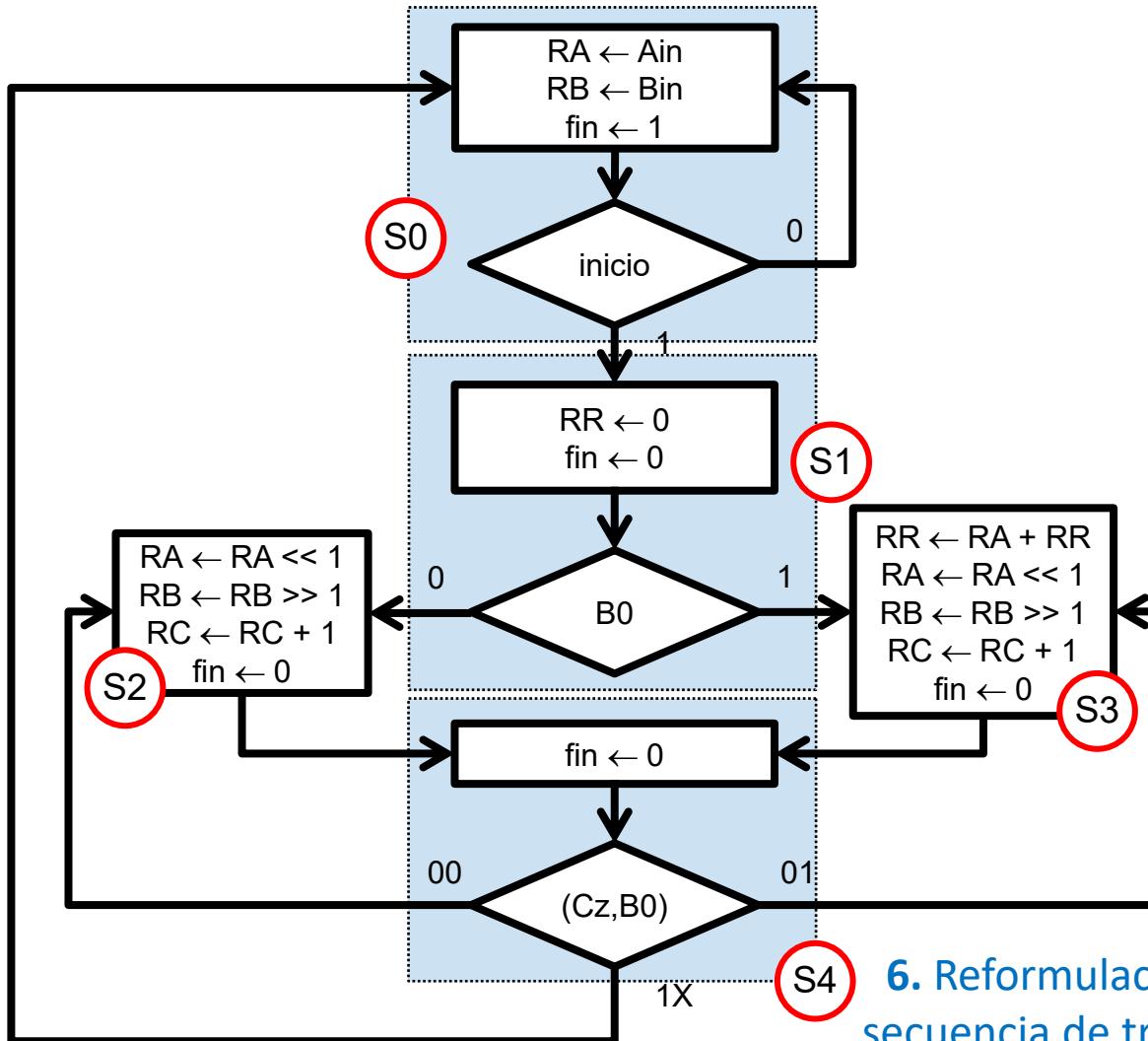
**end;**

6. Reformulación del algoritmo como una secuencia de transferencias entre registros



# Rutas de datos y controladores

## Algoritmo en ASM



```

begin
1. A := Ain;
2. B := Bin;
3. R := 0;
for C:= 0 to 31 do begin
4. if B0=1 then R := R+A;
5. A := A << 1;
6. B := B >> 1;
end for;
Rout := R;
end;

```

6. Reformulación del algoritmo como una secuencia de transferencias entre registros



# Rutas de datos y controladores

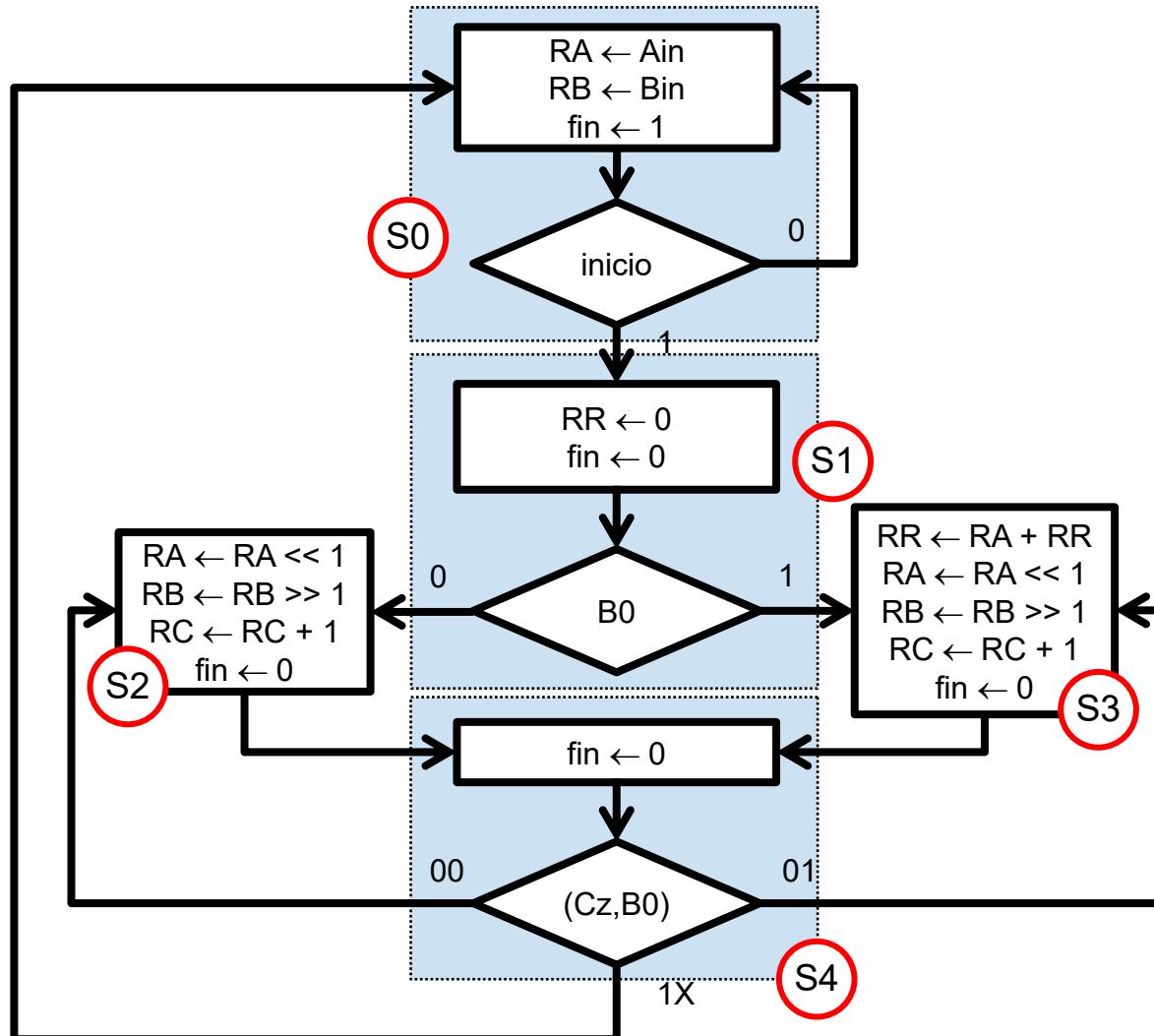
## Algoritmo en ASM

versión 2021

tema 4:  
Rutas de datos y controladores

FC

58



**S0**  $RA \leftarrow A_{in}$ ;  $RB \leftarrow B_{in}$ ;  
 $fin \leftarrow 1$ ;  
si ( $inicio=0$ ) ir a S0;  
si ( $inicio=1$ ) ir a S1;

**S1**  $RR \leftarrow 0$ ;  $fin \leftarrow 0$ ;  
si ( $B0=0$ ) ir a S2;  
si ( $B0=1$ ) ir a S3;

**S2**  $RA \leftarrow RA << 1$ ;  
 $RB \leftarrow RB >> 1$ ;  
 $RC \leftarrow RC + 1$ ;  $fin \leftarrow 0$ ;  
ir a S4;

**S3**  $RR \leftarrow RA + RR$ ;  
 $RA \leftarrow RA << 1$ ;  
 $RB \leftarrow RB >> 1$ ;  
 $RC \leftarrow RC + 1$ ;  $fin \leftarrow 0$ ;  
ir a S4;

**S4**  $fin \leftarrow 0$ ;  
si ( $Cz=1$ ) ir a S0;  
si ( $Cz=0$  y  $B0=0$ ) ir a S2;  
si ( $Cz=0$  y  $B0=1$ ) ir a S3;

tiempo de cálculo:  $2+32\times2 = 66$  ciclos



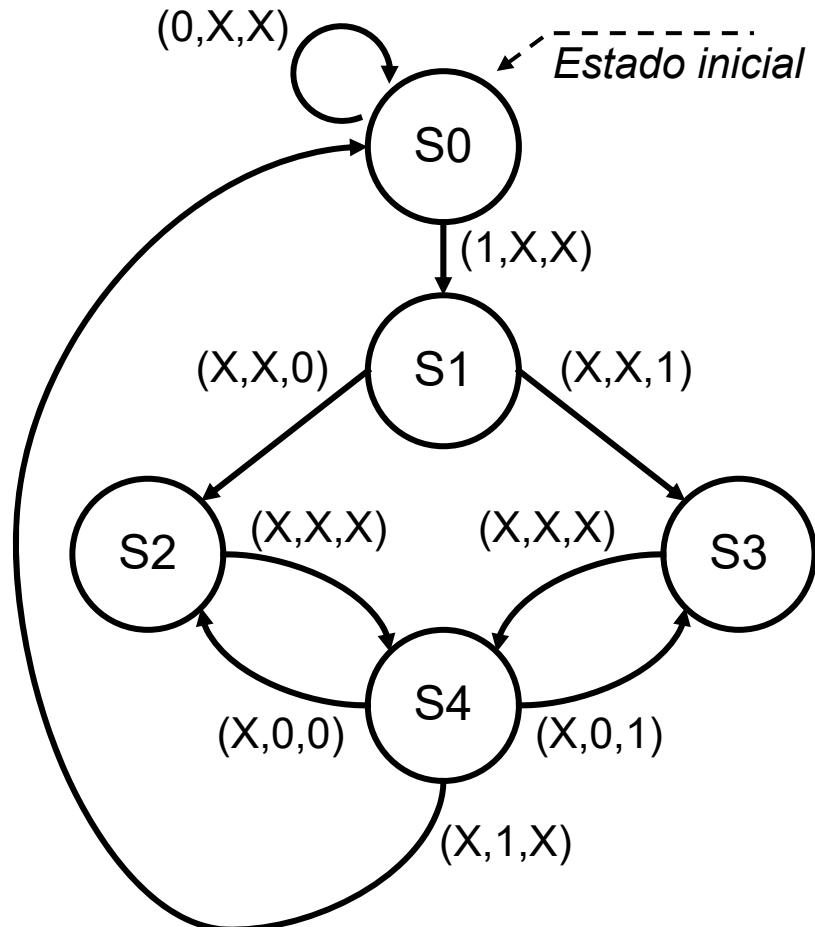
# Rutas de datos y controladores

Algoritmo como una FSM

versión 2021

tema 4:  
Rutas de datos y controladores

FC  
59



entradas del controlador: (inicio, Cz, B0)

Función de transición de estados

| estado | inicio | Cz | B0 | estado' |
|--------|--------|----|----|---------|
| S0     | 0      | X  | X  | S0      |
| S0     | 1      | X  | X  | S1      |
| S1     | X      | X  | 0  | S2      |
| S1     | X      | X  | 1  | S3      |
| S2     | X      | X  | X  | S4      |
| S3     | X      | X  | X  | S4      |
| S4     | X      | 0  | 0  | S2      |
| S4     | X      | 0  | 1  | S3      |
| S4     | X      | 1  | X  | S0      |

Función de salida

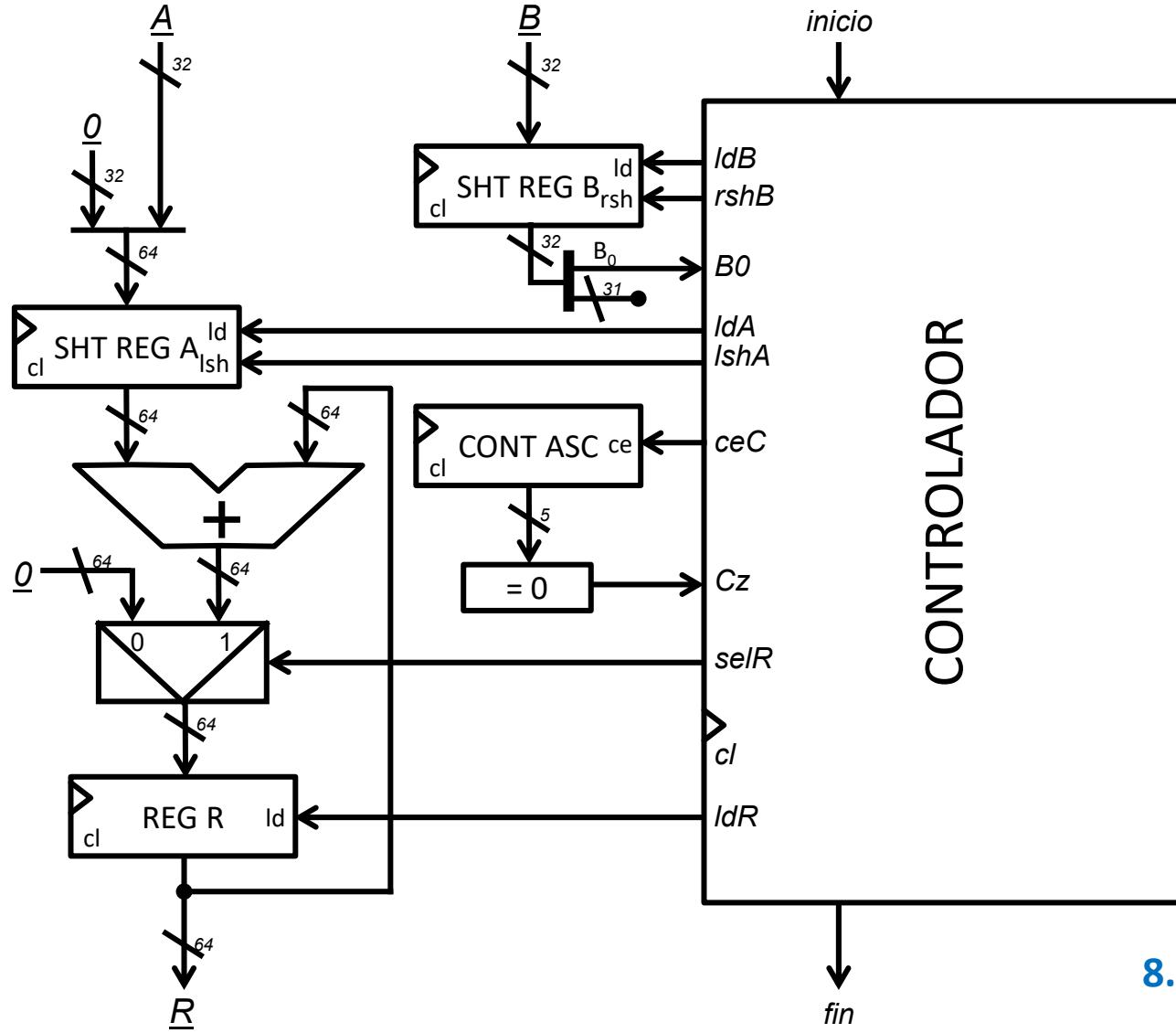
| estado | IdB | rshB | IdA | IshA | ceC | selR | IdR | fin |
|--------|-----|------|-----|------|-----|------|-----|-----|
| S0     | 1   | 0    | 1   | 0    | 0   | -    | 0   | 1   |
| S1     | 0   | 0    | 0   | 0    | 0   | 0    | 1   | 0   |
| S2     | 0   | 1    | 0   | 1    | 1   | -    | 0   | 0   |
| S3     | 0   | 1    | 0   | 1    | 1   | 1    | 1   | 0   |
| S4     | 0   | 0    | 0   | 0    | 0   | -    | 0   | 0   |

7. Especificación del controlador como FSM



# Rutas de datos y controladores

## Diseño del controlador



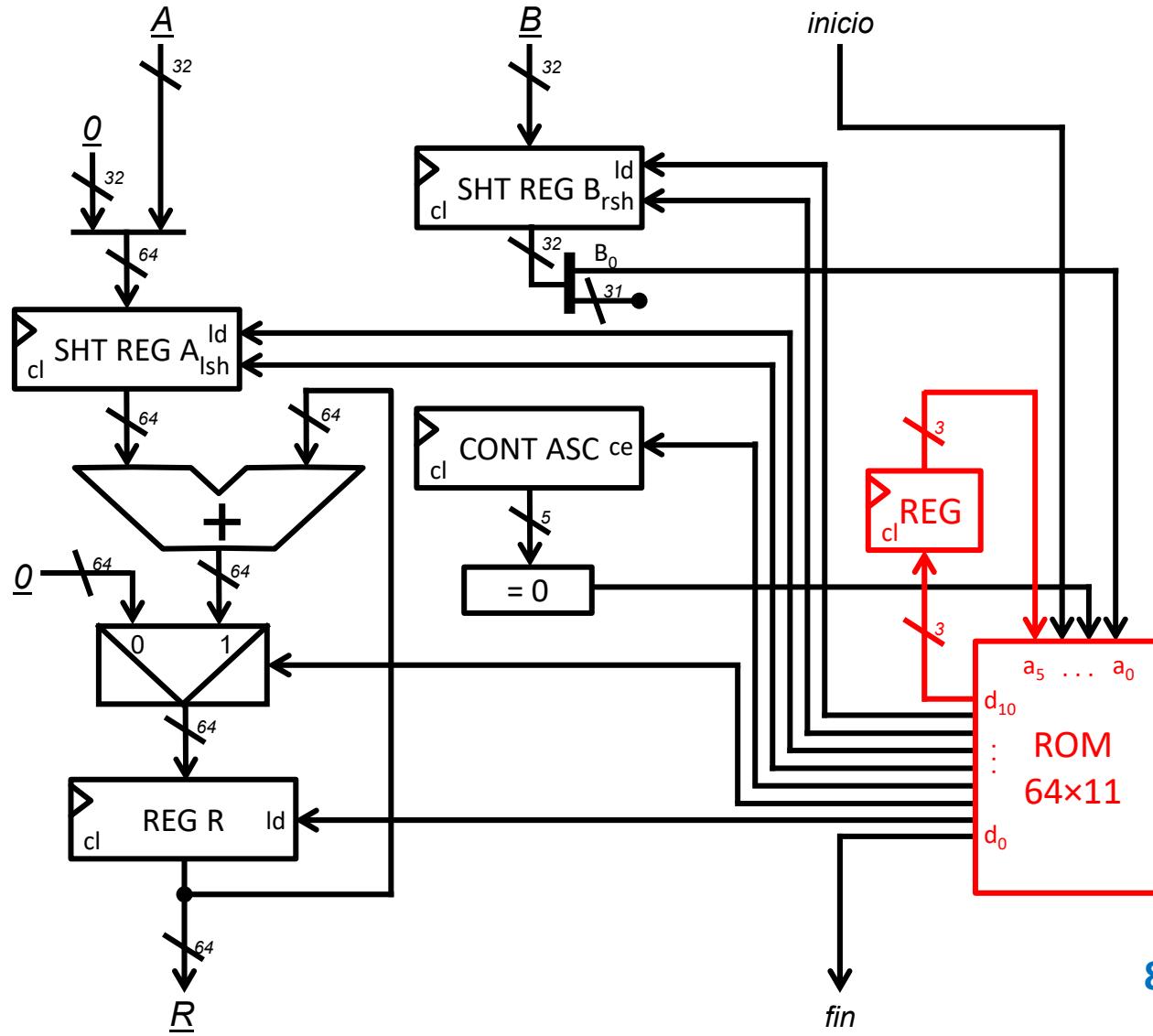
- S0**  $RA \leftarrow A_{in}; RB \leftarrow B_{in};$   
 $fin \leftarrow 1;$   
 si ( $inicio=0$ ) ir a S0;  
 si ( $inicio=1$ ) ir a S1;
- S1**  $RR \leftarrow 0; fin \leftarrow 0;$   
 si ( $B_0=0$ ) ir a S2;  
 si ( $B_0=1$ ) ir a S3;
- S2**  $RA \leftarrow RA \ll 1;$   
 $RB \leftarrow RB \gg 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 ir a S4;
- S3**  $RR \leftarrow RA + RR;$   
 $RA \leftarrow RA \ll 1;$   
 $RB \leftarrow RB \gg 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 ir a S4;
- S4**  $fin \leftarrow 0;$   
 si ( $Cz=1$ ) ir a S0;  
 si ( $Cz=0$  y  $B_0=0$ ) ir a S2;  
 si ( $Cz=0$  y  $B_0=1$ ) ir a S3;

8. Diseño del controlador



# Rutas de datos y controladores

ROM + registro de estado



**S0**  $RA \leftarrow A_{in}; RB \leftarrow B_{in};$   
 $fin \leftarrow 1;$   
 $si (inicio=0)$  ir a S0;  
 $si (inicio=1)$  ir a S1;

**S1**  $RR \leftarrow 0; fin \leftarrow 0;$   
 $si (B0=0)$  ir a S2;  
 $si (B0=1)$  ir a S3;

**S2**  $RA \leftarrow RA << 1;$   
 $RB \leftarrow RB >> 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 $ir a S4;$

**S3**  $RR \leftarrow RA + RR;$   
 $RA \leftarrow RA << 1;$   
 $RB \leftarrow RB >> 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 $ir a S4;$

**S4**  $fin \leftarrow 0;$   
 $si (Cz=1)$  ir a S0;  
 $si (Cz=0 \text{ y } B0=0)$  ir a S2;  
 $si (Cz=0 \text{ y } B0=1)$  ir a S3;

8. Diseño del controlador



# Rutas de datos y controladores

## Generación del contenido de la ROM

versión 2021

tema 4:  
Rutas de datos y controladores

FC

62

|                | $q_2$          | $q_1$          | $q_0$          | inicio         | Cz             | B0 |
|----------------|----------------|----------------|----------------|----------------|----------------|----|
| a <sub>5</sub> | a <sub>4</sub> | a <sub>3</sub> | a <sub>2</sub> | a <sub>1</sub> | a <sub>0</sub> |    |
| 0              | 0              | 0              | 0              | 0              | 0              | 0  |
| 0              | 0              | 0              | 0              | 0              | 0              | 1  |
| 0              | 0              | 0              | 0              | 1              | 0              |    |
| 0              | 0              | 0              | 0              | 1              | 1              |    |
| 0              | 0              | 0              | 1              | 0              | 0              |    |
| 0              | 0              | 0              | 1              | 0              | 1              |    |
| 0              | 0              | 0              | 1              | 1              | 0              |    |
| 0              | 0              | 0              | 1              | 1              | 1              |    |
| 0              | 0              | 1              | 0              | 0              | 0              |    |
| 0              | 0              | 1              | 0              | 0              | 1              |    |
| 0              | 0              | 1              | 0              | 1              | 0              |    |
| 0              | 0              | 1              | 0              | 1              | 1              |    |
| 0              | 0              | 1              | 1              | 0              | 0              |    |
| 0              | 0              | 1              | 1              | 0              | 1              |    |
| 0              | 0              | 1              | 1              | 1              | 0              |    |
| 0              | 0              | 1              | 1              | 1              | 1              |    |
| ...            |                |                |                |                |                |    |
| 1              | 1              | 1              | 1              | 1              | 1              | 1  |

dirección

| DIR. | $d_{10}$ | $d_9$ | $d_8$ | $d_7$ | $d_6$ | $d_5$ | $d_4$ | $d_3$ | $d_2$ | $d_1$ | $d_0$ |
|------|----------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 0    | 0        | 0     | 0     | 1     | 0     | 1     | 0     | 0     | 0     | 0     | 1     |
| 1    | 0        | 0     | 0     | 1     | 0     | 1     | 0     | 0     | 0     | 0     | 1     |
| 2    | 0        | 0     | 0     | 1     | 0     | 1     | 0     | 0     | 0     | 0     | 1     |
| 3    | 0        | 0     | 0     | 1     | 0     | 1     | 0     | 0     | 0     | 0     | 1     |
| 4    |          |       |       |       |       |       |       |       |       |       |       |
| 5    |          |       |       |       |       |       |       |       |       |       |       |
| 6    |          |       |       |       |       |       |       |       |       |       |       |
| 7    |          |       |       |       |       |       |       |       |       |       |       |
| 8    |          |       |       |       |       |       |       |       |       |       |       |
| 9    |          |       |       |       |       |       |       |       |       |       |       |
| 10   |          |       |       |       |       |       |       |       |       |       |       |
| 11   |          |       |       |       |       |       |       |       |       |       |       |
| 12   |          |       |       |       |       |       |       |       |       |       |       |
| 13   |          |       |       |       |       |       |       |       |       |       |       |
| 14   |          |       |       |       |       |       |       |       |       |       |       |
| 15   |          |       |       |       |       |       |       |       |       |       |       |
| ...  |          |       |       |       |       |       |       |       |       |       |       |
| 63   |          |       |       |       |       |       |       |       |       |       |       |

ROM 64×11

| estado | inicio | Cz | B0 | estado' |
|--------|--------|----|----|---------|
| S0     | 0      | X  | X  | S0      |
| S0     | 1      | X  | X  | S1      |
| S1     | X      | X  | 0  | S2      |
| S1     | X      | X  | 1  | S3      |
| S2     | X      | X  | X  | S4      |
| S3     | X      | X  | X  | S4      |
| S4     | X      | 0  | 0  | S2      |
| S4     | X      | 0  | 1  | S3      |
| S4     | X      | 1  | X  | S0      |

| estado | ldB | rshB | IdA | IshA | ceC | selR | IdR | fin |
|--------|-----|------|-----|------|-----|------|-----|-----|
| S0     | 1   | 0    | 1   | 0    | 0   | -    | 0   | 1   |
| S1     | 0   | 0    | 0   | 0    | 0   | 0    | 1   | 0   |
| S2     | 0   | 1    | 0   | 1    | 1   | -    | 0   | 0   |
| S3     | 0   | 1    | 0   | 1    | 1   | 1    | 1   | 0   |
| S4     | 0   | 0    | 0   | 0    | 0   | -    | 0   | 0   |

8. Diseño del controlador



# Rutas de datos y controladores

## Generación del contenido de la ROM

versión 2021

tema 4:  
Rutas de datos y controladores

FC

63

|                | $q_2$          | $q_1$          | $q_0$          | inicio         | Cz             | B0 |
|----------------|----------------|----------------|----------------|----------------|----------------|----|
| a <sub>5</sub> | a <sub>4</sub> | a <sub>3</sub> | a <sub>2</sub> | a <sub>1</sub> | a <sub>0</sub> |    |
| 0              | 0              | 0              | 0              | 0              | 0              | 0  |
| 0              | 0              | 0              | 0              | 0              | 0              | 1  |
| 0              | 0              | 0              | 0              | 1              | 0              |    |
| 0              | 0              | 0              | 0              | 1              | 1              |    |
| 0              | 0              | 0              | 1              | 0              | 0              |    |
| 0              | 0              | 0              | 1              | 0              | 1              |    |
| 0              | 0              | 0              | 1              | 1              | 0              |    |
| 0              | 0              | 0              | 1              | 1              | 1              |    |
| 0              | 0              | 1              | 0              | 0              | 0              |    |
| 0              | 0              | 1              | 0              | 0              | 1              |    |
| 0              | 0              | 1              | 0              | 1              | 0              |    |
| 0              | 0              | 1              | 0              | 1              | 1              |    |
| 0              | 0              | 1              | 1              | 0              | 0              |    |
| 0              | 0              | 1              | 1              | 0              | 0              | 0  |
| 0              | 0              | 1              | 1              | 0              | 1              |    |
| 0              | 0              | 1              | 1              | 1              | 0              |    |
| 0              | 0              | 1              | 1              | 1              | 1              |    |
| ...            |                |                |                |                |                |    |
| 1              | 1              | 1              | 1              | 1              | 1              | 1  |

dirección

| DIR. | d <sub>10</sub> | d <sub>9</sub> | d <sub>8</sub> | d <sub>7</sub> | d <sub>6</sub> | d <sub>5</sub> | d <sub>4</sub> | d <sub>3</sub> | d <sub>2</sub> | d <sub>1</sub> | d <sub>0</sub> |
|------|-----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 0    | 0               | 0              | 0              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 1    | 0               | 0              | 0              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 2    | 0               | 0              | 0              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 3    | 0               | 0              | 0              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 4    | 0               | 0              | 1              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 5    | 0               | 0              | 1              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 6    | 0               | 0              | 1              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 7    | 0               | 0              | 1              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 8    |                 |                |                |                |                |                |                |                |                |                |                |
| 9    |                 |                |                |                |                |                |                |                |                |                |                |
| 10   |                 |                |                |                |                |                |                |                |                |                |                |
| 11   |                 |                |                |                |                |                |                |                |                |                |                |
| 12   |                 |                |                |                |                |                |                |                |                |                |                |
| 13   |                 |                |                |                |                |                |                |                |                |                |                |
| 14   |                 |                |                |                |                |                |                |                |                |                |                |
| 15   |                 |                |                |                |                |                |                |                |                |                |                |
| ...  |                 |                |                |                |                |                |                |                |                |                |                |
| 63   |                 |                |                |                |                |                |                |                |                |                |                |

ROM 64×11

| estado | inicio | Cz | B0 | estado' |
|--------|--------|----|----|---------|
| S0     | 0      | X  | X  | S0      |
| S0     | 1      | X  | X  | S1      |
| S1     | X      | X  | 0  | S2      |
| S1     | X      | X  | 1  | S3      |
| S2     | X      | X  | X  | S4      |
| S3     | X      | X  | X  | S4      |
| S4     | X      | 0  | 0  | S2      |
| S4     | X      | 0  | 1  | S3      |
| S4     | X      | 1  | X  | S0      |

| estado | ldB | rshB | ldA | lshA | ceC | selR | ldR | fin |
|--------|-----|------|-----|------|-----|------|-----|-----|
| S0     | 1   | 0    | 1   | 0    | 0   | -    | 0   | 1   |
| S1     | 0   | 0    | 0   | 0    | 0   | 0    | 1   | 0   |
| S2     | 0   | 1    | 0   | 1    | 1   | -    | 0   | 0   |
| S3     | 0   | 1    | 0   | 1    | 1   | 1    | 1   | 0   |
| S4     | 0   | 0    | 0   | 0    | 0   | -    | 0   | 0   |

8. Diseño del controlador

|                | $q_2$          | $q_1$          | $q_0$          | inicio         | Cz             | B0 |
|----------------|----------------|----------------|----------------|----------------|----------------|----|
| a <sub>5</sub> | a <sub>4</sub> | a <sub>3</sub> | a <sub>2</sub> | a <sub>1</sub> | a <sub>0</sub> |    |
| 0              | 0              | 0              | 0              | 0              | 0              | 0  |
| 0              | 0              | 0              | 0              | 0              | 1              |    |
| 0              | 0              | 0              | 0              | 1              | 0              |    |
| 0              | 0              | 0              | 0              | 1              | 1              |    |
| 0              | 0              | 0              | 1              | 0              | 0              |    |
| 0              | 0              | 0              | 1              | 0              | 1              |    |
| 0              | 0              | 0              | 1              | 1              | 0              |    |
| 0              | 0              | 0              | 1              | 1              | 1              |    |
| 0              | 0              | 1              | 0              | 0              | 0              |    |
| 0              | 0              | 1              | 0              | 0              | 1              |    |
| 0              | 0              | 1              | 0              | 1              | 0              |    |
| 0              | 0              | 1              | 0              | 1              | 1              |    |
| 0              | 0              | 1              | 1              | 0              | 0              |    |
| 0              | 0              | 1              | 1              | 0              | 1              |    |
| 0              | 0              | 1              | 1              | 1              | 0              |    |
| 0              | 0              | 1              | 1              | 1              | 1              |    |
| ...            |                |                |                |                |                |    |
| 1              | 1              | 1              | 1              | 1              | 1              | 1  |

dirección

| DIR. | d <sub>10</sub> | d <sub>9</sub> | d <sub>8</sub> | d <sub>7</sub> | d <sub>6</sub> | d <sub>5</sub> | d <sub>4</sub> | d <sub>3</sub> | d <sub>2</sub> | d <sub>1</sub> | d <sub>0</sub> |
|------|-----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 0    | 0               | 0              | 0              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 1    | 0               | 0              | 0              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 2    | 0               | 0              | 0              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 3    | 0               | 0              | 0              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 4    | 0               | 0              | 1              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 5    | 0               | 0              | 1              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 6    | 0               | 0              | 1              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 7    | 0               | 0              | 1              | 1              | 0              | 1              | 0              | 0              | 0              | 0              | 1              |
| 8    | 0               | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| 9    |                 |                |                |                |                |                |                |                |                |                |                |
| 10   | 0               | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| 11   |                 |                |                |                |                |                |                |                |                |                |                |
| 12   | 0               | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| 13   |                 |                |                |                |                |                |                |                |                |                |                |
| 14   | 0               | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| 15   |                 |                |                |                |                |                |                |                |                |                |                |
| ...  |                 |                |                |                |                |                |                |                |                |                |                |
| 63   |                 |                |                |                |                |                |                |                |                |                |                |

ROM 64×11

| estado | inicio | Cz | B0 | estado' |
|--------|--------|----|----|---------|
| S0     | 0      | X  | X  | S0      |
| S0     | 1      | X  | X  | S1      |
| S1     | X      | X  | 0  | S2      |
| S1     | X      | X  | 1  | S3      |
| S2     | X      | X  | X  | S4      |
| S3     | X      | X  | X  | S4      |
| S4     | X      | 0  | 0  | S2      |
| S4     | X      | 0  | 1  | S3      |
| S4     | X      | 1  | X  | S0      |

| estado | ldB | rshB | ldA | lshA | ceC | selR | ldR | fin |
|--------|-----|------|-----|------|-----|------|-----|-----|
| S0     | 1   | 0    | 1   | 0    | 0   | 0    | -   | 0 1 |
| S1     | 0   | 0    | 0   | 0    | 0   | 0    | 0 1 | 0   |
| S2     | 0   | 1    | 0   | 1    | 1   | 1    | -   | 0 0 |
| S3     | 0   | 1    | 0   | 1    | 1   | 1    | 1 1 | 0   |
| S4     | 0   | 0    | 0   | 0    | 0   | 0    | -   | 0 0 |

## 8. Diseño del controlador



# Rutas de datos y controladores

## Generación del contenido de la ROM



|                | $q_2$ | $q_1$ | $q_0$ | inicio | Cz | B0 |
|----------------|-------|-------|-------|--------|----|----|
| a <sub>5</sub> | 0     | 0     | 0     | 0      | 0  | 0  |
| a <sub>4</sub> | 0     | 0     | 0     | 0      | 0  | 1  |
| a <sub>3</sub> | 0     | 0     | 0     | 0      | 1  | 0  |
| a <sub>2</sub> | 0     | 0     | 0     | 0      | 1  | 1  |
| a <sub>1</sub> | 0     | 0     | 0     | 1      | 0  | 0  |
| a <sub>0</sub> | 0     | 0     | 0     | 1      | 0  | 1  |
| ...            |       |       |       |        |    |    |
| 1              | 1     | 1     | 1     | 1      | 1  | 1  |

dirección

| DIR. | d <sub>10</sub> | d <sub>9</sub> | d <sub>8</sub> | d <sub>7</sub> | d <sub>6</sub> | d <sub>5</sub> | d <sub>4</sub> | d <sub>3</sub> | d <sub>2</sub> | d <sub>1</sub> | d <sub>0</sub> |
|------|-----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 0    | 0               | 0              | 0              | 1              | 0              | 1              | 0              | 0              | 1              | 1              | 1              |
| 1    | 0               | 0              | 0              | 1              | 0              | 1              | 0              | 0              | 1              | 1              | 1              |
| 2    | 0               | 0              | 0              | 1              | 0              | 1              | 0              | 0              | 1              | 1              | 1              |
| 3    | 0               | 0              | 0              | 1              | 0              | 1              | 0              | 0              | 1              | 1              | 1              |
| 4    | 0               | 0              | 1              | 1              | 0              | 1              | 0              | 0              | 1              | 1              | 1              |
| 5    | 0               | 0              | 1              | 1              | 0              | 1              | 0              | 0              | 1              | 1              | 1              |
| 6    | 0               | 0              | 1              | 1              | 0              | 1              | 0              | 0              | 1              | 1              | 1              |
| 7    | 0               | 0              | 1              | 1              | 0              | 1              | 0              | 0              | 1              | 1              | 1              |
| 8    | 0               | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| 9    | 0               | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| 10   | 0               | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| 11   | 0               | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| 12   | 0               | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| 13   | 0               | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| 14   | 0               | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| 15   | 0               | 1              | 1              | 0              | 0              | 0              | 0              | 0              | 0              | 1              | 0              |
| ...  |                 |                |                |                |                |                |                |                |                |                |                |
| 63   |                 |                |                |                |                |                |                |                |                |                |                |

ROM 64×11

| estado | inicio | Cz | B0 | estado' |
|--------|--------|----|----|---------|
| S0     | 0      | X  | X  | S0      |
| S0     | 1      | X  | X  | S1      |
| S1     | X      | X  | 0  | S2      |
| S1     | X      | X  | 1  | S3      |
| S2     | X      | X  | X  | S4      |
| S3     | X      | X  | X  | S4      |
| S4     | X      | 0  | 0  | S2      |
| S4     | X      | 0  | 1  | S3      |
| S4     | X      | 1  | X  | S0      |

| estado | ldB | rshB | ldA | lshA | ceC | selR | ldR | fin |
|--------|-----|------|-----|------|-----|------|-----|-----|
| S0     | 1   | 0    | 1   | 0    | 0   | -    | 0   | 1   |
| S1     | 0   | 0    | 0   | 0    | 0   | 0    | 1   | 0   |
| S2     | 0   | 1    | 0   | 1    | 1   | -    | 0   | 0   |
| S3     | 0   | 1    | 0   | 1    | 1   | 1    | 1   | 0   |
| S4     | 0   | 0    | 0   | 0    | 0   | -    | 0   | 0   |

8. Diseño del controlador



# Rutas de datos y controladores

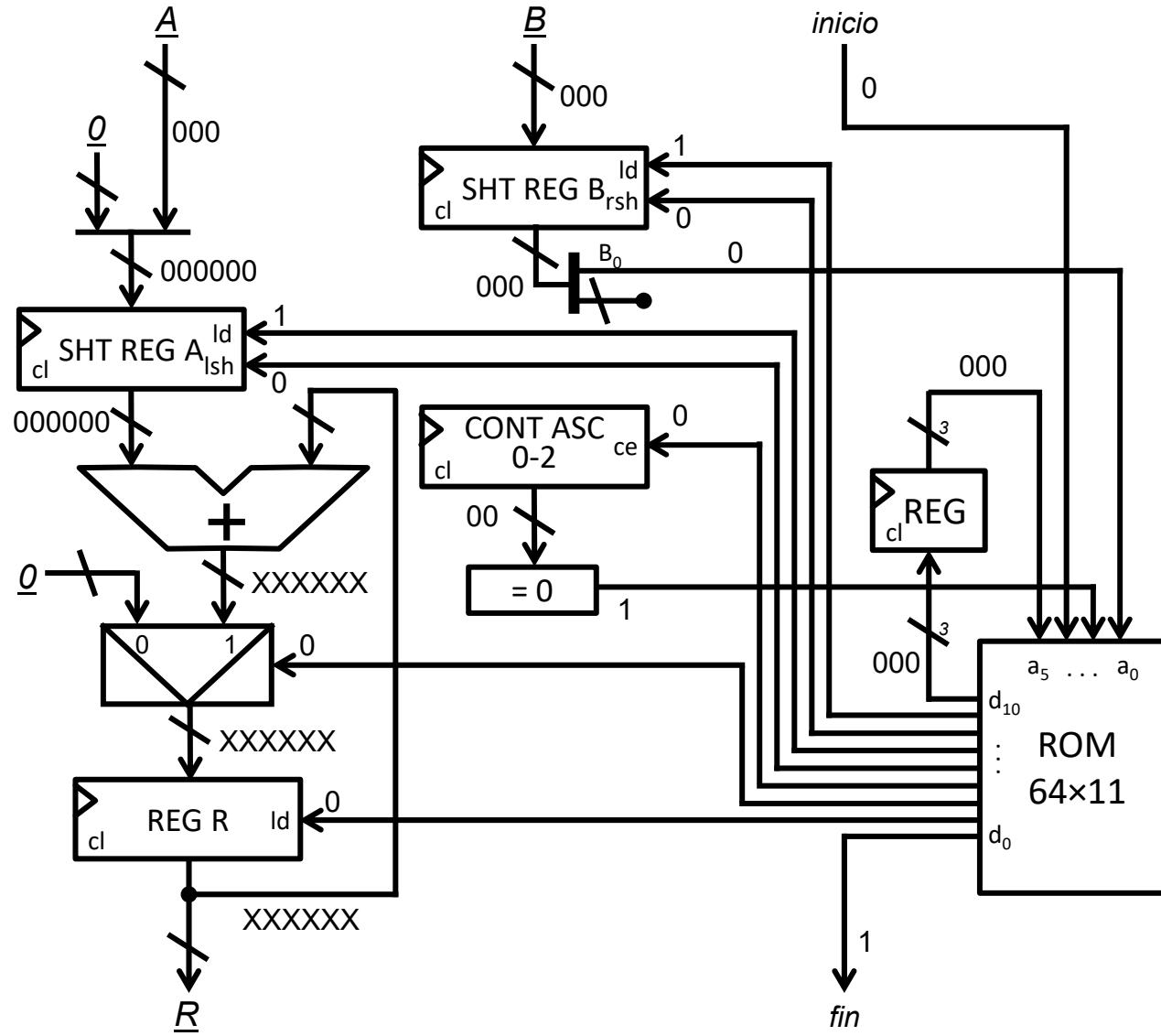
Simulación del sistema (operando de 3 bits)

versión 2021

tema 4:  
Rutas de datos y controladores

FC

66



**S0**  $RA \leftarrow A_{in}; RB \leftarrow B_{in};$   
 $fin \leftarrow 1;$   
 $si (inicio=0) ir a S0;$   
 $si (inicio=1) ir a S1;$

**S1**  $RR \leftarrow 0; fin \leftarrow 0;$   
 $si (B0=0) ir a S2;$   
 $si (B0=1) ir a S3;$

**S2**  $RA \leftarrow RA << 1;$   
 $RB \leftarrow RB >> 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 $ir a S4;$

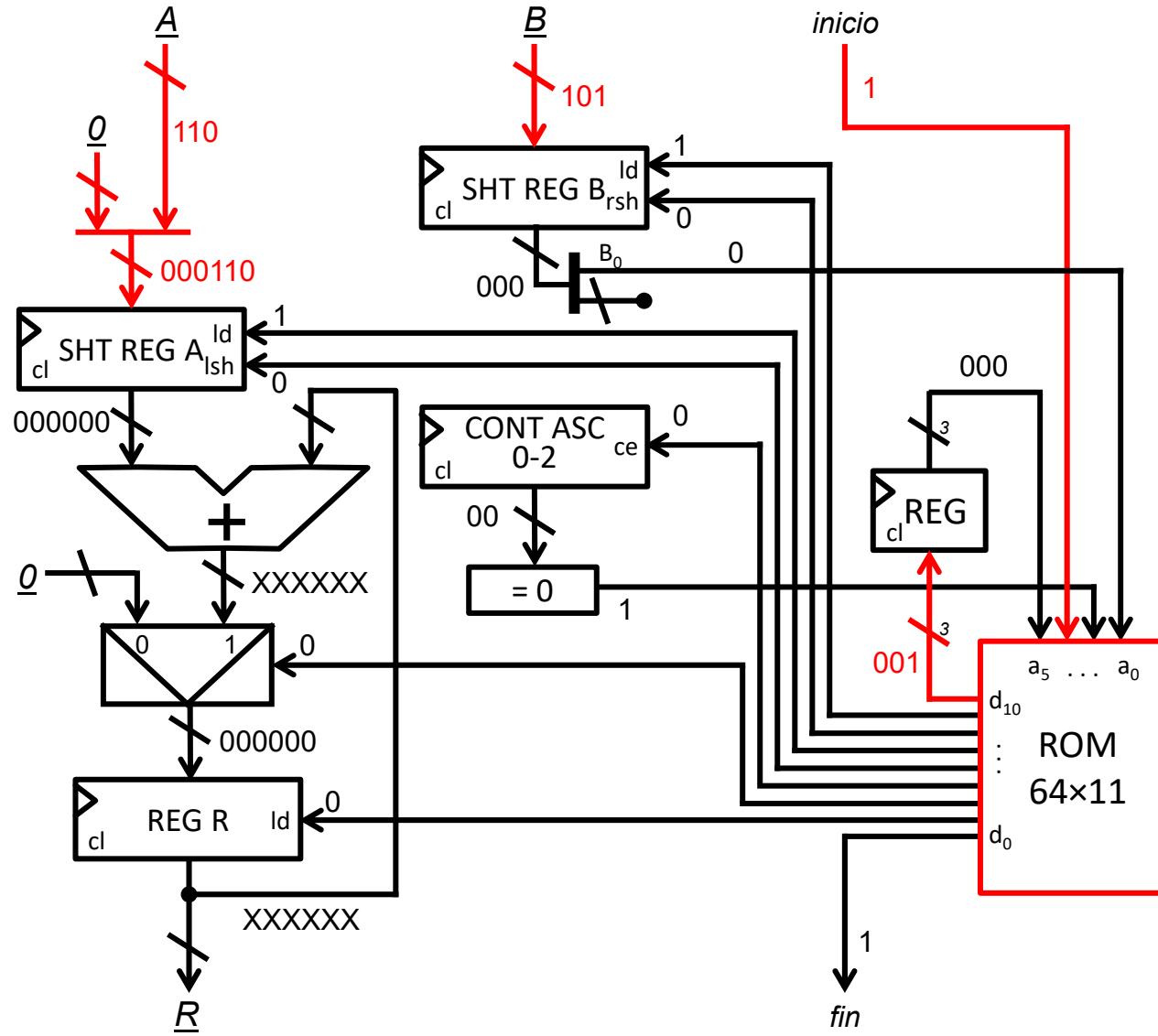
**S3**  $RR \leftarrow RA + RR;$   
 $RA \leftarrow RA << 1;$   
 $RB \leftarrow RB >> 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 $ir a S4;$

**S4**  $fin \leftarrow 0;$   
 $si (Cz=1) ir a S0;$   
 $si (Cz=0 y B0=0) ir a S2;$   
 $si (Cz=0 y B0=1) ir a S3;$



# Rutas de datos y controladores

Simulación del sistema (operandos de 3 bits)



**S0**  $RA \leftarrow A_{in}; RB \leftarrow B_{in};$   
 $fin \leftarrow 1;$   
 si ( $inicio=0$ ) ir a S0;  
 si ( $inicio=1$ ) ir a S1;

**S1**  $RR \leftarrow 0; fin \leftarrow 0;$   
 si ( $B_0=0$ ) ir a S2;  
 si ( $B_0=1$ ) ir a S3;

**S2**  $RA \leftarrow RA \ll 1;$   
 $RB \leftarrow RB \gg 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 ir a S4;

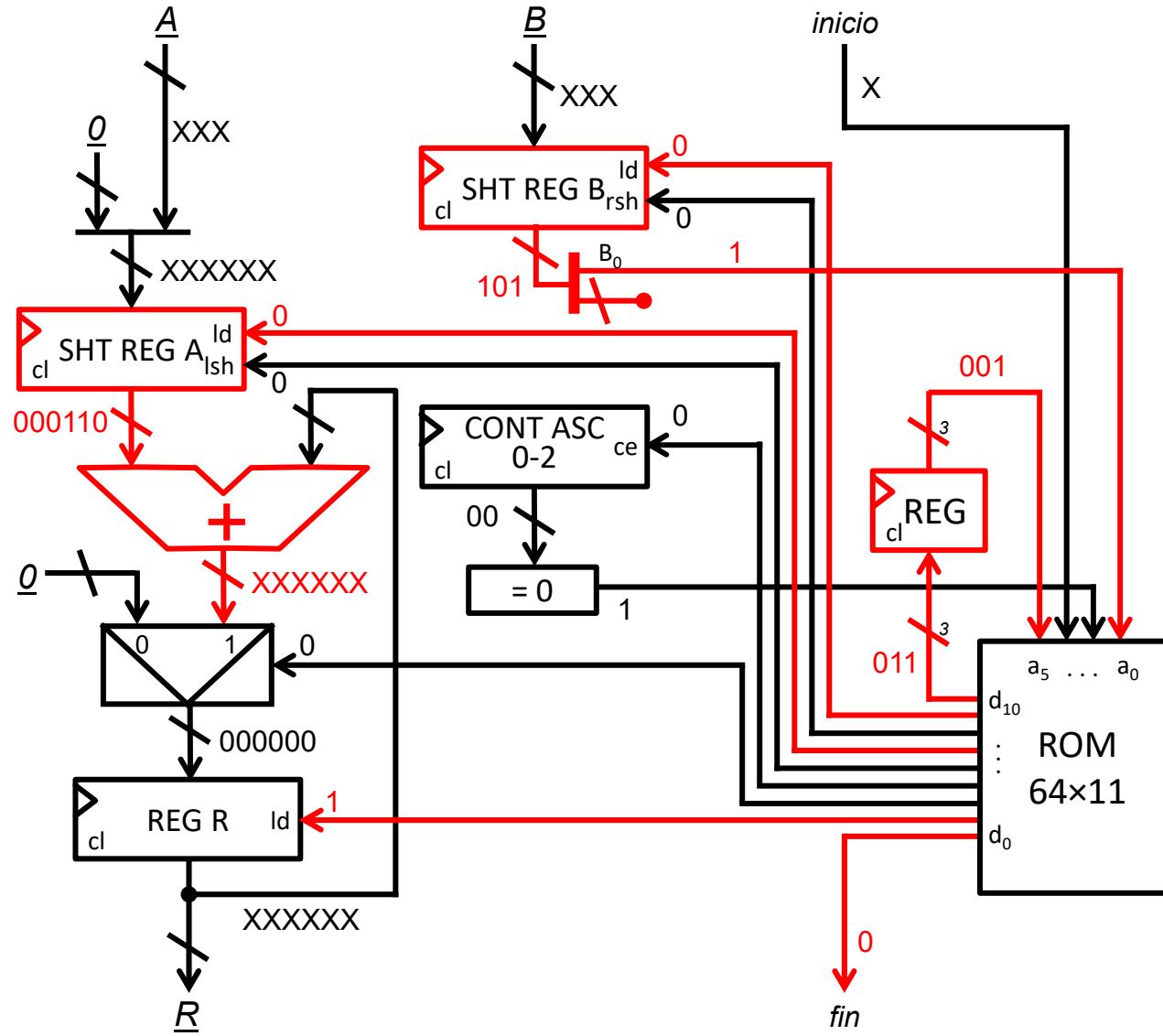
**S3**  $RR \leftarrow RA + RR;$   
 $RA \leftarrow RA \ll 1;$   
 $RB \leftarrow RB \gg 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 ir a S4;

**S4**  $fin \leftarrow 0;$   
 si ( $Cz=1$ ) ir a S0;  
 si ( $Cz=0$  y  $B_0=0$ ) ir a S2;  
 si ( $Cz=0$  y  $B_0=1$ ) ir a S3;



# Rutas de datos y controladores

Simulación del sistema (operandos de 3 bits)



**S0** RA  $\leftarrow$  Ain; RB  $\leftarrow$  Bin;  
fin  $\leftarrow$  1;  
si (inicio=0) ir a S0;  
si (inicio=1) ir a S1;

**S1** RR  $\leftarrow$  0; fin  $\leftarrow$  0;  
si (B0=0) ir a S2;  
si (B0=1) ir a S3;

**S2** RA  $\leftarrow$  RA << 1;  
RB  $\leftarrow$  RB >> 1;  
RC  $\leftarrow$  RC + 1; fin  $\leftarrow$  0;  
ir a S4;

**S3** RR  $\leftarrow$  RA + RR;  
RA  $\leftarrow$  RA << 1;  
RB  $\leftarrow$  RB >> 1;  
RC  $\leftarrow$  RC + 1; fin  $\leftarrow$  0;  
ir a S4;

**S4** fin  $\leftarrow$  0;  
si (Cz=1) ir a S0;  
si (Cz=0 y B0=0) ir a S2;  
si (Cz=0 y B0=1) ir a S3;



# Rutas de datos y controladores

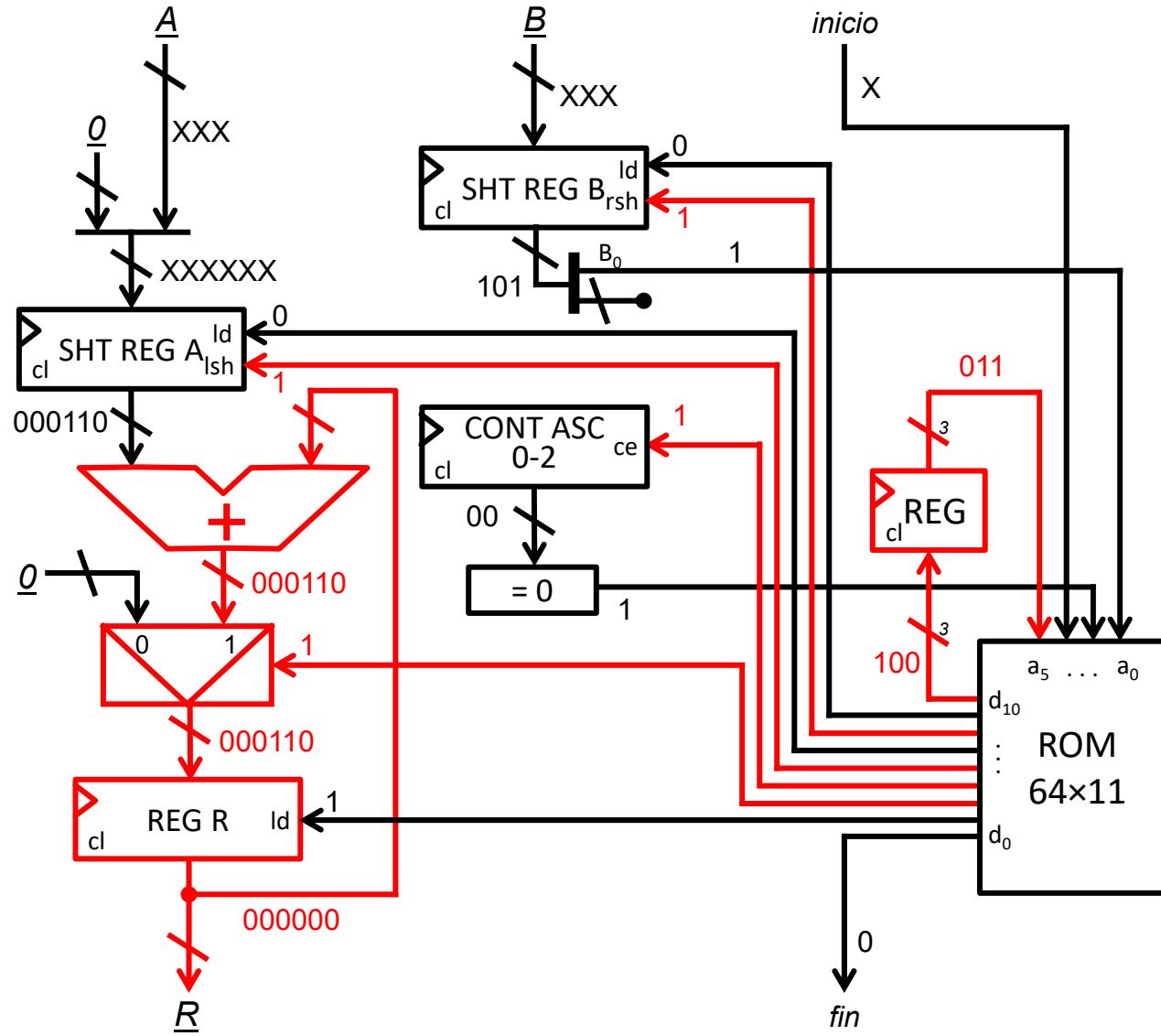
Simulación del sistema (operandos de 3 bits)

versión 2021

tema 4:  
Rutas de datos y controladores

FC

69



**S0**  $RA \leftarrow A_{in}; RB \leftarrow B_{in};$   
 $fin \leftarrow 1;$   
 si ( $inicio=0$ ) ir a S0;  
 si ( $inicio=1$ ) ir a S1;

**S1**  $RR \leftarrow 0; fin \leftarrow 0;$   
 si ( $B_0=0$ ) ir a S2;  
 si ( $B_0=1$ ) ir a S3;

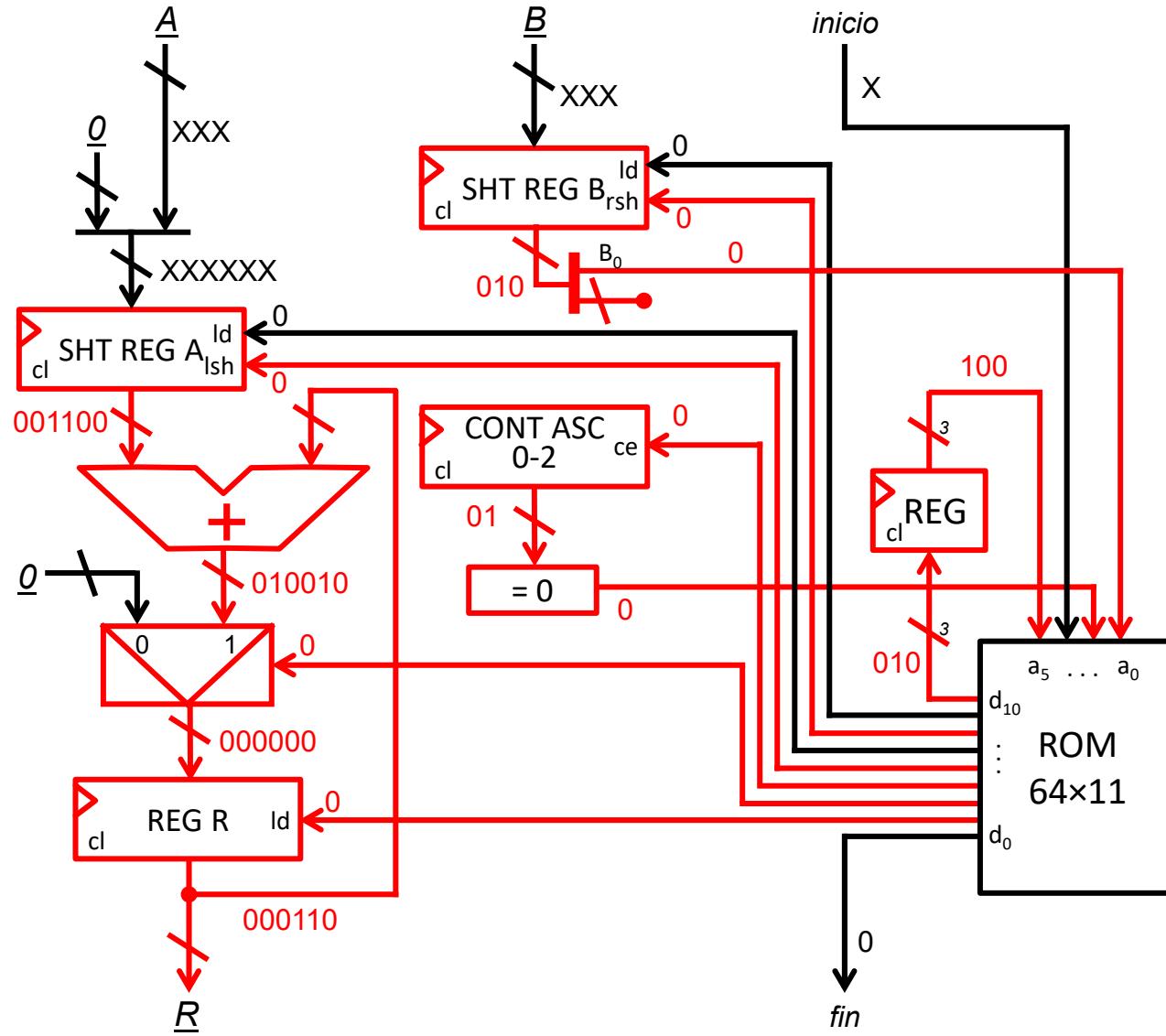
**S2**  $RA \leftarrow RA \ll 1;$   
 $RB \leftarrow RB \gg 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 ir a S4;

**S3**  $RR \leftarrow RA + RR;$   
 $RA \leftarrow RA \ll 1;$   
 $RB \leftarrow RB \gg 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 ir a S4;

**S4**  $fin \leftarrow 0;$   
 si ( $Cz=1$ ) ir a S0;  
 si ( $Cz=0$  y  $B_0=0$ ) ir a S2;  
 si ( $Cz=0$  y  $B_0=1$ ) ir a S3;

# Rutas de datos y controladores

## Simulación del sistema (operando de 3 bits)



- S0** RA  $\leftarrow$  Ain; RB  $\leftarrow$  Bin;  
fin  $\leftarrow$  1;  
si (inicio=0) ir a S0;  
si (inicio=1) ir a S1;

**S1** RR  $\leftarrow$  0; fin  $\leftarrow$  0;  
si (B0=0) ir a S2;  
si (B0=1) ir a S3;

**S2** RA  $\leftarrow$  RA << 1;  
RB  $\leftarrow$  RB >> 1;  
RC  $\leftarrow$  RC + 1; fin  $\leftarrow$  0;  
ir a S4;

**S3** RR  $\leftarrow$  RA + RR;  
RA  $\leftarrow$  RA << 1;  
RB  $\leftarrow$  RB >> 1;  
RC  $\leftarrow$  RC + 1; fin  $\leftarrow$  0;  
ir a S4;

**S4** fin  $\leftarrow$  0;  
si (Cz=1) ir a S0;  
si (Cz=0 y B0=0) ir a S2;  
si (Cz=0 y B0=1) ir a S3;



# Rutas de datos y controladores

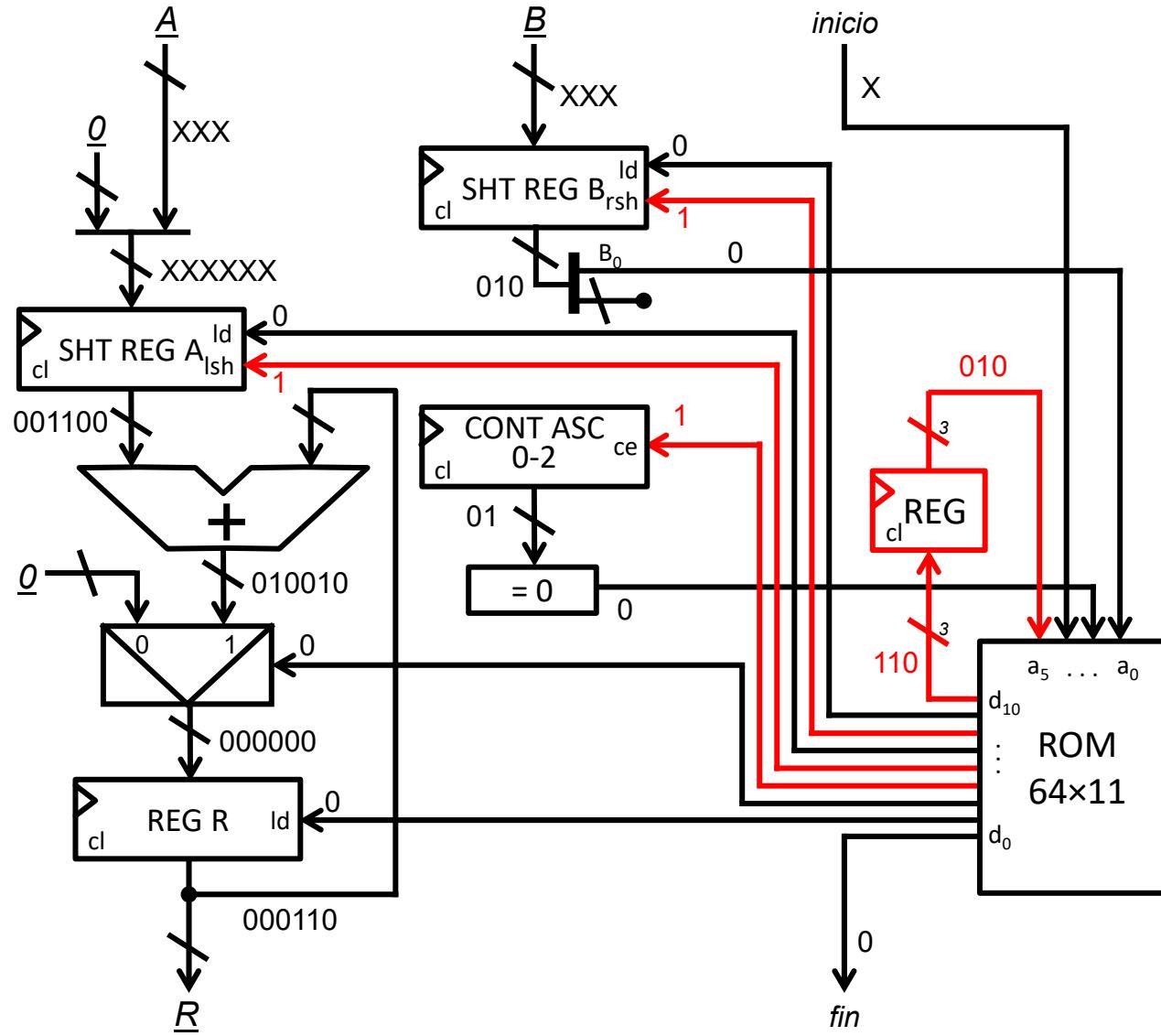
Simulación del sistema (operando de 3 bits)

versión 2021

tema 4:  
Rutas de datos y controladores

FC

71



**S0** RA  $\leftarrow$  Ain; RB  $\leftarrow$  Bin;  
fin  $\leftarrow$  1;  
si (inicio=0) ir a S0;  
si (inicio=1) ir a S1;

**S1** RR  $\leftarrow$  0; fin  $\leftarrow$  0;  
si (B0=0) ir a S2;  
si (B0=1) ir a S3;

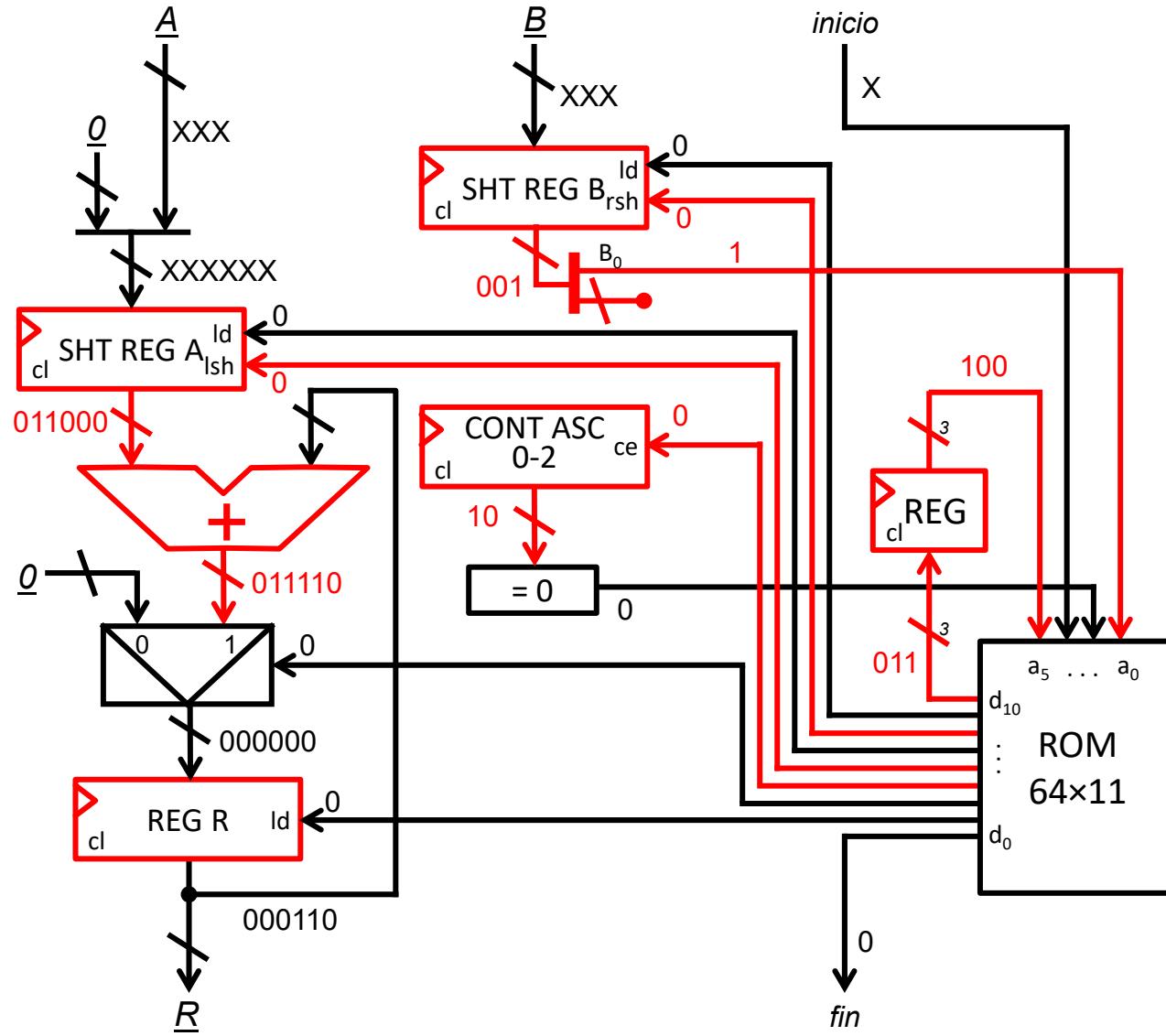
**S2** RA  $\leftarrow$  RA << 1;  
RB  $\leftarrow$  RB >> 1;  
RC  $\leftarrow$  RC + 1; fin  $\leftarrow$  0;  
ir a S4;

**S3** RR  $\leftarrow$  RA + RB;  
RA  $\leftarrow$  RA << 1;  
RB  $\leftarrow$  RB >> 1;  
RC  $\leftarrow$  RC + 1; fin  $\leftarrow$  0;  
ir a S4;

**S4** fin  $\leftarrow$  0;  
si (Cz=1) ir a S0;  
si (Cz=0 y B0=0) ir a S2;  
si (Cz=0 y B0=1) ir a S3;

# Rutas de datos y controladores

## Simulación del sistema (operando de 3 bits)



- S0** RA  $\leftarrow$  Ain; RB  $\leftarrow$  Bin;  
fin  $\leftarrow$  1;  
si (inicio=0) ir a S0;  
si (inicio=1) ir a S1;

**S1** RR  $\leftarrow$  0; fin  $\leftarrow$  0;  
si (B0=0) ir a S2;  
si (B0=1) ir a S3;

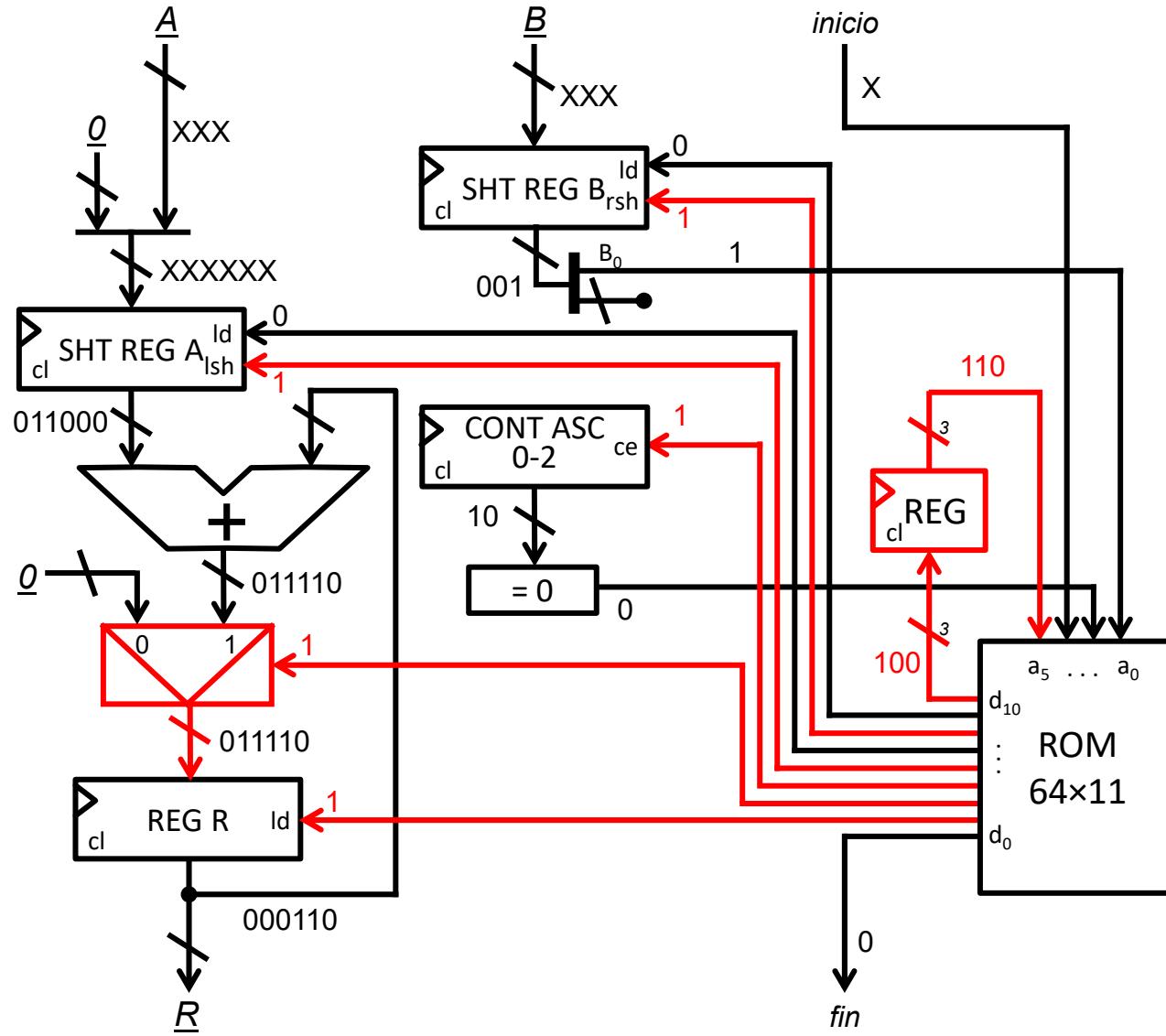
**S2** RA  $\leftarrow$  RA  $<<$  1;  
RB  $\leftarrow$  RB  $>>$  1;  
RC  $\leftarrow$  RC + 1; fin  $\leftarrow$  0;  
ir a S4;

**S3** RR  $\leftarrow$  RA + RR;  
RA  $\leftarrow$  RA  $<<$  1;  
RB  $\leftarrow$  RB  $>>$  1;  
RC  $\leftarrow$  RC + 1; fin  $\leftarrow$  0;  
ir a S4;

**S4** fin  $\leftarrow$  0;  
si (Cz=1) ir a S0;  
si (Cz=0 y B0=0) ir a S2;  
si (Cz=0 y B0=1) ir a S3;

# Rutas de datos y controladores

## Simulación del sistema (operando de 3 bits)



- S0** RA  $\leftarrow$  Ain; RB  $\leftarrow$  Bin;  
fin  $\leftarrow$  1;  
si (inicio=0) ir a S0;  
si (inicio=1) ir a S1;

**S1** RR  $\leftarrow$  0; fin  $\leftarrow$  0;  
si (B0=0) ir a S2;  
si (B0=1) ir a S3;

**S2** RA  $\leftarrow$  RA  $<<$  1;  
RB  $\leftarrow$  RB  $>>$  1;  
RC  $\leftarrow$  RC + 1; fin  $\leftarrow$  0;  
ir a S4;

**S3** RR  $\leftarrow$  RA + RR;  
RA  $\leftarrow$  RA  $<<$  1;  
RB  $\leftarrow$  RB  $>>$  1;  
RC  $\leftarrow$  RC + 1; fin  $\leftarrow$  0;  
ir a S4;

**S4** fin  $\leftarrow$  0;  
si (Cz=1) ir a S0;  
si (Cz=0 y B0=0) ir a S2;  
si (Cz=0 y B0=1) ir a S3;



# Rutas de datos y controladores

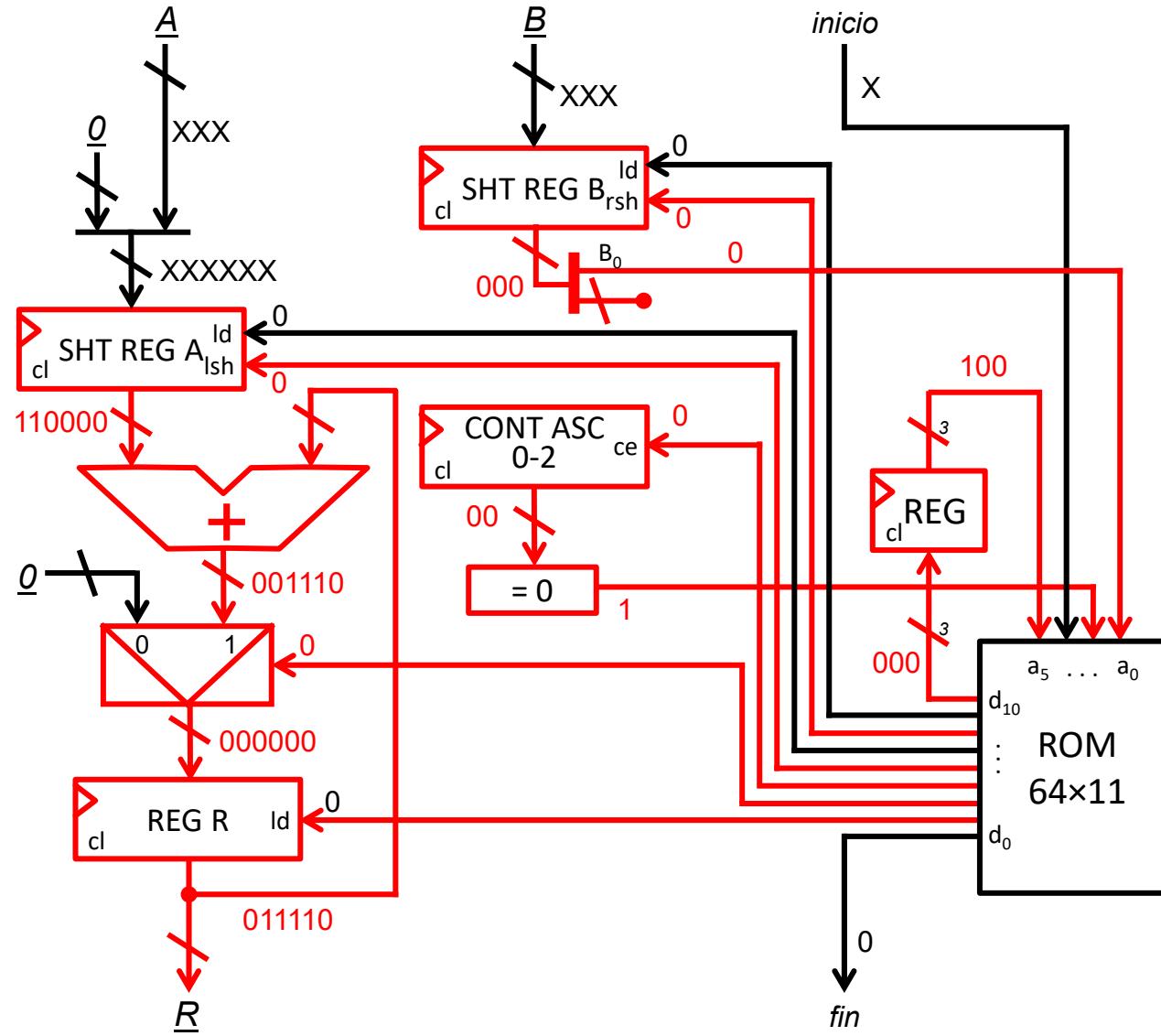
Simulación del sistema (operandos de 3 bits)

versión 2021

tema 4:  
Rutas de datos y controladores

FC

74



**S0**  $RA \leftarrow A_{in}; RB \leftarrow B_{in};$   
 $fin \leftarrow 1;$   
 $si (inicio=0) ir a S0;$   
 $si (inicio=1) ir a S1;$

**S1**  $RR \leftarrow 0; fin \leftarrow 0;$   
 $si (B0=0) ir a S2;$   
 $si (B0=1) ir a S3;$

**S2**  $RA \leftarrow RA \ll 1;$   
 $RB \leftarrow RB \gg 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 $ir a S4;$

**S3**  $RR \leftarrow RA + RR;$   
 $RA \leftarrow RA \ll 1;$   
 $RB \leftarrow RB \gg 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 $ir a S4;$

**S4**  $fin \leftarrow 0;$   
 $si (Cz=1) ir a S0;$   
 $si (Cz=0 y B0=0) ir a S2;$   
 $si (Cz=0 y B0=1) ir a S3;$



# Rutas de datos y controladores

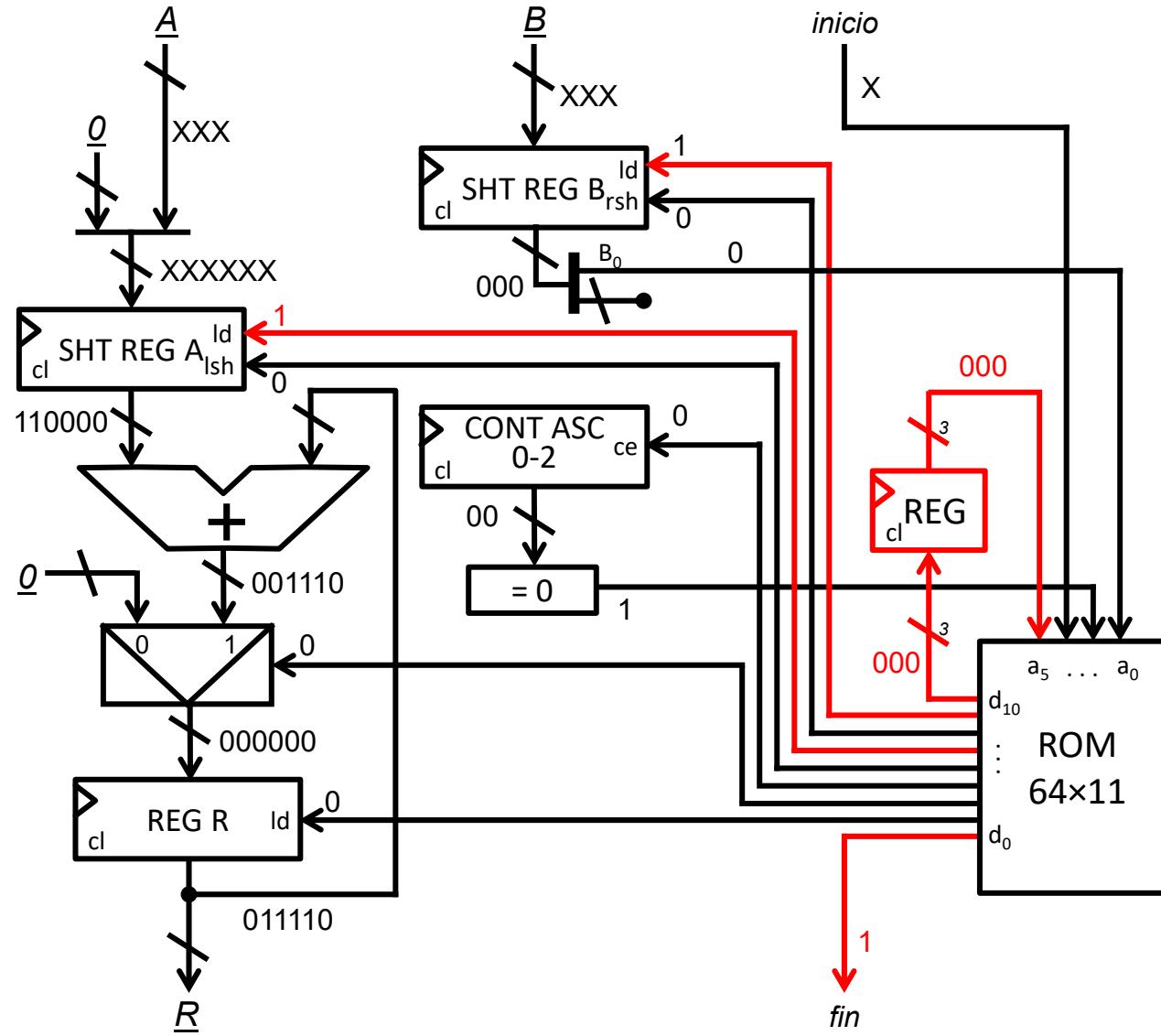
Simulación del sistema (operandos de 3 bits)

versión 2021

tema 4:  
Rutas de datos y controladores

FC

75



**S0**  $RA \leftarrow A_{in}; RB \leftarrow B_{in};$   
 $fin \leftarrow 1;$   
 si ( $inicio=0$ ) ir a S0;  
 si ( $inicio=1$ ) ir a S1;

**S1**  $RR \leftarrow 0; fin \leftarrow 0;$   
 si ( $B_0=0$ ) ir a S2;  
 si ( $B_0=1$ ) ir a S3;

**S2**  $RA \leftarrow RA \ll 1;$   
 $RB \leftarrow RB \gg 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 ir a S4;

**S3**  $RR \leftarrow RA + RR;$   
 $RA \leftarrow RA \ll 1;$   
 $RB \leftarrow RB \gg 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
 ir a S4;

**S4**  $fin \leftarrow 0;$   
 si ( $Cz=1$ ) ir a S0;  
 si ( $Cz=0$  y  $B_0=0$ ) ir a S2;  
 si ( $Cz=0$  y  $B_0=1$ ) ir a S3;



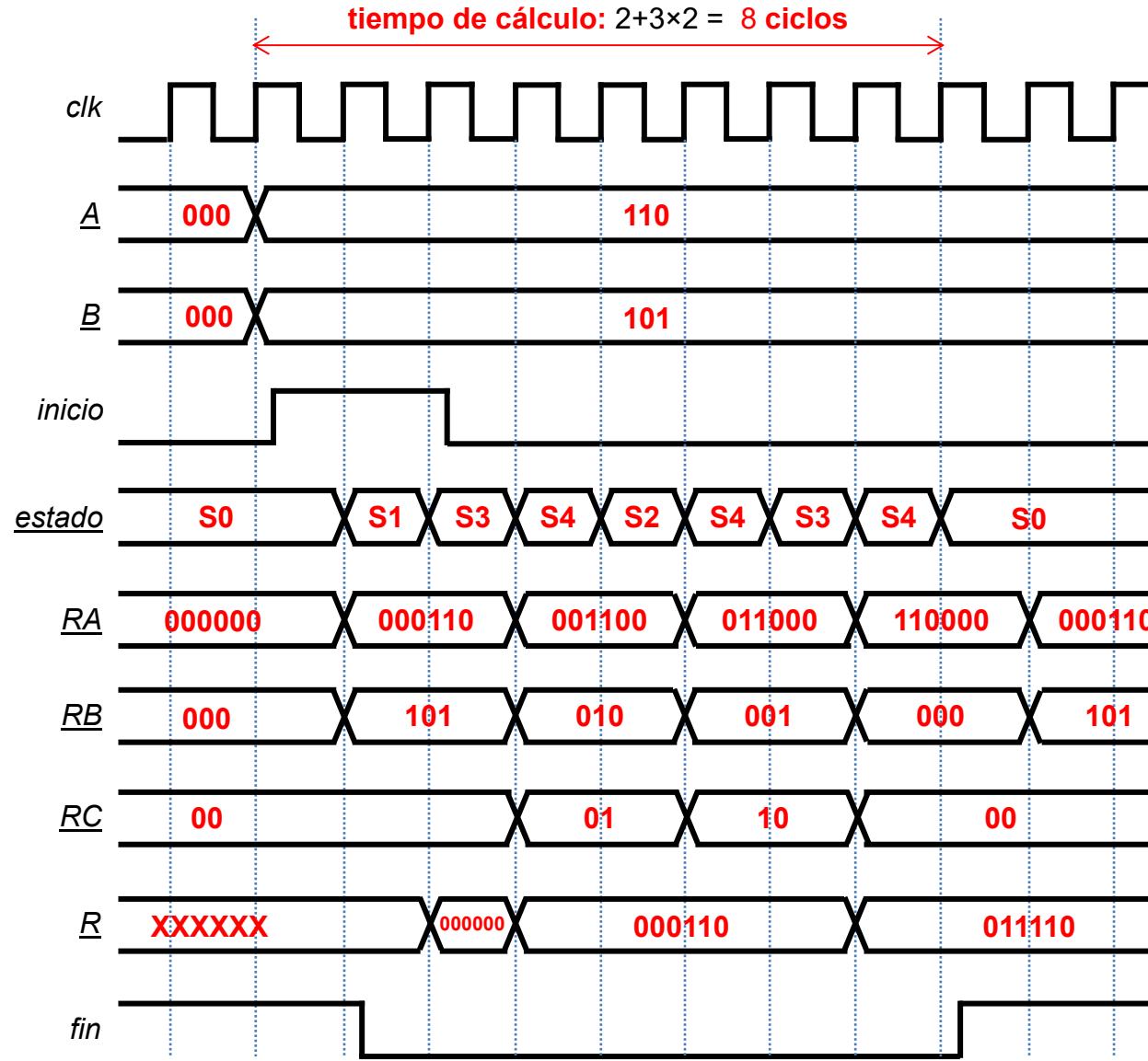
# Rutas de datos y controladores

versión 2021

tema 4:  
Rutas de datos y controladores

FC

76



**S0**  $RA \leftarrow A_{in}; RB \leftarrow B_{in};$   
 $fin \leftarrow 1;$   
si ( $inicio=0$ ) ir a S0;  
si ( $inicio=1$ ) ir a S1;

**S1**  $RR \leftarrow 0; fin \leftarrow 0;$   
si ( $B_0=0$ ) ir a S2;  
si ( $B_0=1$ ) ir a S3;

**S2**  $RA \leftarrow RA \ll 1;$   
 $RB \leftarrow RB \gg 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
ir a S4;

**S3**  $RR \leftarrow RA + RR;$   
 $RA \leftarrow RA \ll 1;$   
 $RB \leftarrow RB \gg 1;$   
 $RC \leftarrow RC + 1; fin \leftarrow 0;$   
ir a S4;

**S4**  $fin \leftarrow 0;$   
si ( $Cz=1$ ) ir a S0;  
si ( $Cz=0$  y  $B_0=0$ ) ir a S2;  
si ( $Cz=0$  y  $B_0=1$ ) ir a S3;



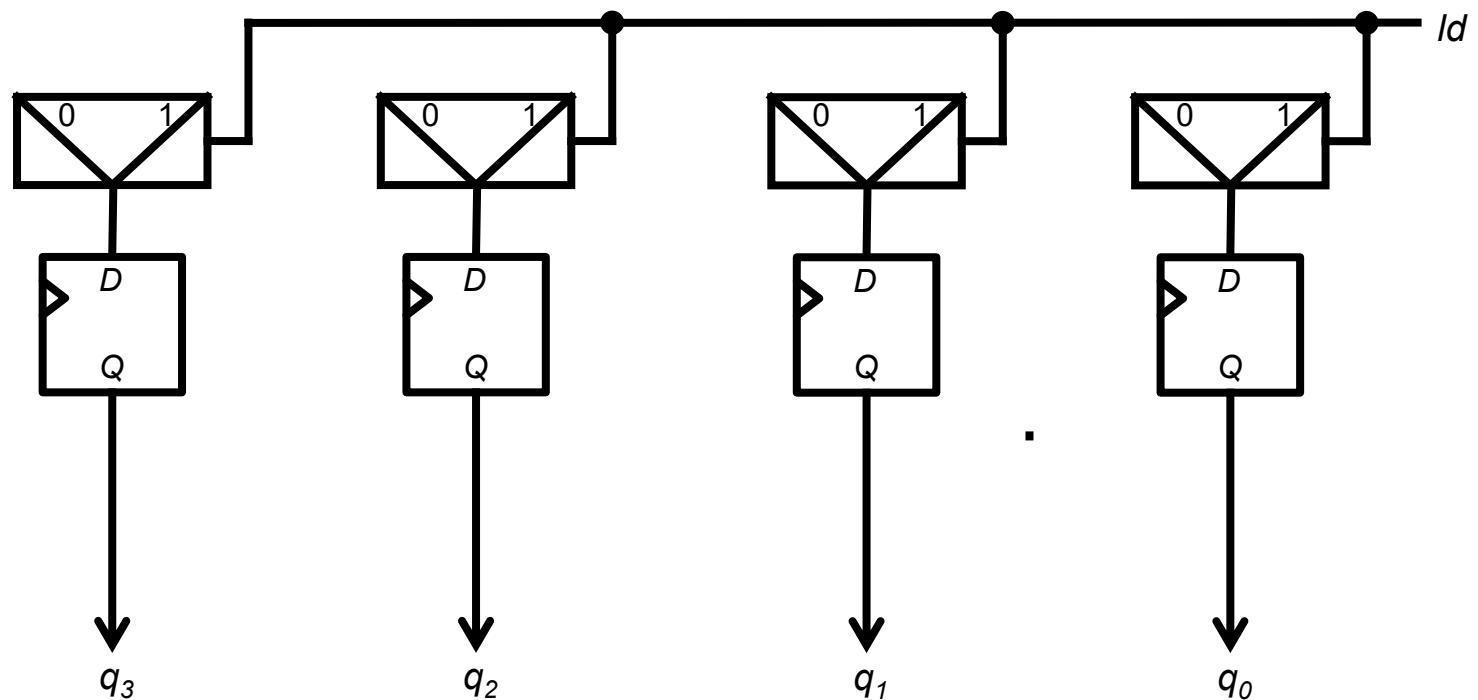
# Contenidos

- ✓ Módulos secuenciales
  - ❑ Registro.
  - ❑ Registro de desplazamiento.
  - ❑ Contadores.
  - ❑ Banco de registros.
  - ❑ RAM (Random-Access Memory).
- ✓ Rutas de datos y controladores
- ✓ **Implementación de módulos**

Transparencias basadas en los libros:

- S.L. Harris y D. M. Harris. Digital Design and Computer Architecture. ARM Edition
- R. Hermida, F. Sánchez y E. del Corral. Fundamentos de computadores.
- D. Gajsky. Principios de diseño digital.

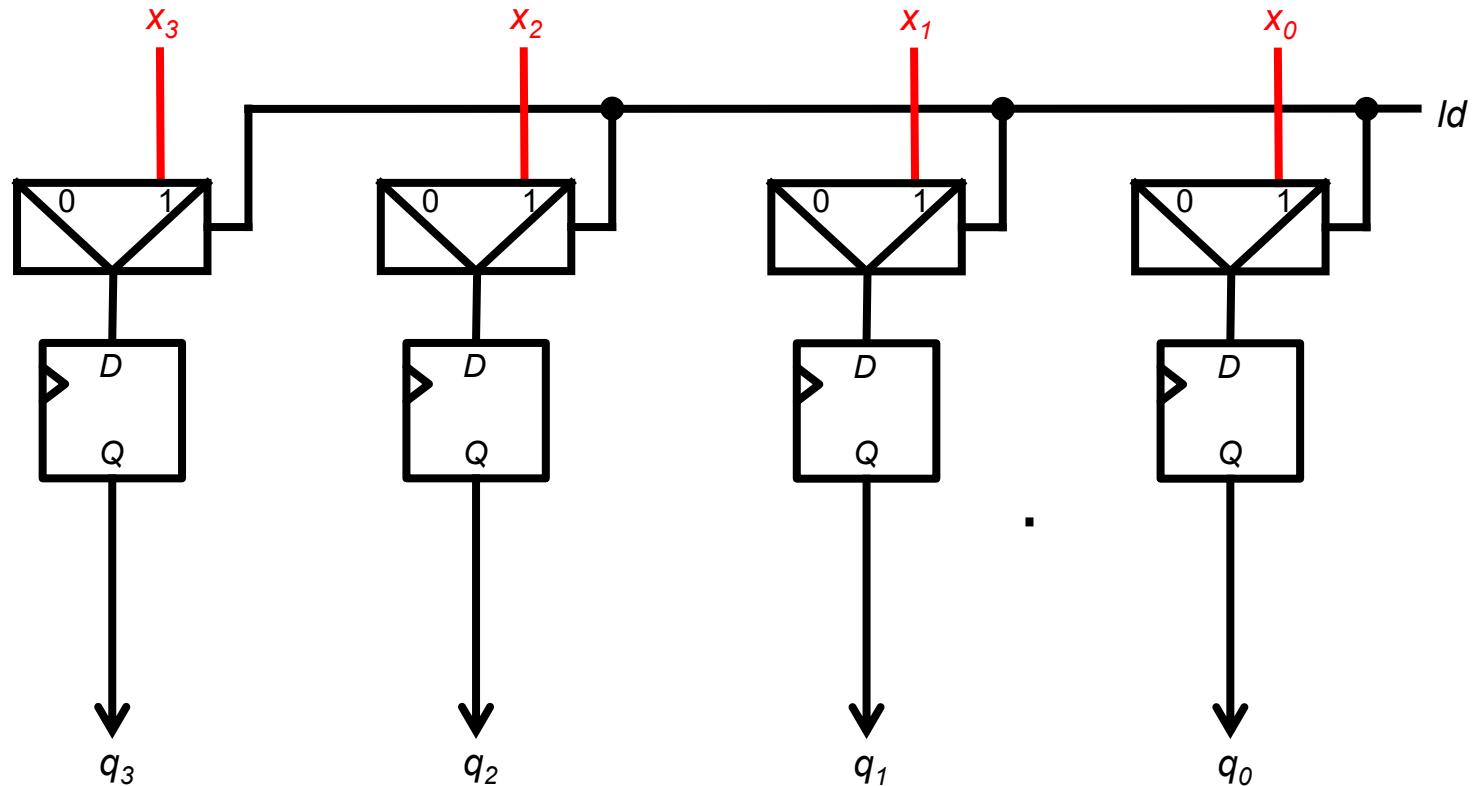
# Registro



Implementación directa

Registro de 4 bits

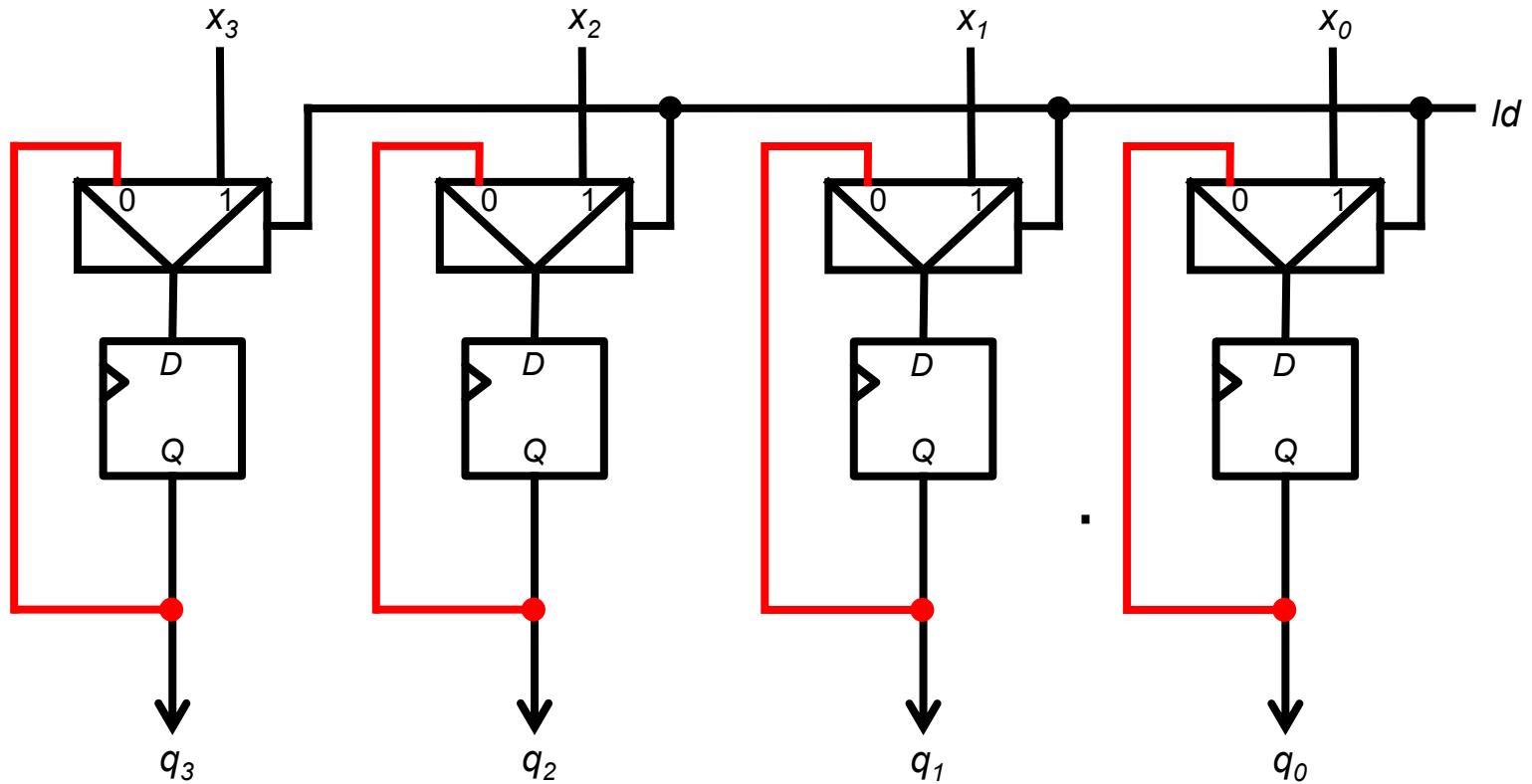
# Registro



Implementación directa

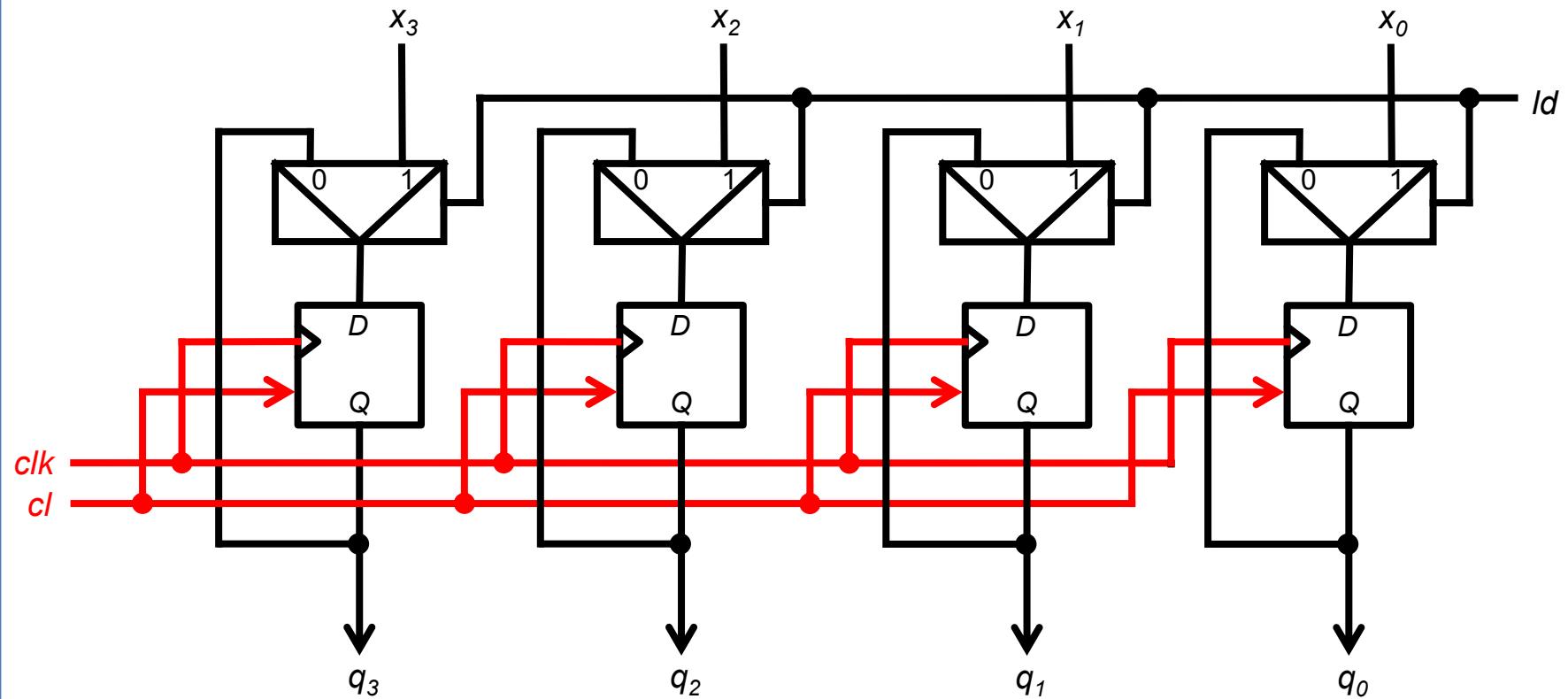
Registro de 4 bits

# Registro



Implementación directa

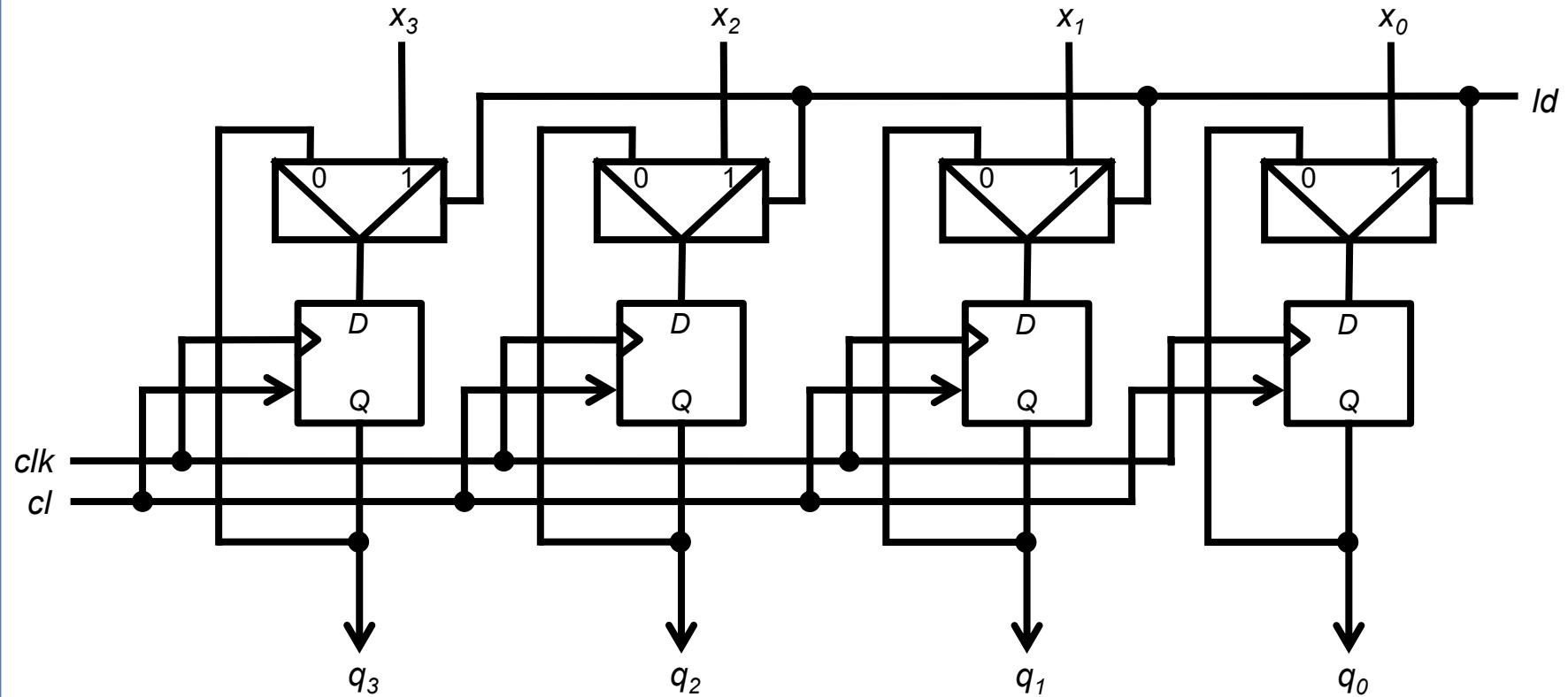
Registro de 4 bits



Implementación directa

Registro de 4 bits





Implementación directa

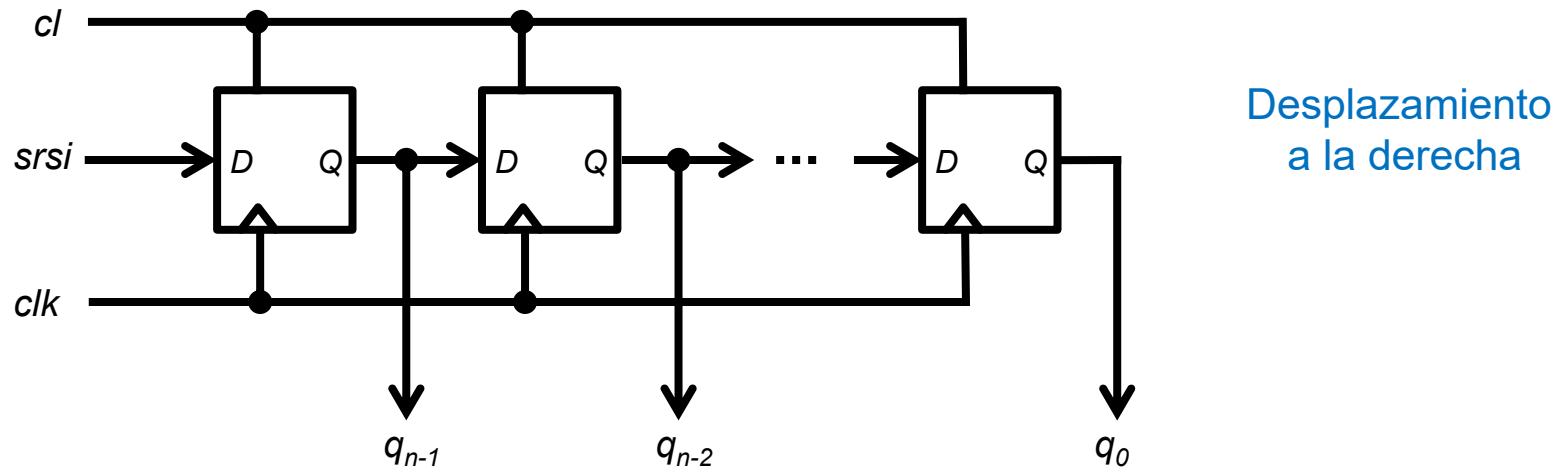
Registro de 4 bits





# Registro de desplazamiento

versión 2021





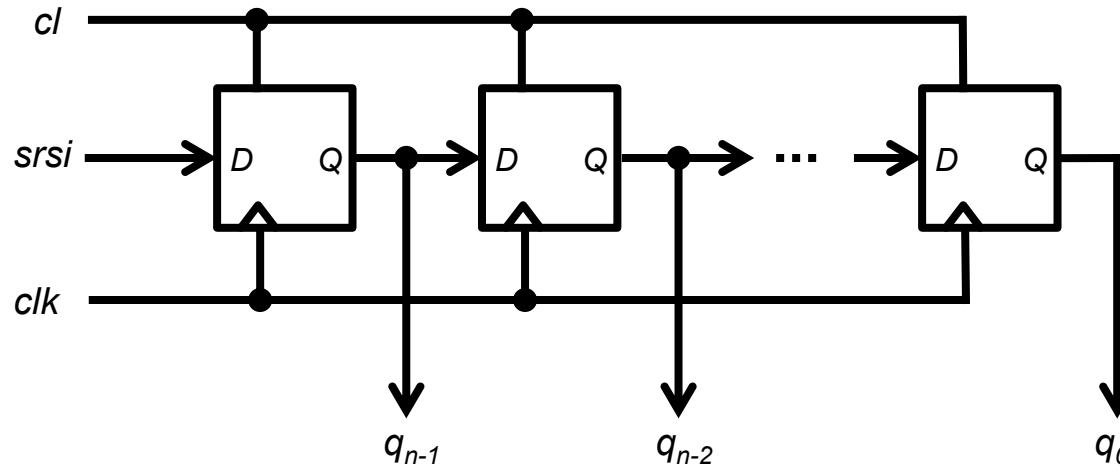
# Registro de desplazamiento

versión 2021

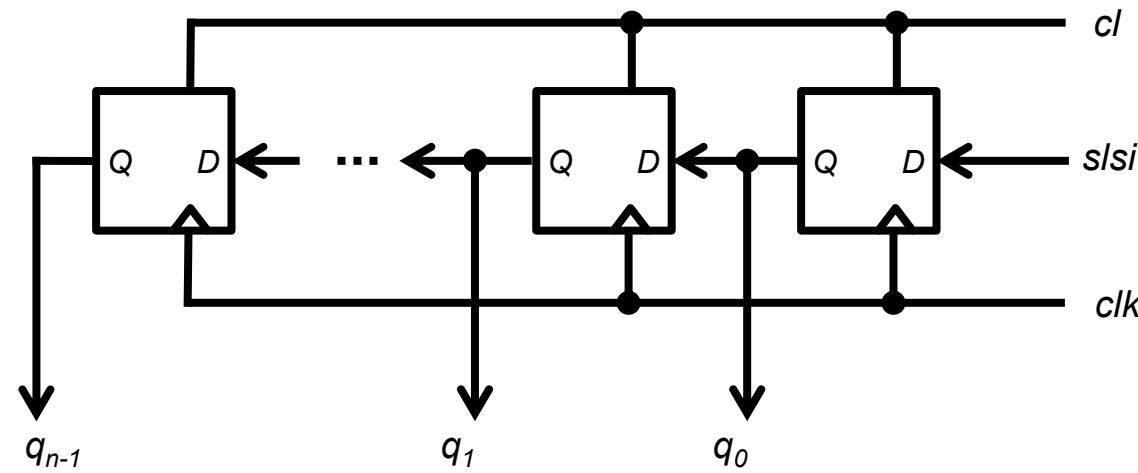
tema 4:  
Rutas de datos y controladores

FC

84



Desplazamiento  
a la derecha



Desplazamiento  
a la izquierda



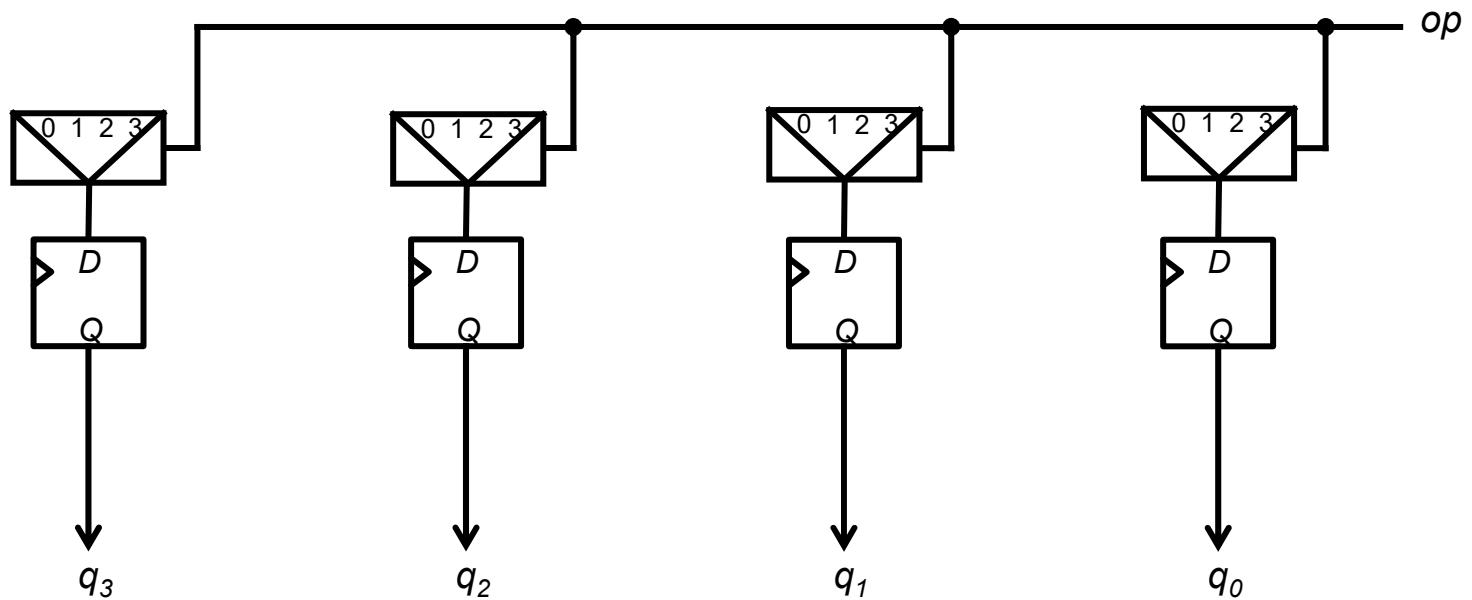
# Registro de desplazamiento

versión 2021

tema 4:  
Rutas de datos y controladores

FC

85



Implementación directa

Registro de desplazamiento de 4 bits



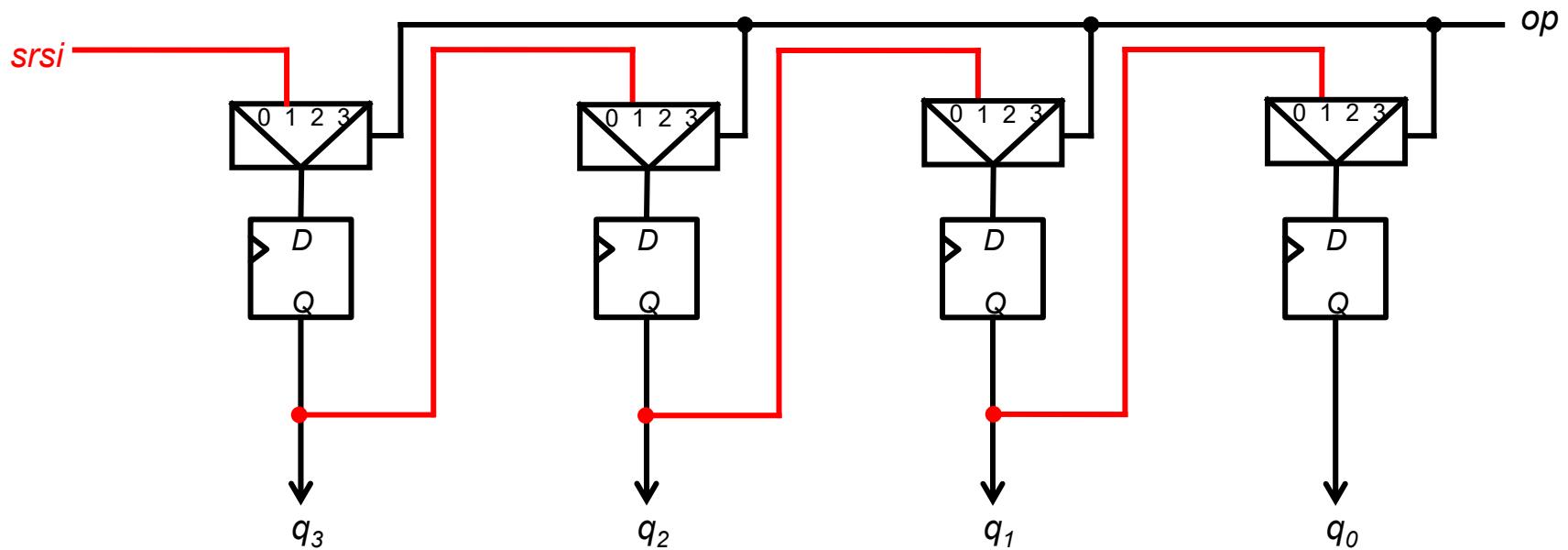
# Registro de desplazamiento

versión 2021

tema 4:  
Rutas de datos y controladores

FC

86



Implementación directa

Registro de desplazamiento de 4 bits



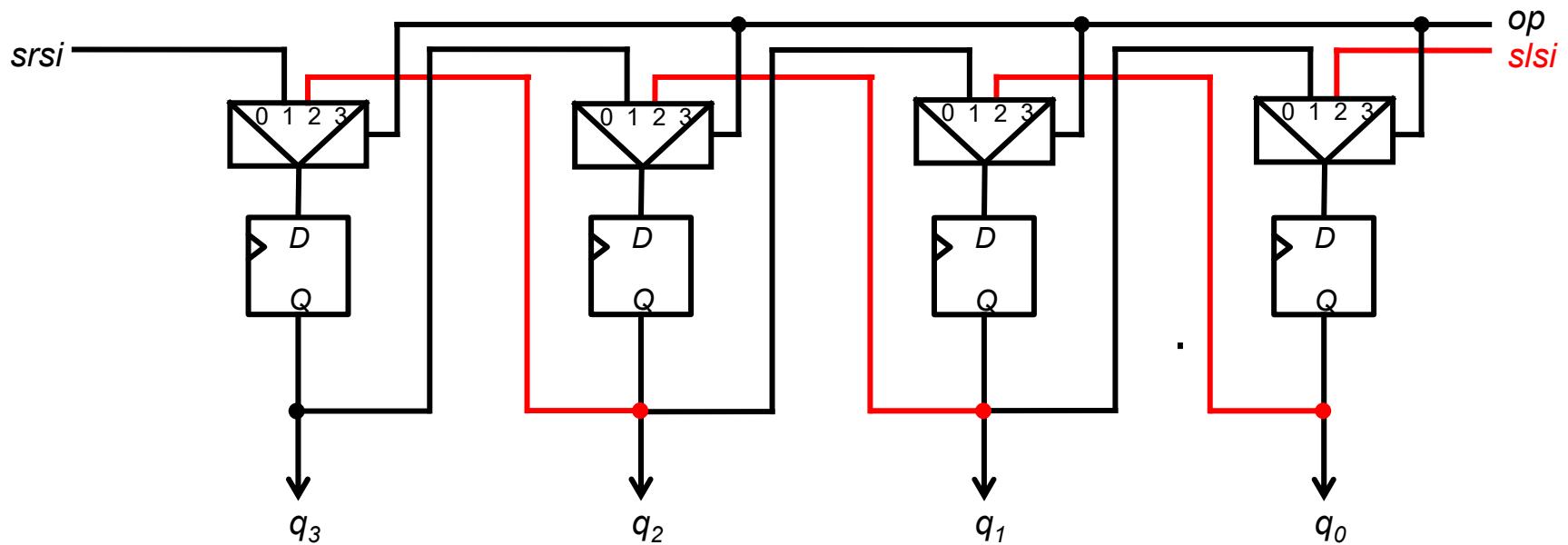
# Registro de desplazamiento

versión 2021

tema 4:  
Rutas de datos y controladores

FC

87



Implementación directa

Registro de desplazamiento de 4 bits



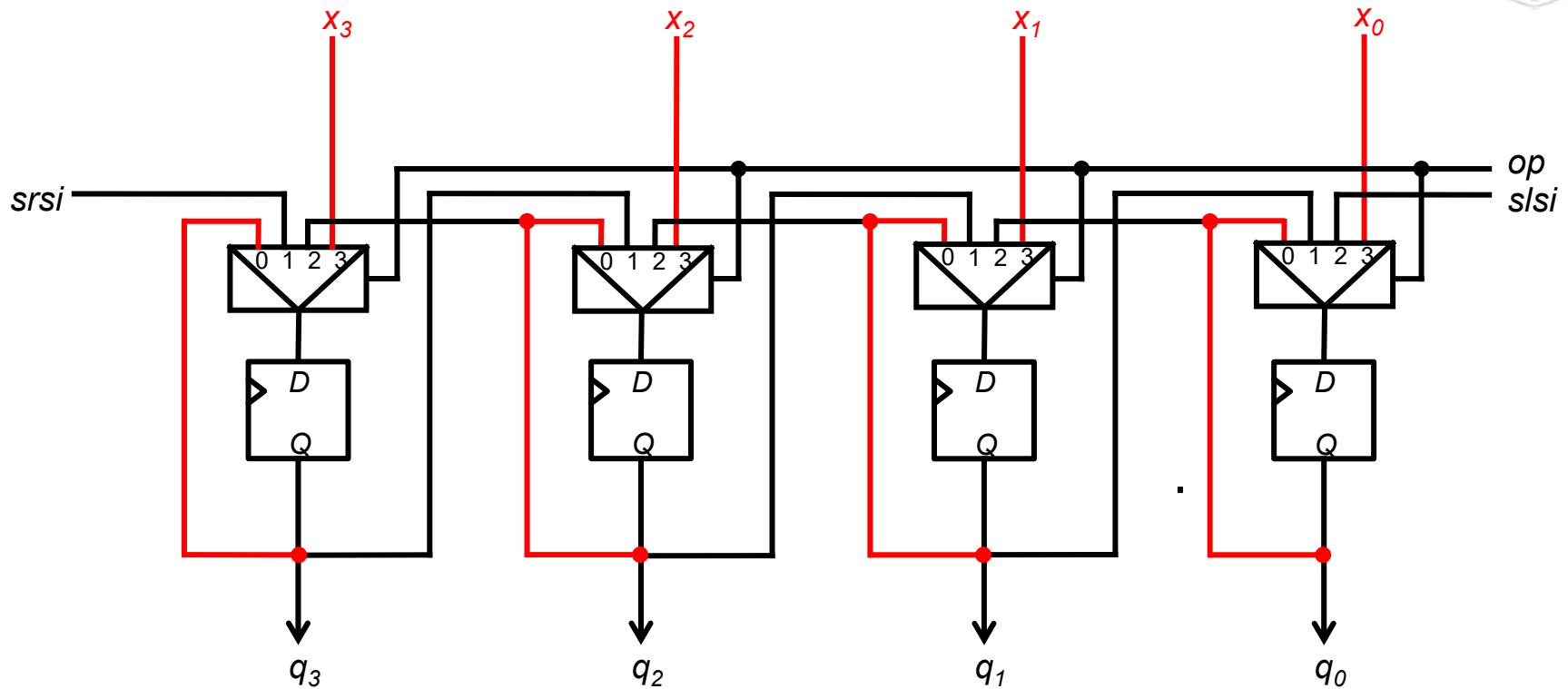
# Registro de desplazamiento

versión 2021

tema 4:  
Rutas de datos y controladores

FC

88



Implementación directa

Registro de desplazamiento de 4 bits



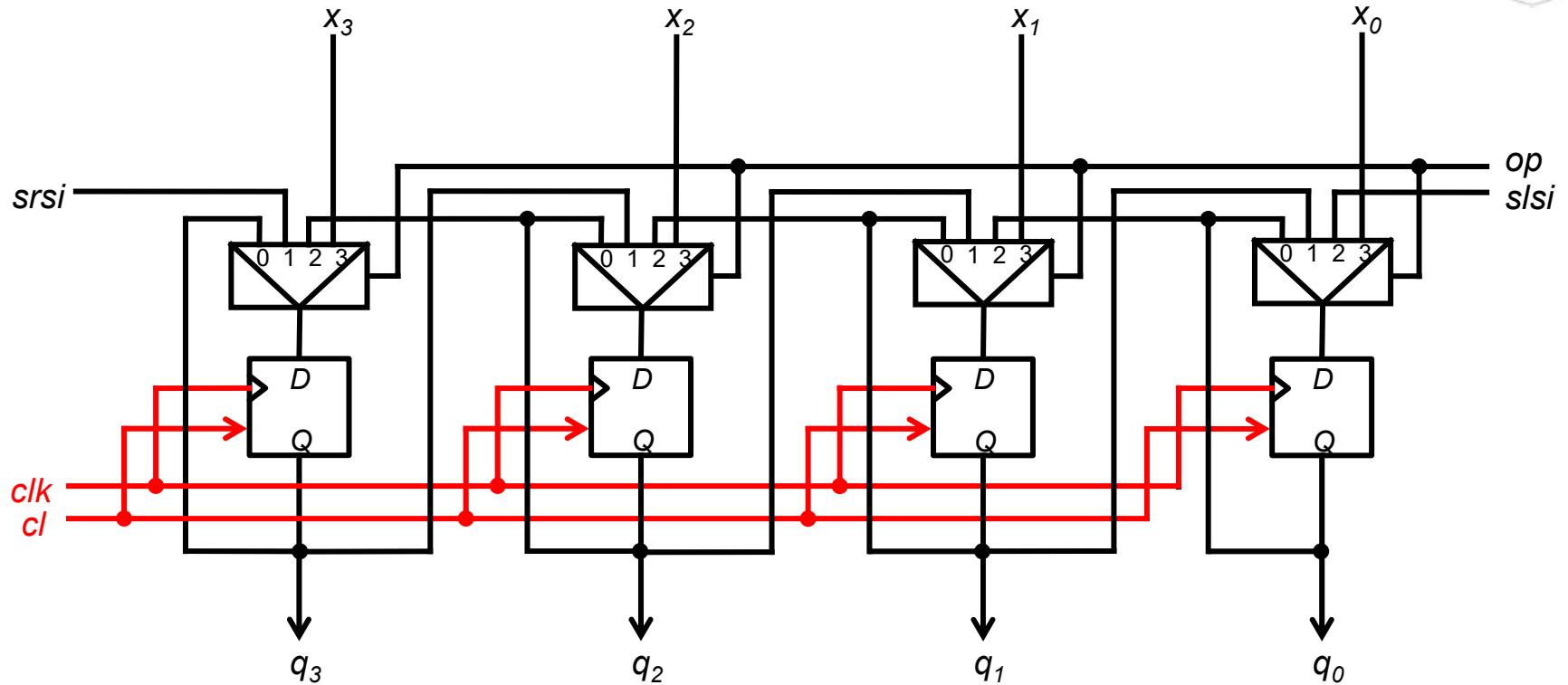
# Registro de desplazamiento

versión 2021

tema 4:  
Rutas de datos y controladores

FC

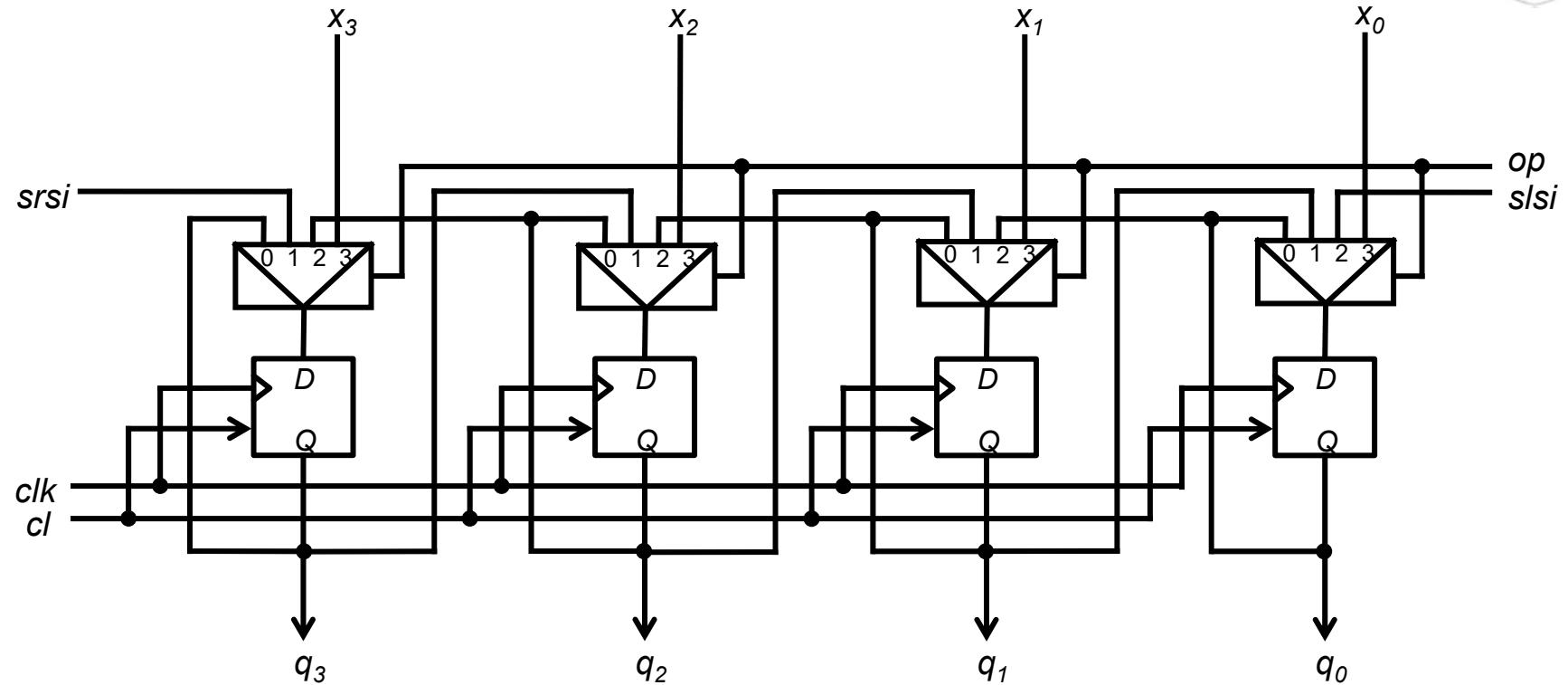
89



Implementación directa

Registro de desplazamiento de 4 bits

# Registro de desplazamiento



Implementación directa  
Registro de desplazamiento de 4 bits



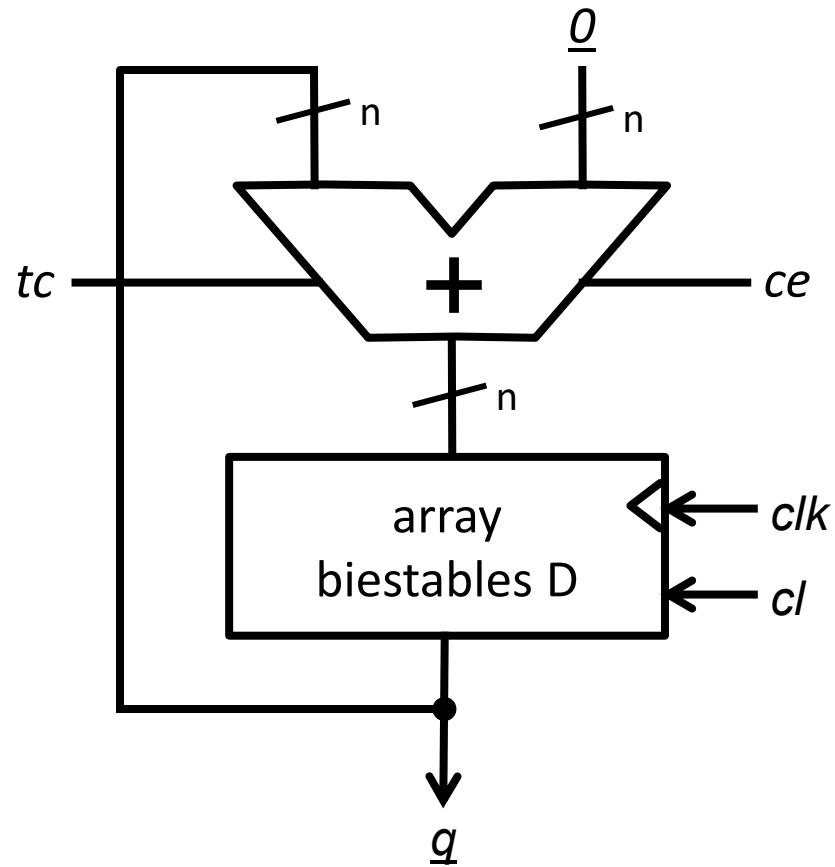
# Contador ascendente

versión 2021

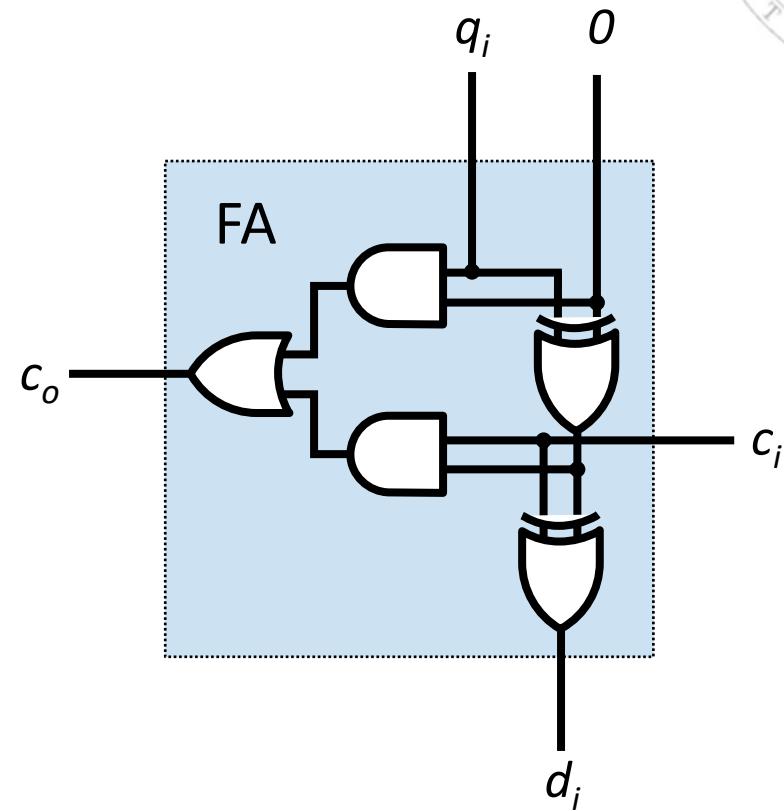
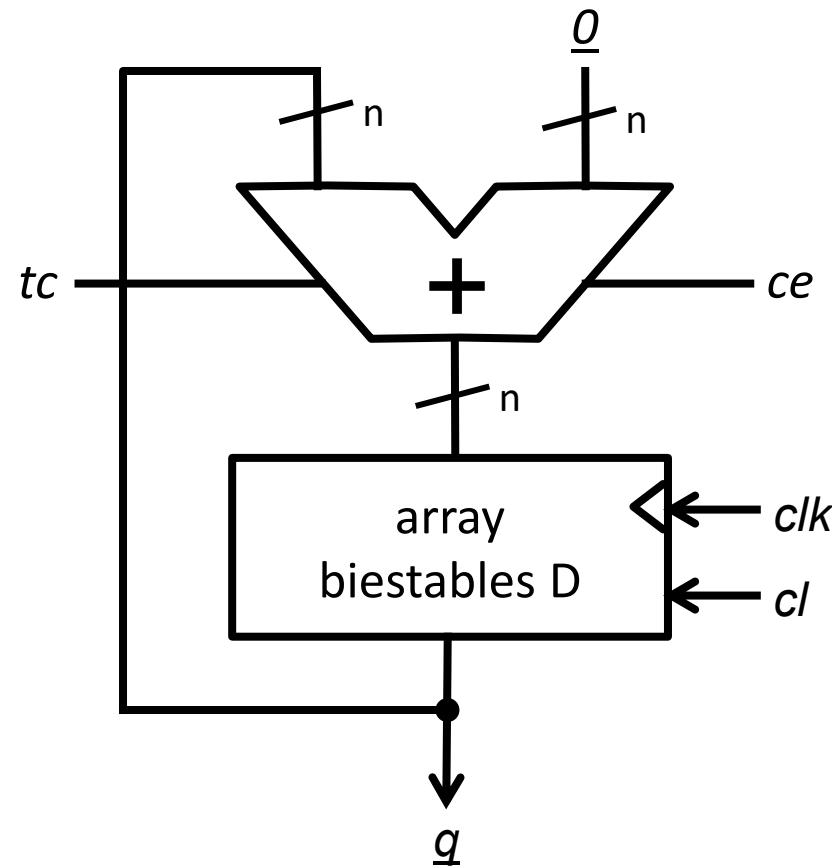
tema 4:  
Rutas de datos y controladores

FC

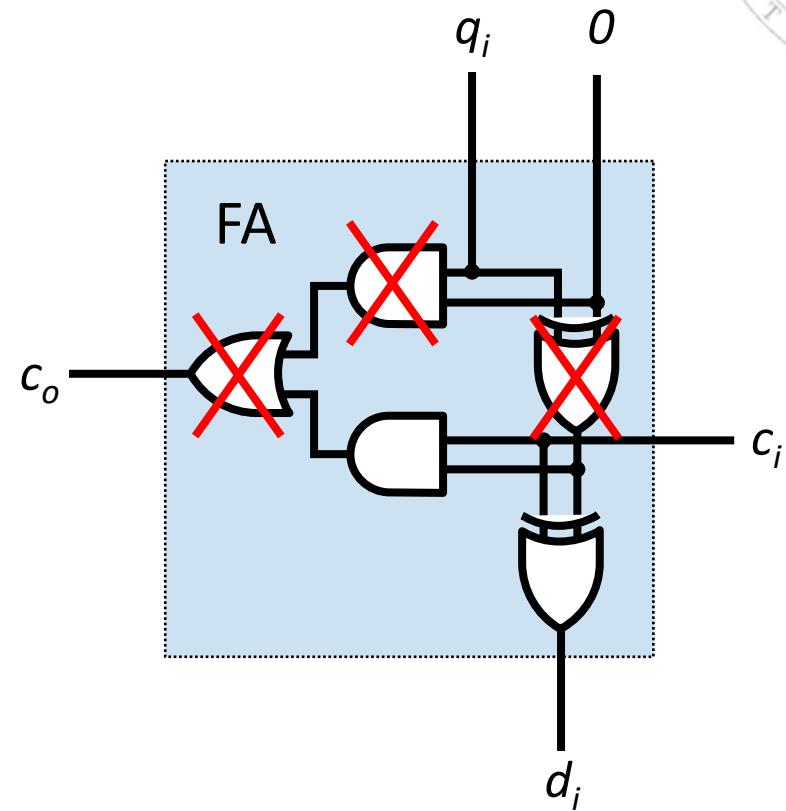
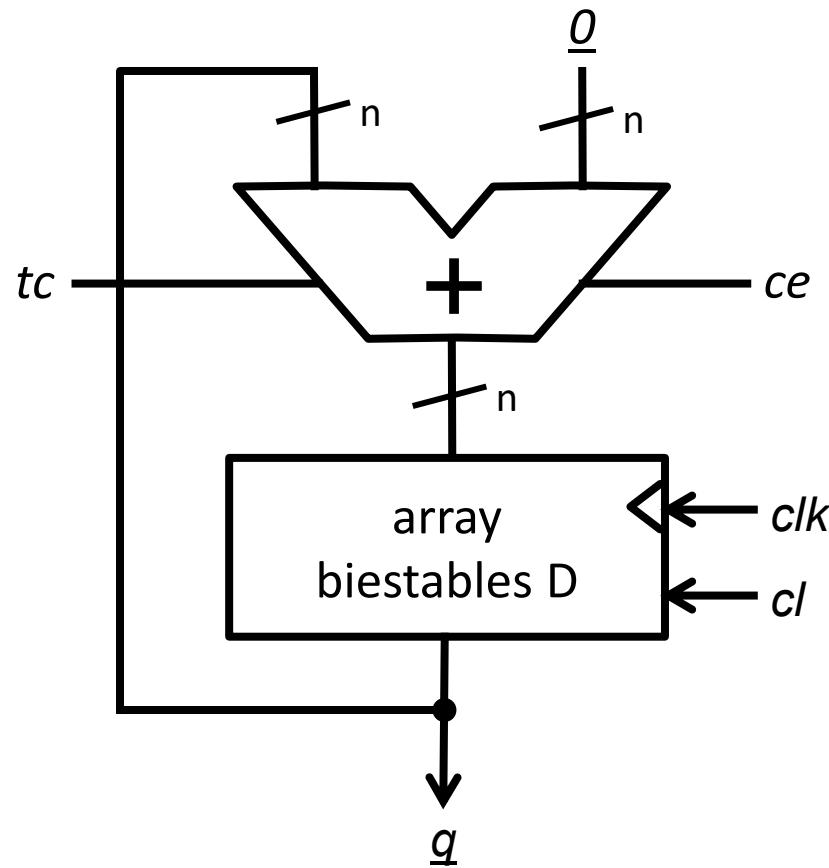
91



# Contador ascendente



# Contador ascendente





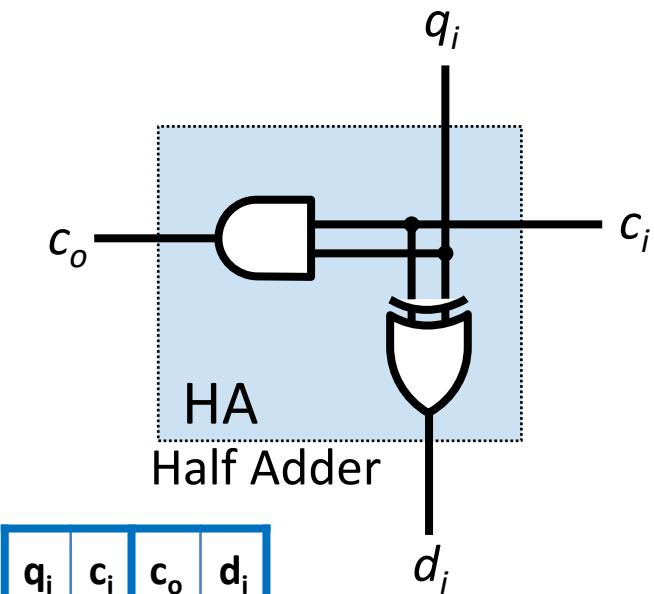
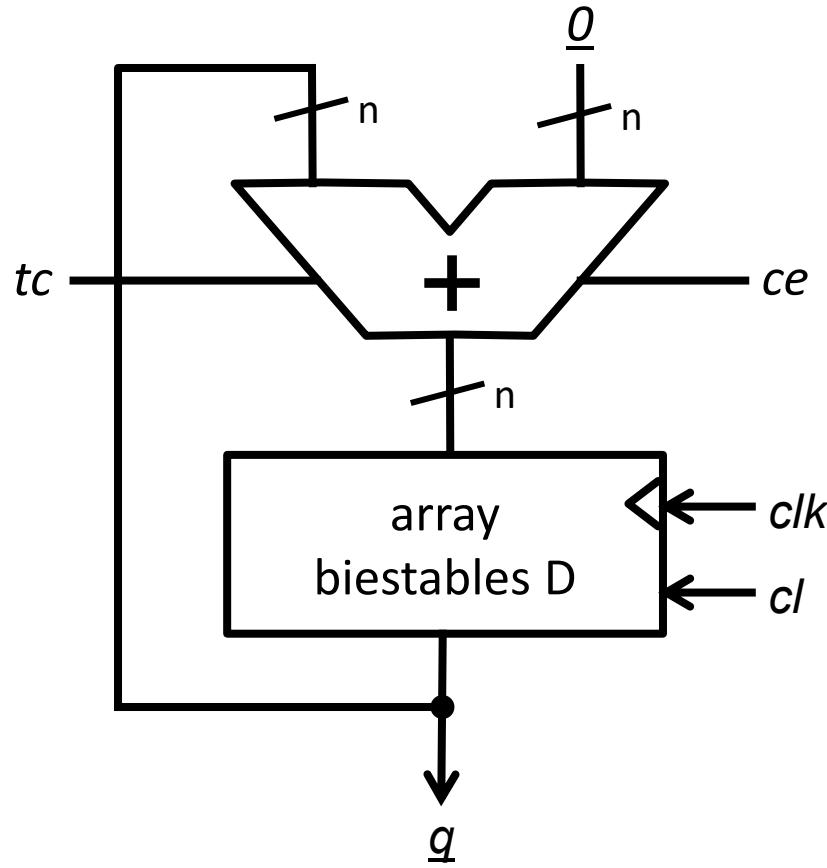
# Contador ascendente

versión 2021

tema 4:  
Rutas de datos y controladores

FC

94



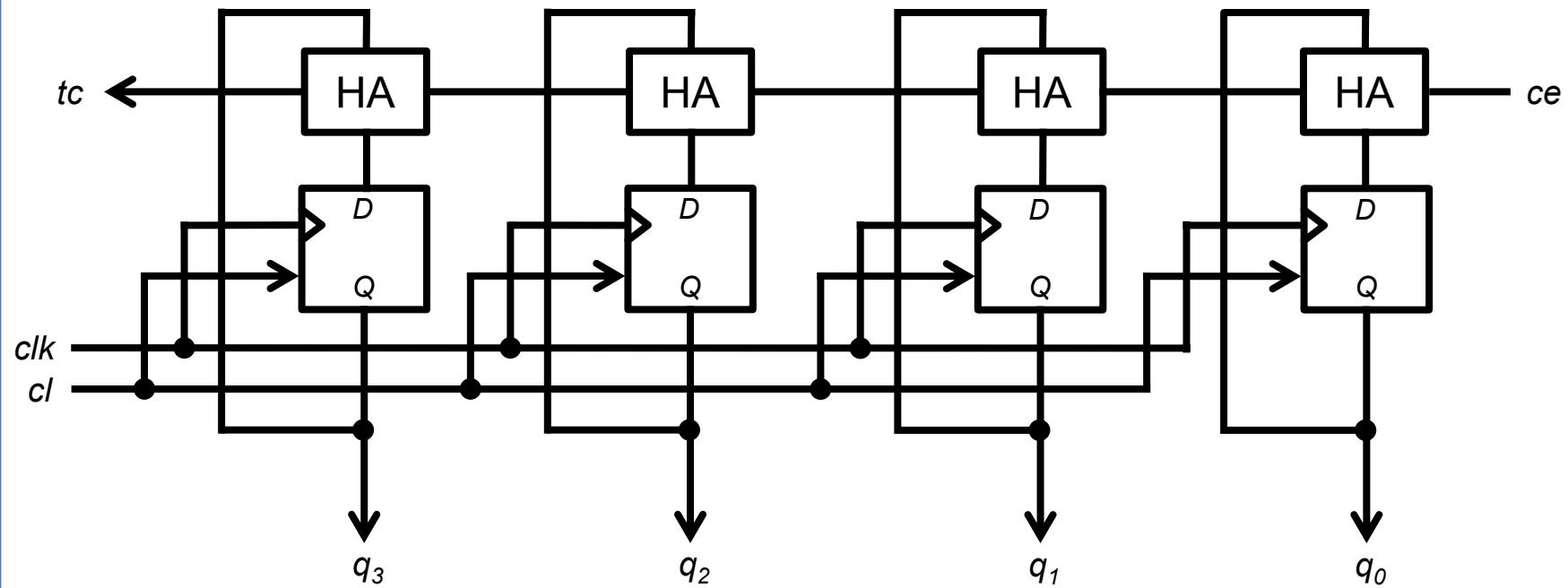
| $q_i$ | $c_i$ | $c_o$ | $d_i$ |
|-------|-------|-------|-------|
| 0     | 0     | 0     | 0     |
| 0     | 1     | 0     | 1     |
| 1     | 0     | 0     | 1     |
| 1     | 1     | 1     | 0     |

$$d_i = q_i \oplus c_i$$

$$c_o = q_i \cdot c_i$$



# Contador ascendente

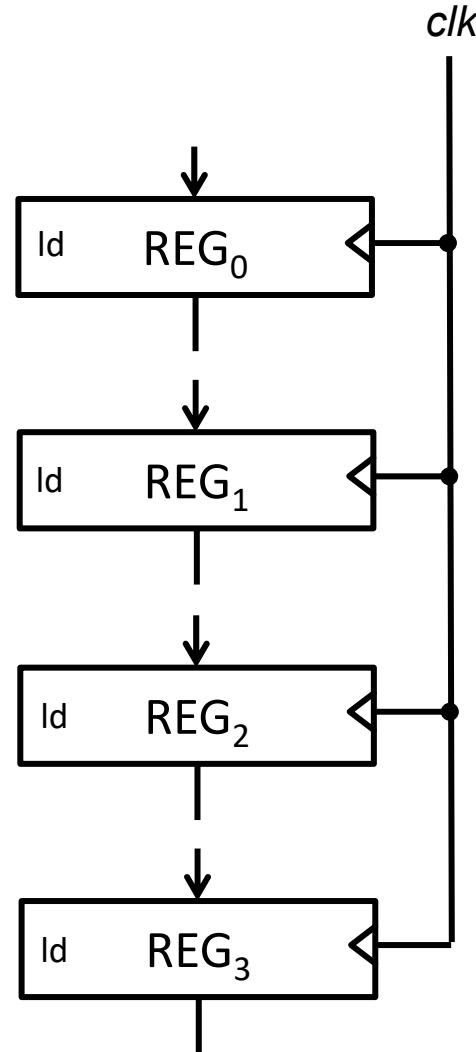


Implementación directa

Contador ascendente módulo 16

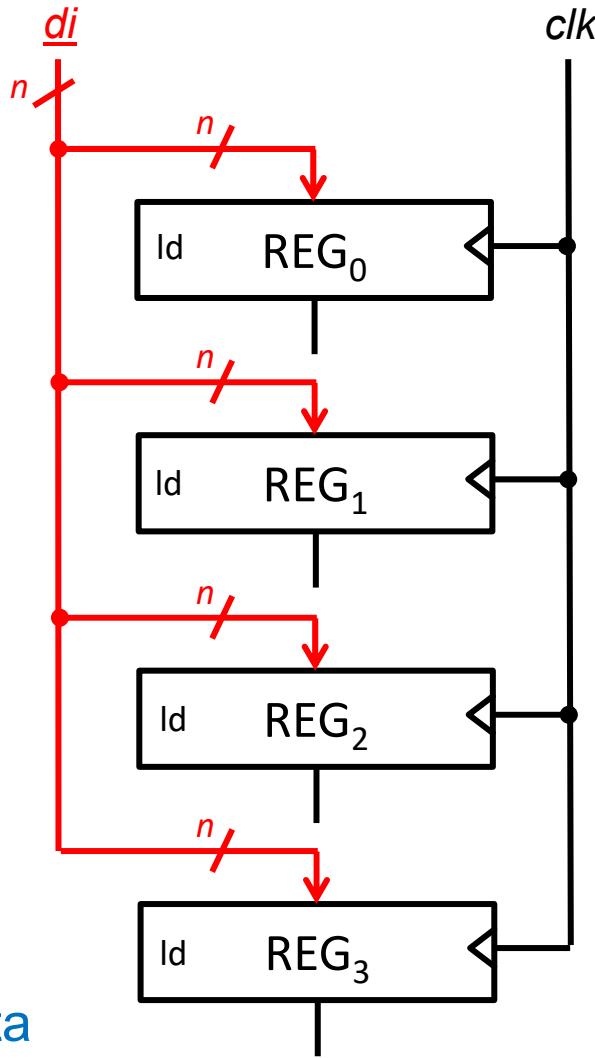


# Banco de registros





# Banco de registros



tema 4:  
Rutas de datos y controladores

FC

97

Implementación directa  
Registro de 4 registros de  $n$  bits



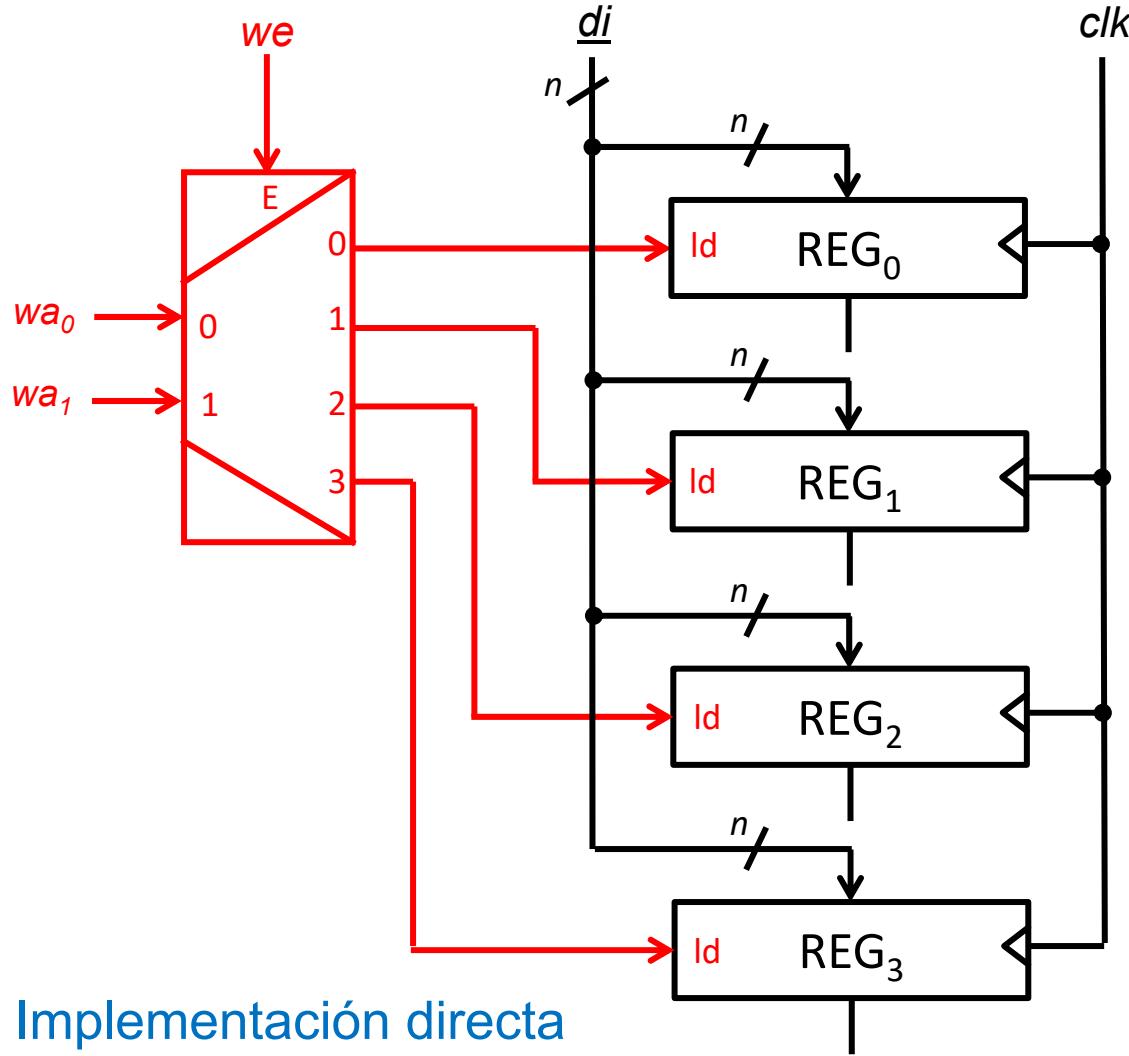
# Banco de registros

versión 2021

tema 4:  
Rutas de datos y controladores

FC

98



Implementación directa  
Registro de 4 registros de  $n$  bits



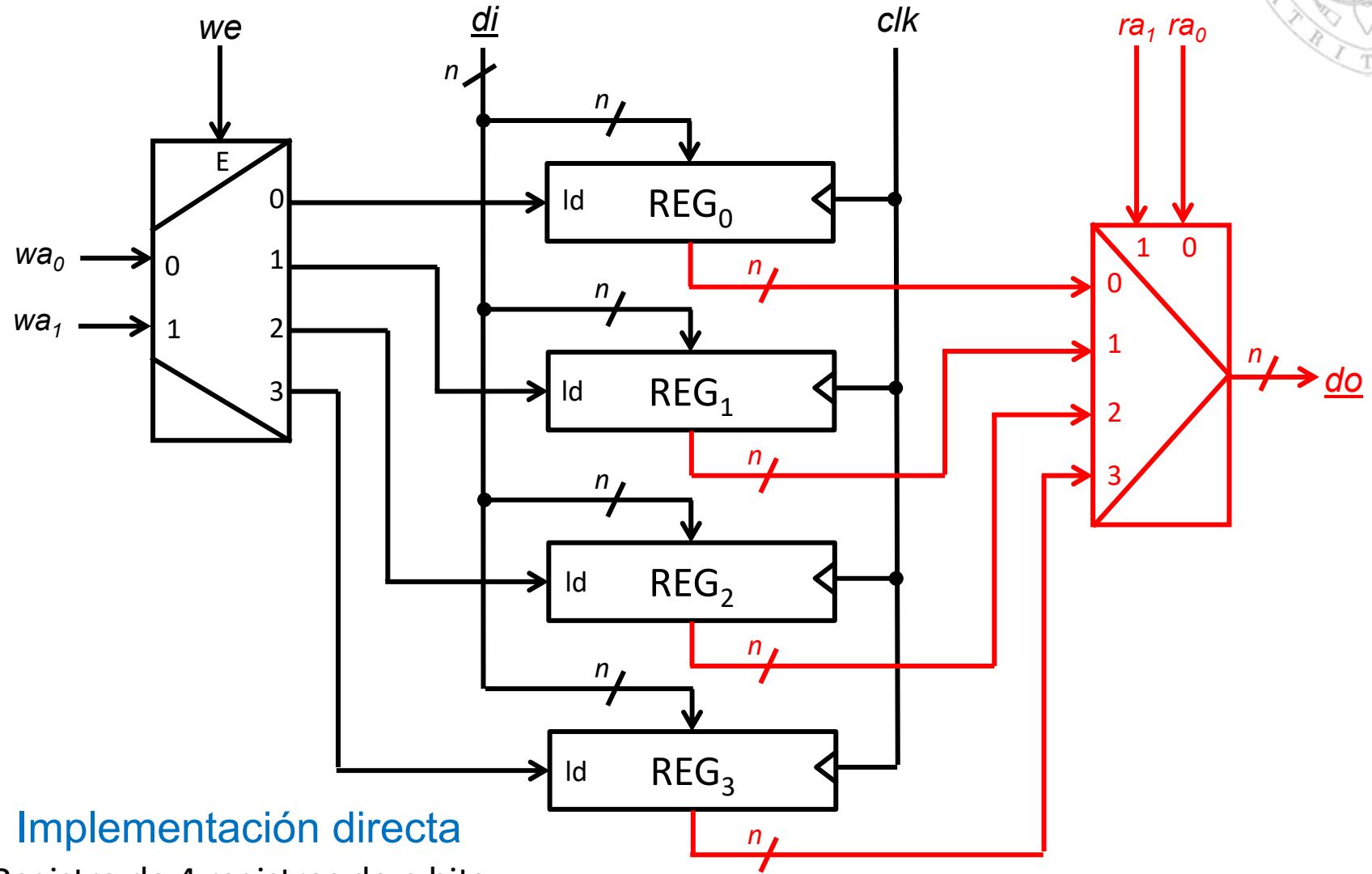
# Banco de registros

versión 2021

tema 4:  
Rutas de datos y controladores

FC

99





# Banco de registros

versión 2021

tema 4:  
Rutas de datos y controladores

FC

100

