

**PCI Express**, 简称**PCI-E**, 官方简称**PCIe**, 是计算机总线的一个重要分支, 它沿用现有的PCI编程概念及信号标准, 并且构建了更加高速的串行通信系统标准。目前这一标准由**PCI-SIG**组织制定和维护。**PCIe**仅应用于内部互连。由于**PCIe**是基于现有的PCI系统, 所以只需修改物理层而无须修改软件就可将现有PCI系统转换为**PCIe**。

除此之外，PCIe设备能够支持热拔插以及热交换特性，目前支持的三种电压分别为+3.3V、3.3Vaux以及+12V。

考虑到现在显卡功耗的日益增加，PCIe而后在规范中改善了直接从插槽中取电的功率限制，x16的最大提供功率一度达到了75W<sup>[1]</sup>，相对于AGP 8X接口有了很大的提升。

PCIe保证了兼容性，支持PCI的操作系统无需进行任何更改即可支持PCIe总线。这也给用户的升级带来方便。由此可见，PCIe最大的意义在于它的通用性，不仅可以让它用于南桥和其他设备的连接，也可以延伸到芯片组间的连接，甚至也可以用于连接图形处理器，这样，整个I/O系统重新统一起来，将更进一步简化计算机系统，增加计算机的可移植性和模块化。

<b>目录</b>	
<b>历史</b>	
<b>PCI Express与其他传输规格比较</b>	
<b>PCI Express的硬件协议</b>	
物理层	
数据链路层	
事务层	
引脚	
<b>制式标准</b>	
<b>竞争协议</b>	
<b>应用与前景</b>	
显卡	
硬盘	
<b>参考文献</b>	
<b>参见</b>	

<div>PCI Express标志</div>	
英文全名	Peripheral Component Interconnect Express
发明日期	2003年
发明者	英特尔 • 戴尔 • 惠普 • IBM
阔度	1-32
最多连接	1
带宽	<div>单通道（×1）和16通道（×16）连接，<u>全双工</u>，每个方向：</div> <div><div>v. 1.x (2.5 GT/s):</div><div>250 MB/s（×1）</div><div>4 GB/s（×16）</div></div> <div><div>v. 2.x (5 GT/s):</div><div>500 MB/s（×1）</div><div>8 GB/s（×16）</div></div> <div><div>v. 3.x (8 GT/s):</div><div>1008 MB/s（×1）</div><div>15.75 GB/s（×16）</div></div> <div><div>v. 4.x (16 GT/s):</div><div>1.969 GB/s（×1）</div><div>31.51 GB/s（×16）</div></div> <div><div>v. 5.x (32 GT/s):</div><div>3.938 GB/s（×1）</div><div>63.01 GB/s（×16）</div></div> <div><div>v. 6.x (64 GT/s):</div><div>7.88 GB/s（×1）</div><div>128 GB/s（×16）</div></div>
类别	串行
热插拔	支持（依制式而定）
外置接口	支持，通过 PCI Express OCuLink 和外接线，例如 Thunderbolt

## 历史

在2001年的春季英特尔开发者论坛（IDF）上Intel公布取代PCI总线的第三代I/O技术，被称为“3GIO”。该总线的规范由Intel支持的AWG（Arapahoe Work Group）负责制定。2002年4月17日，AWG正式宣布3GIO 1.0规范草稿制定完毕，移交PCI特殊兴趣组织（PCI-SIG）进行审核，2002年7月23日经过审核后正式公布，改名为“PCI Express”，并根据开发蓝图在2006年正式推出Spec 2.0（2.0规范）。<sup>[2][3]</sup>2019年5月28日，PCI-SIG官方发布了PCIe 5.0的1.0版基础规范，规范主要定义了PCIe5.0的架构（architecture）、互联属性规范（interconnect attributes）、网络结构管理（fabric management）以及编程接口（programming interface）等内容<sup>[4]</sup>。

PCI Express 总线性能 <sup>[2][3]</sup>								
PCI Express 版本	推出	Line 编码	原始传输率 <sup>[i]</sup>	带宽（每个方向） <sup>[i]</sup>				
				×1	×2	×4	×8	×16
1.0	2003	8b/10b	2.5 GT/s	250 MB/s	0.50 GB/s	1.0 GB/s	2.0 GB/s	4.0 GB/s
2.0	2007	8b/10b	5.0 GT/s	500 MB/s	1.0 GB/s	2.0 GB/s	4.0 GB/s	8.0 GB/s
3.0	2010	128b/130b	8.0 GT/s	984.6 MB/s	1.97 GB/s	3.94 GB/s	7.88 GB/s	15.8 GB/s
4.0	2017	128b/130b	16.0 GT/s	1969 MB/s	3.94 GB/s	7.88 GB/s	15.75 GB/s	31.5 GB/s
5.0 <sup>[5][6]</sup>	2019 <sup>[7][8]</sup>	NRZ 128b/130b	32.0 GT/s <sup>[ii]</sup>	3938 MB/s	7.88 GB/s	15.75 GB/s	31.51 GB/s	63.0 GB/s
6.0	2021	PAM4 & FEC 128b/130b	64.0 GT/s	7877 MB/s	15.75 GB/s	31.51 GB/s	63.02 GB/s	126.03 GB/s

- i. 每条通道（lane）都是全双工通道。
- ii. 出于技术可行性，最初也考虑过25.0 GT/s

以PCIe 2.0为例，每秒5GT（Gigatransfer）原始数据传输率，编码方式为8b/10b（每10个比特只有8个有效数据），即有效带宽为4Gb/s = 500MByte/s。

## PCI Express与其他传输规格比较

PCIe的规范主要是为了提升电脑内部所有总线的速度，因此带宽有多种不同规格标准，其中PCIe ×16是特别为显卡所设计。AGP的资料传输效率最高为2.1GB / s，不过对上PCIe ×16的8GB / s，很明显的就分出胜负，但8GB / s是指资料传输的理想值，并不是使用PCIe接口的显卡，就能够有突飞猛进的性能表现，实际的测试数据并不会有这么大的差异存在。<sup>[9][10]</sup>

传输通道数	脚Pin总数	主接口区Pin数	总长度	主接口区长度
x1	36	14	25 mm	7.65 mm
x4	64	42	39 mm	21.65 mm
x8	98	76	56 mm	38.65 mm
x16	164	142	89 mm	71.65 mm



PCI Express ×16插槽



PCI Express ×1插槽

规格	总线宽度	工作时脉	资料速率
PCI 2.3	32位	33/66 MHz	133/266 MB/s
PCI-X 1.0	64位	66/100/133 MHz	533/800/1066 MB/s
PCI-X 2.0 (DDR)	64位	133 MHz	2.1 GB/s
PCI-X 2.0 (QDR)	64位	133 MHz	4.2 GB/s
AGP 2X	32位	66 MHz	*2=532 MB/s
AGP 4X	32位	66 MHz	*4=1.0 GB/s
AGP 8X	32位	66 MHz	*8=2.1 GB/s
PCI-E 2.0 X1	1比特	2.5 GHz	500 MB/s
PCI-E 2.0 X2	2比特	2.5 GHz	1 GB/s
PCI-E 2.0 X4	4位	2.5 GHz	2 GB/s
PCI-E 2.0 X8	8位	2.5 GHz	4 GB/s
PCI-E 2.0 X16	16位	2.5 GHz	8 GB/s

计算公式：PCI-E串行总线带宽（MB/s）= 串行总线时钟频率（MHz）\* 串行总线位宽（bit/8 = B）\* 串行总线管线 \* 编码方式 \* 每时钟传输几组数据（cycle），例：双工 PCI-E 1.0 X1，其带宽 = 2500\*1/8\*1\*8/10\*1\*2=500 MB/s。

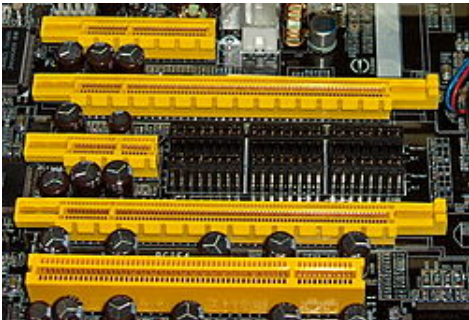
PCI Express 1.0总线频率2500 MHz，这是在100 MHz的基准频率通过锁相环振荡器（Phase Lock Loop，PLL）达到的。PCI-E 2.0总线频率从2.5GHz提高到5GHz，3.0则提高到8GHz，编码方式变成128/130。

## PCI Express的硬件协议

PCIe的连接是创建在一个单向的序列的（1-bit）点对点连接基础之上，这称之为通道（lane）。这一点上PCIe连接与早期PCI连接形成鲜明对比，PCI连接基于总线控制，所有设备共享双向32位并行总线。PCIe是一个多层协议，由事务层，数据交换层和物理层构成。物理层又可进一步分为逻辑子层和电气子层。逻辑子层又可分为物理代码子层（PCS）和介质接入控制子层（MAC）。这些术语借用自 IEEE 802 网络协议模型。PCIe通过ASPM协议进行电源管理。

### 物理层

于使用电力方面，每组流水线使用两个单向的低电压差分信号（LVDS）合计达到2.5 Gbit/s。传送及接收不同数据会使用不同的传输通道，每一通道可运作四项资料。两个PCIe设备之间的连接成为“链接”，这形成1组或更多的传输通道。各个设备最少支持1传输通道（x1）的链接。也可以有2，4，8，16，32个通道的链接。这可以更好的提供双向兼容性（x2模式将用于内部接口而非插槽模式）。PCIe卡能使用在至少与之传输通道相当的插槽上（例如x1接口的卡也能工作在x4或x16的插槽上）。一个支持较多传输通道的插槽可以创建较少的传输通道（例如8个通道的插槽能支持1个通道）。PCIe设备之间的链接将使用两设备中较少通道数的作为标准。一个支持较多通道的设备不能在支持较少通道的插槽上正常工作，例如x4接口的卡不能在x1的插槽上正常工作（插不入），但它能在x4的插槽上只创建1个传输通道（x1）。PCIe卡能在同一数据传输通道内传输包括中断在内的全部控制信息。这也方便与PCI的兼容。多传输通道上的数据传输采取交叉访问，这意味着连续字节交叉访问在不同的通道上。这一特性被称之为“数据条纹”，需要非常复杂的硬件支持连续数据的同步访问，也对链接的数据吞吐量要求极高。由于数据填充的需求，数据交叉访问不需要缩小数据包。与其它高速数据传输协议一样，时钟信息必须嵌入信号中。在物理层上，PCIe采用常见的8B/10B代码方式来确保连续的1和0字符串长度符合标准，这样保证接收端不会误读。编码方案用10位编码比特代替8个未编码比特来传输数据，占用20%的总带宽。到了PCIe 3.0，采用128B/130B代码方式，仅占用1.538%的总带宽。有些协议（如SONET）使用另外的编码结构如“不规则”在数



各式各样的PCI Express插槽（由上而下：x4, x16, x1, 与x16），相较于传统的32-bit PCI插槽（最下方），取自于DFI的LanParty nF4 Ultra-D主板

据流中嵌入时钟信息。PCIe的特性也定义一种“不规则化”的运算方法，但这种方法与SONET完全不同，它的方法主要用来避免数据传输过程中的数据重复而出现数据散射。第一代PCIe采用2.5GT/s单信号传输率，PCI-SIG计划在未来版本中增强到5~10GT/s。

## 数据链路层

数据链路层采用按序的交换层信息包（Transaction Layer Packets,TLPs），是由交换层生成，按32位循环冗余校验码（CRC，本文中用LCRC）进行数据保护，采用著名的协议（Ack and Nak signaling）的信息包。TLPs能通过LCRC校验和连续性校验的称为Ack（命令正确应答）；没有通过校验的称为Nak（没有应答）。没有应答的TLPs或者等待超时的TLPs会被重新传输。这些内容存储在数据链路层的缓存内。这样可以确保TLPs的传输不受电子噪音干扰。PCIe对于ACK有所规范，在收到TLP数据包之后，在一定时间内必须回应ACK，也就是ACK延迟（ACK Latency）的等待时间。因应ACK/NAK流程的需要，必须实现出重新播送缓冲器（Replay Buffer）。

TLPs加上Sequence number以及16 比特 CRC 后，被包裹成为数据链路层信息包（Data Link Layer Packet,DLLP），除了资料传递外，交握信号ACK和NAK信号亦被包裹在信息包中发送，除此之外也用来传送两个互连设备的交换层之间的流控制信息和实现电源管理功能。

## 事务层

PCI Express采用分离交换（数据提交和应答在时间上分离），可保证传输通道在目标端设备等待发送回应信息传送其它数据信息。

PCI Express采用可信性流控制。这一模式下，一个设备广播它可接收缓存的初始可信信号量。链接另一方的设备会在发送数据时统计每一发送的TLP所占用的可信信号量，直至达到接收端初始可信信号最高值。接收端在处理完毕缓存中的TLP后，它会回送发送端一个比初始值更大的可信信号量。可信信号统计是定制的标准计数器，相比于其他方法，如基于握手的传输协议，这一模式的优势在于可信信号的回传反应时间不会影响系统性能，因为如果双方设备的缓存足够大，是不会出现达到可信信号最高值的情况，这样发送数据不会停顿。

第一代PCIe标称可支持每传输通道单向每秒250 MB的数据传输率。这一数字是根据物理信号率2500 Mbit/s除以编码率（10位 / 每字节）计算而得。这意味着一个16通道（x16）的PCIe卡理论上可以达到单向250\*16=4000 MB/s（3.7 GB/s）。实际的传输率要根据数据有效载荷率，即依赖于数据的本身特性，这是由更高层（软件）应用程序和中间协议层决定。

PCI Express与其它高速序列连接系统相似，它依赖于传输的强健性（CRC校验和ACK）。长时间连续的单向数据传输（如高速存储设备）可以达到>95%的PCIe通道数据传输利用率。这样的传输受益于增加的传输通道（x2, x4 等）。但大多数应用程序如USB或以太网控制器会把传输内容拆成小的数据包，同时还会强制加上确认信号。这类数据传输由于增加数据包的解析和强制中断，降低传输通道的效率。作为一个在同一个印刷电路板（PCB）设备间的通信协议，它不需要达到其他远距离通信协议要求的高数据传输错误容忍度，而且，这种效率的降低并非只出现在PCIe上。

## 引脚

下表列出在边缘连接器上的PCI Express卡两侧的导线。在印刷电路板（PCB）的焊接侧为A侧，并且组件侧的B侧。<sup>[11]</sup>PRSENT1# 和PRSENT2# 引脚必须比其余稍短，以确保热插入卡完全插入。该WAKE# 引脚采用全电压唤醒计算机，但必须拉高从备用电源，以表明该卡是能够唤醒。<sup>[12]</sup>

PCI Express连接器引脚（×1，×4，×8，×16的变体）

引脚	B侧	A侧	描述	引脚	B侧	A侧	描述
1	+12 V	PRSNT1#	必须连接到最远PRSNT2# 引脚	50	HSOp (8)	Reserved	通道8传输数据，+和-
2	+12 V	+12 V		51	HSOn (8)	Ground	
3	+12 V	+12 V		52	Ground	HSIp (8)	通道8接收数据，+和-
4	Ground	Ground		53	Ground	HSIn (8)	
5	SMCLK	TCK	SMBus和JTAG端口引脚	54	HSOp (9)	Ground	通道9传输数据，+和-
6	SMDAT	TDI		55	HSOn (9)	Ground	
7	Ground	TDO		56	Ground	HSIp (9)	通道9接收数据，+和-
8	+3.3 V	TMS		57	Ground	HSIn (9)	
9	TRST#	+3.3 V	备用电源	58	HSOp (10)	Ground	通道10传输数据，+和-
10	+3.3 V aux	+3.3 V		59	HSOn (10)	Ground	
11	WAKE#	PERST#	链接激活；基本复位	60	Ground	HSIp (10)	通道10接收数据，+和-
Key notch				61	Ground	HSIn (10)	
12	CLKREQ#	Ground	要求运行的时钟	62	HSOp (11)	Ground	通道11传输数据，+和-
13	Ground	REFCLK+	参考时钟差分对	63	HSOn (11)	Ground	
14	HSOp (0)	REFCLK-	通道0传输数据，+和-	64	Ground	HSIp (11)	通道11接收数据，+和-
15	HSOn (0)	Ground		65	Ground	HSIn (11)	
16	Ground	HSIp (0)	通道0接收数据，+和-	66	HSOp (12)	Ground	通道12传输数据，+和-
17	PRSNT2#	HSIn (0)		67	HSOn (12)	Ground	
18	Ground	Ground		68	Ground	HSIp (12)	通道12接收数据，+和-
PCI Express ×1卡于引脚18结束				69	Ground	HSIn (12)	
19	HSOp (1)	Reserved	通道1传输数据，+和-	70	HSOp (13)	Ground	通道13传输数据，+和-
20	HSOn (1)	Ground		71	HSOn (13)	Ground	
21	Ground	HSIp (1)	通道1接收数据，+和-	72	Ground	HSIp (13)	通道13接收数据，+和-
22	Ground	HSIn (1)		73	Ground	HSIn (13)	
23	HSOp (2)	Ground	通道2传输数据，+和-	74	HSOp (14)	Ground	通道14传输数据，+和-
24	HSOn (2)	Ground		75	HSOn (14)	Ground	
25	Ground	HSIp (2)	通道2接收数据，+和-	76	Ground	HSIp (14)	通道14接收数据，+和-
26	Ground	HSIn (2)		77	Ground	HSIn (14)	
27	HSOp (3)	Ground	通道3传输数据，+和-	78	HSOp (15)	Ground	通道15传输数据，+和-
28	HSOn (3)	Ground		79	HSOn	Ground	



					(15)		
29	Ground	HSIp (3)	通道3接收数据， +和-		80	Ground	通道15接收数据， +和-
30	Reserved	HSIn (3)			81	PRSNT2#	
31	PRSNT2#	Ground			82	Reserved	
32	Ground	Reserved			Ground		
PCI Express ×4卡于引脚32结束							
33	HSOp (4)	Reserved	通道4传输数据， +和-				
34	HSOn (4)	Ground					
35	Ground	HSIp (4)	通道4接收数据， +和-				
36	Ground	HSIn (4)					
37	HSOp (5)	Ground	通道5传输数据， +和-				
38	HSOn (5)	Ground					
39	Ground	HSIp (5)	通道5接收数据， +和-				
40	Ground	HSIn (5)					
41	HSOp (6)	Ground	通道6传输数据， +和-				
42	HSOn (6)	Ground					
43	Ground	HSIp (6)	通道6接收数据， +和-				
44	Ground	HSIn (6)					
45	HSOp (7)	Ground	通道7传输数据， +和-				
46	HSOn (7)	Ground					
47	Ground	HSIp (7)	通道7接收数据， +和-				
48	PRSNT2#	HSIn (7)					
49	Ground	Ground					
PCI Express ×8卡于引脚49结束							

图例	
接地引脚	零电压基准
电源引脚	为PCIe卡供电
输出引脚	从PCIe卡到主板的信号
输入引脚	从主板到PCIe卡的信号
漏极开路	可拉至低电平或感应到多个卡
检测引脚	卡连接在一起
备用	目前没有使用，不连接

制式标准

- 半高卡
- Mini PCIe：用以代替Mini PCI卡（支持x1 PCIe、USB 2.0和SMBus总线接口）。
- ExpressCard：类似PC卡接口标准（支持x1 PCIe、USB 2.0/3.0、热插拔）。
- PCI Express ExpressModule：支持热插拔的接口标准，用于服务器和工作站上。
- XMC：类似CMC / PMC接口标准（支持x4 PCIe或串行RapidI/O）。
- AdvancedTCA：用以代替Compact PCI卡，支持串行背板拓扑结构基础。
- AMC：AdvancedTCA规范的补充，支持处理器和I/O模块在ATCA板上（x1、x2、x4或x8 PCIe）。
- PCI Express外置接线<sup>[13]</sup>。
- Mobile PCI Express Module（MXM）英伟达所发明的图形模块规范。
- Advanced eXpress I/O Module（AXIOM）图形模块，由ATI认可。
- Thunderbolt



有RS-232接口的PCIe x1卡

- [M.2](#)
- [U.2](#)

## 竞争协议

基于高速序列构架产生了很多传输标准，包括HyperTransport、InfiniBand、RapidIO和StarFabric等等。这些标准均有业界的不同企业支持，背后也都有大量的资金投入标准的研究开发，所以每一标准都声称自己与众不同，独占优势。主要的差异在于可扩展性、灵活性与反应时间、单位成本的取舍平衡各不相同。其中的一个例子是在传输包上增加一个复杂的头信息以支持复杂路由传输（PCI Express不支持这种方式）。这样的信息增加降低了接口的有效带宽也使传输更复杂，但是相应创造了新的软件支持此功能。这种架构下需要软件追踪网络拓扑结构的变化以实现系统支持热插拔。InfiniBand和StarFabric标准即能实现这一功能。另一个例子是缩小信息包以减少反应时间。较小的信息包意味着包头占用了包的更大百分比，这样又降低了有效带宽。能实现此功能的标准是RapidIO和HyperTransport。PCI Express取中庸之道，定位于设计成一种系统互连接口而非一种设备接口或路由网络协议。另外为了针对软件透明，它的设计目标限制了它作为协议，也在某种程度上增加了它的反应时间。

## 应用与前景

在2005年，PCIe已近乎成为新的个人电脑主板标准。关于此有不少评论，但最基本的原因是它对于软件开发者完全透明——为PCI所设计的操作系统可以不做任何代码修改来启动PCIe设备。其二，它能增强系统性能，还有强有力的品牌认知。各类网卡、声卡、显卡，以及当下的NVMe固态硬盘都使用了PCIe标准。下面为主流的使用PCIe的外设产品。

### 显卡

大部分新型的AMD或NVIDIA显卡都使用PCIe标准。NVIDIA在它新开发的SLI上采用PCIe的高速数据传输，这使得两块相同芯片组显卡可同时工作于一台电脑之上。AMD公司也基于PCIe开发一种两个GPU一同运作的技术，称为CrossFire。



技嘉GV-NX62TC256D8显卡，采用PCI Express x16插槽

### 硬盘

当下主流的固态硬盘接口有M.2、U.2、PCIe、SATA、SATA Express、SAS等。M.2和U.2可选PCIe接口<sup>[14]</sup>。NVMe协议是目前最高效的PCIe SSD协议标准。

## 参考文献

- Desktop Boards—Some PCI Express\* Graphics cards require extra power. 2004-06-03 [2010-11-12]. (原始内容存档于2010-07-22) . “25W-75W graphics cards are powered through the desktop board's PCI Express x16 connector”
- PCI Express 4.0 Frequently Asked Questions. pcisig.com. PCI-SIG. [2014-05-18]. (原始内容存档于2014-05-18) .
- PCI Express 3.0 Frequently Asked Questions. pcisig.com. PCI-SIG. [2014-05-01]. (原始内容存档于2014-02-01) .
- PCI-SIG官网通信接口规范. (原始内容存档于2019-07-02) .
- PCIe 4.0 Heads to Fab, 5.0 to Lab. EE Times. 2016-06-26 [2016-08-27]. (原始内容存档于2016-08-28) .
- Archived copy. [2016-08-18]. (原始内容存档于2016-08-19) .
- <https://www.tomshardware.com/sig-releases-final-pcie-5-spec,39521.html>
- Doubling Bandwidth in Under Two Years: PCI Express® Base Specification Revision 5.0, Version 0.9 is Now Available to Members. pcisig.com. [2018-12-12]. (原始内容存档于2018-12-23) （英语） .
- Mechanical Drawing for PCI Express Connector. [2007-12-07]. (原始内容存档于2007-12-08) .

0. FCi schematic for PCIe connectors (PDF). [2007-12-07].

1. What is the A side, B side configuration of PCI cards. Frequently Asked Questions. Adex Electronics. 1998 [Oct 24, 2011].（原始内容存档于2011-11-02）.

12. PCI Express Card Electromechanical Specification Revision 2.0

13. PCI Express External Cabling 1.0 Specification. [2007-02-09].（原始内容存档于2007-02-10）.

14. 存档副本. [2019-07-22].（原始内容存档于2019-07-22）.

## 参见

---

- PCI
  - PCI-X
  - M.2
  - USB Type-C
  - Express Card
  - USB 3.1
- 

取自 “[https://zh.wikipedia.org/w/index.php?title=PCI\\_Express&oldid=65432951](https://zh.wikipedia.org/w/index.php?title=PCI_Express&oldid=65432951)”

---

本页面最后修订于2021年5月1日 (星期六) 09:42。

本站的全部文字在知识共享 署名-相同方式共享 3.0协议之条款下提供，附加条款亦可能应用。（请参阅使用条款）  
Wikipedia®和维基百科标志是维基媒体基金会的注册商标；维基™是维基媒体基金会的商标。  
维基媒体基金会是按美国国内税收法501(c)(3)登记的非营利慈善机构。