
第 6 章 振荡器

目录

本章包括下列主题：

6.1	简介	6-2
6.2	控制寄存器	6-4
6.3	工作原理：时钟产生和时钟源	6-14
6.4	中断	6-30
6.5	I/O 引脚	6-32
6.6	节能模式下的操作	6-33
6.7	各种复位的影响	6-33
6.8	设计技巧	6-34
6.9	相关应用笔记	6-38
6.10	版本历史	6-39

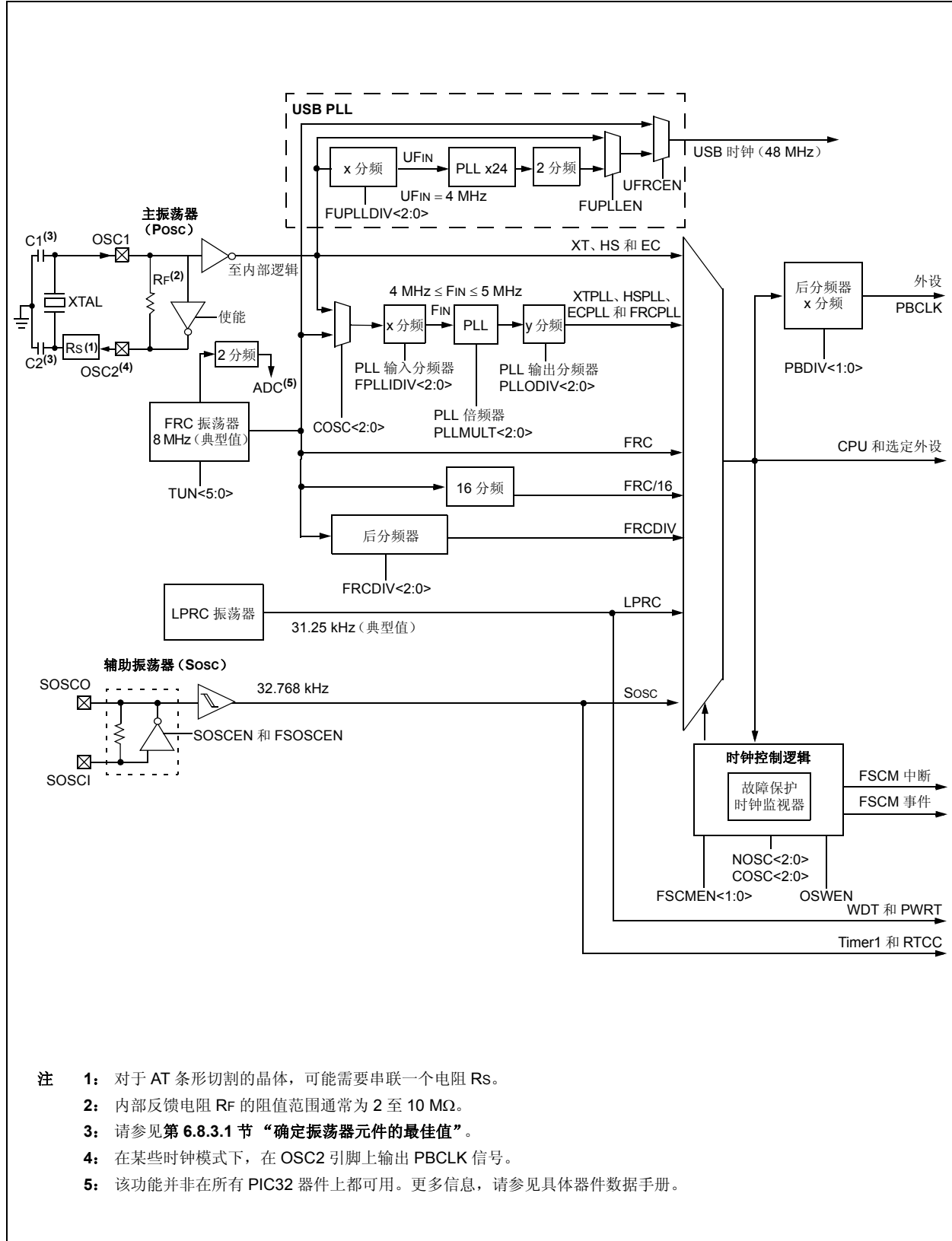
6.1 简介

本章介绍 PIC32MX 振荡器系统及其操作。PIC32MX 振荡器系统具有以下模块和特性：

- 共有 4 个外部和内部振荡器可选作时钟源
- 片上锁相环（**Phase-Locked Loop, PLL**），通过用户可选的输入分频器、倍频器和输出分频器来提升选定内部和外部振荡器源的工作频率
- 选定振荡器源具有片上用户可选的后分频器
- 可通过软件控制在各种时钟源之间切换
- 故障保护时钟监视器（**Fail-Safe Clock Monitor, FSCM**），可检测时钟故障，并允许安全地恢复或关闭应用

图 6-1 给出了 PIC32MX 振荡器系统的框图。

图 6-1: PIC32MX 系列振荡器系统框图



6.2 控制寄存器

振荡器模块包含以下特殊功能寄存器（Special Function Register，SFR）：

- OSCCON：振荡器控制寄存器
- OSTUN：内部快速 RC（FRC）振荡器调节寄存器

此外还有两个器件配置字寄存器 DEVCFG1 和 DEVCFG2，用于提供与振荡器模块相关的其他配置设置。

表 6-1 简要汇总了相关的振荡器模块寄存器。表 6-2 汇总了器件配置字寄存器。汇总表之后列出了相应的寄存器，并且每个寄存器均附有详细的说明。

表 6-1： 振荡器 SFR 汇总

名称	地址	位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
OSCCON ^(1,2,3)	0x0000	31:24	—	—	PLLODIV<2:0>			FRCDIV<2:0>		
		23:16	—	SOSCRDY	—	PBDIV<1:0>		PLLMULT<2:0>		
		15:8	—	COSC<2:0>			—	NOSC<2:0>		
		7:0	CLKLOCK	ULOCK	SLOCK	SLPEN	CF	UFRcen	SOSCEN	OSWEN
OSTUN ^(1,2,3)	0x0010	31:24	—	—	—	—	—	—	—	—
		23:16	—	—	—	—	—	—	—	—
		15:8	—	—	—	—	—	—	—	—
		7:0	—	—	TUN<5:0>					

- 注 1：** 该寄存器具有关联的清零寄存器，位于 0x4 字节偏移处。这些清零寄存器的命名方式是在关联寄存器的名称末尾附加 CLR（例如，OSCCONCLR）。向清零寄存器的任意位写入 1 时，会将关联寄存器中的有效位清零。对清零寄存器的读操作将被忽略。
- 2：** 该寄存器具有关联的置 1 寄存器，位于 0x8 字节偏移处。这些置 1 寄存器的命名方式是在关联寄存器的名称末尾附加 SET（例如，OSCCONSET）。向置 1 寄存器的任意位写入 1 时，会将关联寄存器中的有效位置 1。对置 1 寄存器的读操作将被忽略。
- 3：** 该寄存器具有关联的取反寄存器，位于 0xC 字节偏移处。这些取反寄存器的命名方式是在关联寄存器的名称末尾附加 INV（例如，OSCCONINV）。向取反寄存器的任意位写入 1 时，会将关联寄存器中的有效位取反。对取反寄存器的读操作将被忽略。

表 6-2： 器件配置字寄存器汇总

名称	位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
DEVCFG1 ⁽¹⁾	31:24	—	—	—	—	—	—	—	—
	23:16	FWDTEN	—	—	FWDTPS<4:0>				
	15:8	FCKSM<1:0>		FPBDIV<1:0>		—	OSCIOFNC	POSCMOD<1:0>	
	7:0	IESO	—	FSOSCEN	—	—	FNOSC<2:0>		
DEVCFG2 ⁽¹⁾	31:24	—	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	FPLLODIV<2:0>		
	15:8	FUPLLEN	—	—	—	—	FUPLLDIV<2:0>		
	7:0	—	FPLLMULT<2:0>			—	FPLLDIV<2:0>		

- 注 1：** 该配置字以易失性存储器寄存器的形式实现，它会自动装入映射到引导闪存最后 4 个字（32 位 x 4 字）、以非易失性形式设定的配置数据。更多信息，请参见第 32.3.1 节“配置位”（《PIC32MX 系列参考手册》的第 32 章“配置”（DS61124））。

寄存器 6-1: OSCCON: 振荡器控制寄存器 (1,2,3,4,5)

r-x	r-x	R/W-x	R/W-x	R/W-x	R/W-0	R/W-0	R/W-1
—	—	PLLODIV<2:0>			FRCDIV<2:0>		
bit 31				bit 24			

r-x	R-0	r-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
—	SOSCRDY	—	PBDIV<1:0>		PLLMULT<2:0>		
bit 23			bit 16				

r-x	R-0	R-0	R-0	r-x	R/W-x	R/W-x	R/W-x
—	COSC<2:0>			—	NOSC<2:0>		
bit 15				bit 8			

R/W-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-x	R/W-0
CLKLOCK	ULOCK	SLOCK	SLPEN	CF	UFRCEEN	SOSCEN	OSWEN
bit 7				bit 0			

图注:

R = 可读位

W = 可写位

P = 可编程位

r = 保留位

U = 未实现位

-n = POR 时的值: (0, 1, x = 未知)

bit 31-30 保留: 写入 0; 忽略读操作

bit 29-27 PLLDIV<2:0>: PLL 输出分频比位

111 = PLL 输出 256 分频

110 = PLL 输出 64 分频

101 = PLL 输出 32 分频

100 = PLL 输出 16 分频

011 = PLL 输出 8 分频

010 = PLL 输出 4 分频

001 = PLL 输出 2 分频

000 = PLL 输出 1 分频

发生复位时, 这些位被设置为 FPLLODIV 配置位 (DEVCFG2<18:16>) 的值。

- 注 1: 必须先执行解锁序列, 之后才能写入 OSCCON 寄存器。更多信息, 请参见第 6.3.6.2 节“振荡器切换过程”。有许多系统和外设寄存器通过 SYSREG 锁定来避免意外写操作。执行锁定或解锁会影响由 SYSREG 保护的所有寄存器, 包括 OSCCON 寄存器。
- 2: 解锁序列示例请参见例 6-2。
- 3: 该寄存器具有关联的清零寄存器 (OSCCONCLR), 位于 0x4 字节偏移处。向清零寄存器的任意位写入 1 时, 会将关联寄存器中的有效位清零。对清零寄存器的读操作将被忽略。
- 4: 该寄存器具有关联的置 1 寄存器 (OSCCONSET), 位于 0x8 字节偏移处。向置 1 寄存器的任意位写入 1 时, 会将关联寄存器中的有效位置 1。对置 1 寄存器的读操作将被忽略。
- 5: 该寄存器具有关联的取反寄存器 (OSCCONINV), 位于 0xC 字节偏移处。向取反寄存器的任意位写入 1 时, 会将关联寄存器中的有效位取反。对取反寄存器的读操作将被忽略。

寄存器 6-1: OSCCON: 振荡器控制寄存器 (1,2,3,4,5) (续)

bit 26-24	FRCDIV<2:0> : 内部快速 RC (FRC) 振荡器时钟分频比位 111 = FRC 256 分频 110 = FRC 64 分频 101 = FRC 32 分频 100 = FRC 16 分频 011 = FRC 8 分频 010 = FRC 4 分频 001 = FRC 2 分频 (默认设置) 000 = FRC 1 分频
bit 23	保留 : 写入 0; 忽略读操作
bit 22	SOSCRDY : 辅助振荡器 (Sosc) 就绪指示位 1 = 指示辅助振荡器正在运行并且已稳定 0 = 辅助振荡器仍在预热阶段或已关闭
bit 21	保留 : 写入 0; 忽略读操作
bit 20-19	PBDIV<1:0> : 外设总线时钟 (PBCLK) 分频比位 11 = PBCLK 是 SYSCLK 的 8 分频 (默认) 10 = PBCLK 是 SYSCLK 的 4 分频 01 = PBCLK 是 SYSCLK 的 2 分频 00 = PBCLK 是 SYSCLK 的 1 分频 发生复位时, 这些位被设置为 FPBDIV 配置位 (DEVCFG1<13:12>) 的值。
bit 18-16	PLLMULT<2:0> : 锁相环 (PLL) 倍频比位 111 = 时钟进行 24 倍频 110 = 时钟进行 21 倍频 101 = 时钟进行 20 倍频 100 = 时钟进行 19 倍频 011 = 时钟进行 18 倍频 010 = 时钟进行 17 倍频 001 = 时钟进行 16 倍频 000 = 时钟进行 15 倍频 发生复位时, 这些位被设置为 FPLLMULT 配置位 (DEVCFG2<6:4>) 的值。
bit 15	保留 : 写入 0; 忽略读操作

- 注 1:** 必须先执行解锁序列, 之后才能写入 OSCCON 寄存器。更多信息, 请参见第 6.3.6.2 节“振荡器切换过程”。有许多系统和外设寄存器通过 SYSREG 锁定来避免意外写操作。执行锁定或解锁会影响由 SYSREG 保护的所有寄存器, 包括 OSCCON 寄存器。
- 2:** 解锁序列示例请参见例 6-2。
- 3:** 该寄存器具有关联的清零寄存器 (OSCCONCLR), 位于 0x4 字节偏移处。向清零寄存器的任意位写入 1 时, 会将关联寄存器中的有效位清零。对清零寄存器的读操作将被忽略。
- 4:** 该寄存器具有关联的置 1 寄存器 (OSCCONSET), 位于 0x8 字节偏移处。向置 1 寄存器的任意位写入 1 时, 会将关联寄存器中的有效位置 1。对置 1 寄存器的读操作将被忽略。
- 5:** 该寄存器具有关联的取反寄存器 (OSCCONINV), 位于 0xC 字节偏移处。向取反寄存器的任意位写入 1 时, 会将关联寄存器中的有效位取反。对取反寄存器的读操作将被忽略。

寄存器 6-1: OSCCON: 振荡器控制寄存器 (1,2,3,4,5) (续)

bit 14-12	COSC<2:0> : 当前振荡器选择位 111 = 内部快速 RC (FRC) 振荡器按照 OSCCON<FRCDIV> 位进行分频 110 = 内部快速 RC (FRC) 振荡器 16 分频 101 = 内部低功耗 RC (LPRC) 振荡器 100 = 辅助振荡器 (Sosc) 011 = 带 PLL 模块的主振荡器 (Posc) (XTPLL、HSPLL 或 ECPLL) 010 = 主振荡器 (Posc) (XT、HS 或 EC) 001 = 带 PLL 模块的内部快速 RC 振荡器 (通过后分频器) (FRCPLL) 000 = 内部快速 RC (FRC) 振荡器 发生复位时, 这些位被设置为 FNOSC 配置位 (DEVCFG1<2:0>) 的值。
bit 11	保留 : 写入 0; 忽略读操作
bit 10-8	NOSC<2:0> : 新振荡器选择位 111 = 内部快速 RC (FRC) 振荡器按照 OSCCON<FRCDIV> 位进行分频 110 = 内部快速 RC (FRC) 振荡器 16 分频 101 = 内部低功耗 RC (LPRC) 振荡器 100 = 辅助振荡器 (Sosc) 011 = 带 PLL 模块的主振荡器 (XTPLL、HSPLL 或 ECPLL) 010 = 主振荡器 (XT、HS 或 EC) 001 = 带 PLL 模块的内部快速 RC 振荡器 (通过后分频器) (FRCPLL) 000 = 内部快速 RC 振荡器 (FRC) 发生复位时, 这些位被设置为 FNOSC 配置位 (DEVCFG1<2:0>) 的值。
bit 7	CLKLOCK : 时钟选择锁定使能位 <u>如果使能 FSCM (FCKSM1 = 1):</u> 1 = 时钟和 PLL 选择被锁定 0 = 时钟和 PLL 选择未被锁定, 可以被修改 <u>如果禁止 FSCM (FCKSM1 = 0):</u> 时钟和 PLL 选择永不锁定, 可以被修改。
bit 6	ULOCK : USB PLL 锁定状态位 1 = 指示 USB PLL 模块处于锁定状态或 USB PLL 模块起振定时器延时结束 0 = 指示 USB PLL 模块处于失锁状态、USB PLL 模块起振定时器正在运行或 USB PLL 被禁止
bit 5	SLOCK : PLL 锁定状态位 1 = PLL 模块处于锁定状态或 PLL 模块起振定时器延时结束 0 = PLL 模块处于失锁状态、PLL 起振定时器正在运行或 PLL 被禁止
bit 4	SLPEN : 休眠模式使能位 1 = 执行 WAIT 指令后器件将进入 Sleep (休眠) 模式 0 = 执行 WAIT 指令后器件将进入 Idle (空闲) 模式

- 注 1:** 必须先执行解锁序列, 之后才能写入 OSCCON 寄存器。更多信息, 请参见第 6.3.6.2 节“振荡器切换过程”。有许多系统和外设寄存器通过 SYSREG 锁定来避免意外写操作。执行锁定或解锁会影响由 SYSREG 保护的所有寄存器, 包括 OSCCON 寄存器。
- 2:** 解锁序列示例请参见例 6-2。
- 3:** 该寄存器具有关联的清零寄存器 (OSCCONCLR), 位于 0x4 字节偏移处。向清零寄存器的任意位写入 1 时, 会将关联寄存器中的有效位清零。对清零寄存器的读操作将被忽略。
- 4:** 该寄存器具有关联的置 1 寄存器 (OSCCONSET), 位于 0x8 字节偏移处。向置 1 寄存器的任意位写入 1 时, 会将关联寄存器中的有效位置 1。对置 1 寄存器的读操作将被忽略。
- 5:** 该寄存器具有关联的取反寄存器 (OSCCONINV), 位于 0xC 字节偏移处。向取反寄存器的任意位写入 1 时, 会将关联寄存器中的有效位取反。对取反寄存器的读操作将被忽略。

寄存器 6-1: OSCCON: 振荡器控制寄存器 (1,2,3,4,5) (续)

bit 3	CF: 时钟故障检测位 1 = FSCM 检测到时钟故障 0 = 未检测到时钟故障
bit 2	UFRGEN: USB FRC 时钟使能位 1 = 将 FRC 使能为 USB 时钟源 0 = 将主振荡器或 USB PLL 用作 USB 时钟源
bit 1	SOSCEN: 32.768 kHz 辅助振荡器 (Sosc) 使能位 1 = 使能辅助振荡器 0 = 禁止辅助振荡器 发生复位时, 该位被设置为 FSOSCEN 配置位 (DEVCFG1<5>) 的值。
bit 0	OSWEN: 振荡器切换使能位 1 = 启动振荡器切换, 切换为 NOSC2:NOSC0 位指定的振荡器 0 = 振荡器切换完成

- 注 1:** 必须先执行解锁序列, 之后才能写入 OSCCON 寄存器。更多信息, 请参见第 6.3.6.2 节 “振荡器切换过程”。有许多系统和外设寄存器通过 SYSREG 锁定来避免意外写操作。执行锁定或解锁会影响由 SYSREG 保护的所有寄存器, 包括 OSCCON 寄存器。
- 2:** 解锁序列示例请参见例 6-2。
- 3:** 该寄存器具有关联的清零寄存器 (OSCCONCLR), 位于 0x4 字节偏移处。向清零寄存器的任意位写入 1 时, 会将关联寄存器中的有效位清零。对清零寄存器的读操作将被忽略。
- 4:** 该寄存器具有关联的置 1 寄存器 (OSCCONSET), 位于 0x8 字节偏移处。向置 1 寄存器的任意位写入 1 时, 会将关联寄存器中的有效位置 1。对置 1 寄存器的读操作将被忽略。
- 5:** 该寄存器具有关联的取反寄存器 (OSCCONINV), 位于 0xC 字节偏移处。向取反寄存器的任意位写入 1 时, 会将关联寄存器中的有效位取反。对取反寄存器的读操作将被忽略。

寄存器 6-2: OSCTUN: FRC 调节寄存器 (1,2,3,4,5)

r-X	r-X	r-X	r-X	r-X	r-X	r-X	r-X
—	—	—	—	—	—	—	—
bit 31				bit 24			
r-X	r-X	r-X	r-X	r-X	r-X	r-X	r-X
—	—	—	—	—	—	—	—
bit 23				bit 16			
r-X	r-X	r-X	r-X	r-X	r-X	r-X	r-X
—	—	—	—	—	—	—	—
bit 15				bit 8			
r-X	r-X	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	TUN<5:0>					
bit 7				bit 0			

图注:
R = 可读位 W = 可写位 P = 可编程位 r = 保留位
U = 未实现位 -n = POR 时的值: (0, 1, x = 未知)

bit 31-6 保留: 写入 0 ; 忽略读操作
bit 5-0 TUN<5:0>: FRC 振荡器调节位
 100000 = 最低频率
 .
 .
 .
 111111 =
 000000 = 中心频率。振荡器运行于校准频率
 000001 =
 .
 .
 .
 011110 =
 011111 = 最高频率

- 注 1: 更多详细信息, 请参见第 6.3.1.3 节 “内部快速 RC (FRC) 振荡器”。
- 2: 该寄存器具有关联的清零寄存器 (OSCTUNCLR), 位于 0x4 字节偏移处。向清零寄存器的任意位写入 1 时, 会将关联寄存器中的有效位清零。对清零寄存器的读操作将被忽略。
- 3: 该寄存器具有关联的置 1 寄存器 (OSCTUNSET), 位于 0x8 字节偏移处。向置 1 寄存器的任意位写入 1 时, 会将关联寄存器中的有效位置 1。对置 1 寄存器的读操作将被忽略。
- 4: 该寄存器具有关联的取反寄存器 (OSCTUNINV), 位于 0xC 字节偏移处。向取反寄存器的任意位写入 1 时, 会将关联寄存器中的有效位取反。对取反寄存器的读操作将被忽略。
- 5: 必须先执行解锁序列, 之后才能写入 OSCTUN 寄存器。更多信息, 请参见第 6.3.6.2 节 “振荡器切换过程”。

PIC32MX 系列参考手册

寄存器 6-3: DEVCFG1: 器件配置字 1

r-1	r-1	r-1	r-1	r-1	r-1	r-1	r-1
—	—	—	—	—	—	—	—
bit 31							bit 24

R/P-1	r-1	r-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1
FWDTEN	—	—	FWDTPS<4:0>				
bit 23							bit 16

R/P-1	R/P-1	R/P-1	R/P-1	r-1	R/P-1	R/P-1	R/P-1
FCKSM<1:0>		FPBDIV<1:0>		—	OSCIOFNC	POSCMOD<1:0>	
bit 15							bit 8

R/P-1	r-1	R/P-1	r-1	r-1	R/P-1	R/P-1	R/P-1
IESO	—	FSOSCEN	—	—	FNOSC<2:0>		
bit 7							bit 0

图注:

R = 可读位

W = 可写位

P = 可编程位

r = 保留位

U = 未实现位

-n = POR 时的值: (0, 1, x = 未知)

bit 31-24 **保留:** 写入 1; 忽略读操作

bit 23 **FWDTEN:** 看门狗定时器 (WDT) 使能位

1 = 使能 WDT 且无法用软件禁止

0 = 未使能 WDT。可以用软件使能

bit 22-21 **保留:** 写入 1; 忽略读操作

bit 20-16 **FWDTPS<4:0>:** 看门狗定时器 (WDT) 后分频比选择位

10100 = 1:1048576

10011 = 1:524288

10010 = 1:262144

10001 = 1:131072

10000 = 1:65536

01111 = 1:32768

01110 = 1:16384

01101 = 1:8192

01100 = 1:4096

01011 = 1:2048

01010 = 1:1024

01001 = 1:512

01000 = 1:256

00111 = 1:128

00110 = 1:64

00101 = 1:32

00100 = 1:16

00011 = 1:8

00010 = 1:4

00001 = 1:2

00000 = 1:1

未显示的所有其他组合产生的操作与 10100 设置相同

寄存器 6-3: DEVCFG1: 器件配置字 1 (续)

bit 15-14	FCKSM<1:0> : 时钟切换和监视器选择配置位 1x = 禁止时钟切换和 FSCM 01 = 使能时钟切换, 禁止 FSCM 00 = 使能时钟切换和 FSCM
bit 13-12	FPBDIV<1:0> : 外设总线时钟分频比默认值位 11 = PBCLK 是 SYSCLK 的 8 分频 10 = PBCLK 是 SYSCLK 的 4 分频 01 = PBCLK 是 SYSCLK 的 2 分频 00 = PBCLK 是 SYSCLK 的 1 分频
bit 11	保留 : 写入 1; 忽略读操作
bit 10	OSCIOFNC : CLKO (时钟输出) 使能配置位 1 = CLKO 输出信号在 OSCO 引脚上有效 必须禁止主振荡器 (Posc) 或配置为外部时钟 (EC) 模式以使 CLKO 有效 (POSCMOD<1:0> = 11 或 00) 0 = 禁止 CLKO 输出信号
bit 9-8	POSCMOD<1:0> : 主振荡器 (Posc) 配置位 11 = 禁止主振荡器 10 = HS 模式 01 = XT 模式 00 = EC 模式
bit 7	IESO : 内 / 外部振荡器切换位 1 = 使能内 / 外部振荡器切换模式。(使能双速启动) 0 = 禁止内 / 外部振荡器切换模式。(禁止双速启动)
bit 6	保留 : 写入 1; 忽略读操作
bit 5	FSOSCEN : 辅助振荡器 (Sosc) 使能位 1 = 使能辅助振荡器 0 = 禁止辅助振荡器
bit 4-3	保留 : 写入 1; 忽略读操作
bit 2-0	FNOSC<2:0> : 振荡器选择位 111 = 带 N 分频的快速 RC (FRC) 振荡器 (FRCDIV) 110 = 保留; 不要使用 101 = 低功耗 RC (LPRC) 振荡器 100 = 辅助振荡器 (Sosc) 011 = 带 PLL 模块的主振荡器 (Posc) (XT + PLL、HS + PLL 或 EC + PLL) 010 = 主振荡器 (Posc) (XT、HS 或 EC) 001 = 带 PLL 模块的 N 分频快速 RC (FRC) 振荡器 (FRCDIV + PLL) 000 = 快速 RC (FRC) 振荡器

PIC32MX 系列参考手册

寄存器 6-4: DEVCFG2: 器件配置字 2

r-1	r-1	r-1	r-1	r-1	r-1	r-1	r-1
—	—	—	—	—	—	—	—
bit 31							bit 24

r-1	r-1	r-1	r-1	r-1	R/P-1	R/P-1	R/P-1
—	—	—	—	—	FPLLIDIV<2:0>		
bit 23							bit 16

R/P-1	r-1	r-1	r-1	r-1	R/P-1	R/P-1	R/P-1
FUPLLEN	—	—	—	—	FUPLLDIV<2:0>		
bit 15							bit 8

r-1	R/P-1	R/P-1	R/P-1	r-1	R/P-1	R/P-1	R/P-1
—	FPLLMULT<2:0>			—	FPLLDIV<2:0>		
bit 7				bit 0			

图注:

R = 可读位 W = 可写位 P = 可编程位 r = 保留位
 U = 未实现位 -n = POR 时的值: (0, 1, x = 未知)

- bit 31-19 **保留:** 写入 1；忽略读操作
- bit 18-16 **FPLLIDIV<2:0>:** PLL 默认后分频比位
 111 = PLL 输出 256 分频
 110 = PLL 输出 64 分频
 101 = PLL 输出 32 分频
 100 = PLL 输出 16 分频
 011 = PLL 输出 8 分频
 010 = PLL 输出 4 分频
 001 = PLL 输出 2 分频
 000 = PLL 输出 1 分频 (默认设置)
- bit 15 **FUPLLEN:** USB PLL 使能位
 1 = 使能 USB PLL
 0 = 禁止并旁路 USB PLL
- bit 14-11 **保留:** 写入 1；忽略读操作
- bit 10-8 **FUPLLDIV<2:0>:** PLL 输入分频比位
 111 = 12x 分频比
 110 = 10x 分频比
 101 = 6x 分频比
 100 = 5x 分频比
 011 = 4x 分频比
 010 = 3x 分频比
 001 = 2x 分频比
 000 = 1x 分频比
- bit 7 **保留:** 写入 1；忽略读操作

寄存器 6-4: **DEVCFG2: 器件配置字 2 (续)**

bit 6-4 **FPLLMULT<2:0>:** 初始 PLL 倍频比位

 111 = 24x 倍频比

 110 = 21x 倍频比

 101 = 20x 倍频比

 100 = 19x 倍频比

 011 = 18x 倍频比

 010 = 17x 倍频比

 001 = 16x 倍频比

 000 = 15x 倍频比

bit 3 **保留:** 写入 1 ; 忽略读操作

bit 2-0 **FPLLIDIV<2:0>:** PLL 输入分频比位

 111 = 12 分频

 110 = 10 分频

 101 = 6 分频

 100 = 5 分频

 011 = 4 分频

 010 = 3 分频

 001 = 2 分频

 000 = 1 分频

6.3 工作原理：时钟产生和时钟源

PIC32MX 系列器件具有多个内部时钟，这些时钟基于内部或外部时钟源产生。其中一些时钟源具有锁相环（Phase-Locked Loop，PLL）、可编程输出分频器或输入分频器，可对输入频率进行比例调节，使之适合于应用。时钟源可以用软件动态更改。振荡器控制寄存器会被硬件锁定，必须先通过一系列写操作对它进行解锁，之后软件才能执行时钟切换。

在 PIC32MX 器件中有三个主要时钟：

- 系统时钟（SYSCLK），由 CPU 和一些外设使用
- 外设总线时钟（PBCLK），由大多数外设使用
- USB 时钟（USBCLK），由 USB 外设使用

PIC32MX 时钟基于以下时钟源之一产生：

- OSC1 和 OSC2 引脚上的主振荡器（Posc）
- SOSCI 和 SOSCO 引脚上的辅助振荡器（Sosc）
- 内部快速 RC（FRC）振荡器
- 内部低功耗 RC（LPRC）振荡器

每个时钟源都具有一些独特的可配置选项，例如 PLL、输入分频器和 / 或输出分频器，在相应的章节中将会详细介绍它们。

根据具体的器件，最多会有 4 个内部时钟。这些时钟基于当前选定的振荡器源产生。

注：	对于使用外部时钟的外设（例如 RTC 和 Timer1），它们的时钟源在其相应的章节中介绍。
-----------	------------------------------------------------

6.3.1 系统时钟（SYSCLK）产生

SYSCLK 主要由 CPU 和一些选定外设（例如 DMA、中断控制器和预取高速缓存）使用。SYSCLK 基于 4 种时钟源之一产生：

- Posc
- Sosc
- 内部 FRC 振荡器
- LPRC 振荡器

一些时钟源具有特定的时钟倍频器和 / 或分频器选项。

除了用户指定的值，不会对时钟进行任何比例的调节。

SYSCLK 源通过器件配置进行选择，可以在工作期间用软件更改。由于可以在工作期间切换时钟源，应用可以通过降低时钟速度来降低功耗。

关于 SYSCLK 源的列表，请参见表 6-3。

表 6-3: 时钟选择配置位值

振荡器模式	振荡器源	POSCMOD<1:0>	FNOSC<2:0>	注
带后分频器的 FRC 振荡器 (FRCDIV)	内部	xx	111	1, 2
FRC 振荡器 16 分频 (FRCDIV16)	内部	xx	110	1
LPRC 振荡器	内部	xx	101	1
Sosc (Timer1/RTCC)	辅助	xx	100	1
带 PLL 模块的 Posc (处于 HS 模式) (HSPLL)	主	10	011	3
带 PLL 模块的 Posc (处于 XT 模式) (XTPLL)	主	01	011	3
带 PLL 模块的 Posc (处于 EC 模式) (ECPLL)	主	00	011	3
Posc (处于 HS 模式)	主	10	010	—
Posc (处于 XT 模式)	主	01	010	—
Posc (处于 EC 模式)	主	00	010	—
带 PLL 模块的内部 FRC 振荡器 (FRCPLL)	内部	10	001	1
内部 FRC 振荡器	内部	xx	000	1

- 注 1: OSC2 引脚功能 (作为 PBCLK 输出还是数字 I/O) 由 OSCIOFNC 配置位 (DEVCFG1<9>) 决定。当振荡器模式不需要该引脚时, 可以将它配置为这些选项之一。
- 2: 未编程 (已擦除) 器件的默认振荡器模式。
- 3: 当使用 PLL 模式时, 必须选择输入分频器, 使施加于 PLL 的结果频率处于 4-5 MHz 范围。

6.3.1.1 主振荡器（Posc）

主振荡器（Posc）具有 6 种工作模式，表 6-4 中汇总了这些工作模式。高速（HS）、外部谐振器（XT）或外部时钟（EC）模式可以与 PLL 模块进行组合，构成高速 PLL（HSPLL）、外部谐振器 PLL（XTPLL）或外部时钟 PLL（ECPLL）。图 6-2、6-3 和 6-4 给出了 Posc 的各种配置。

表 6-4: 主振荡器工作模式

振荡器模式	说明
HS	高速晶振
XT	谐振器，晶振或谐振器
EC	外部时钟输入
HSPLL	晶振，使能 PLL
XTPLL	晶体谐振器，使能 PLL
ECPLL	外部时钟输入，使能 PLL

注：在经过适用的预分频器、后分频器和 PLL 倍频器之后，施加于 CPU 的时钟一定不能超出允许的最大处理器频率。

图 6-2: 晶振或陶瓷谐振器工作原理（XT、XTPLL、HS 或 HSPLL 振荡器模式）

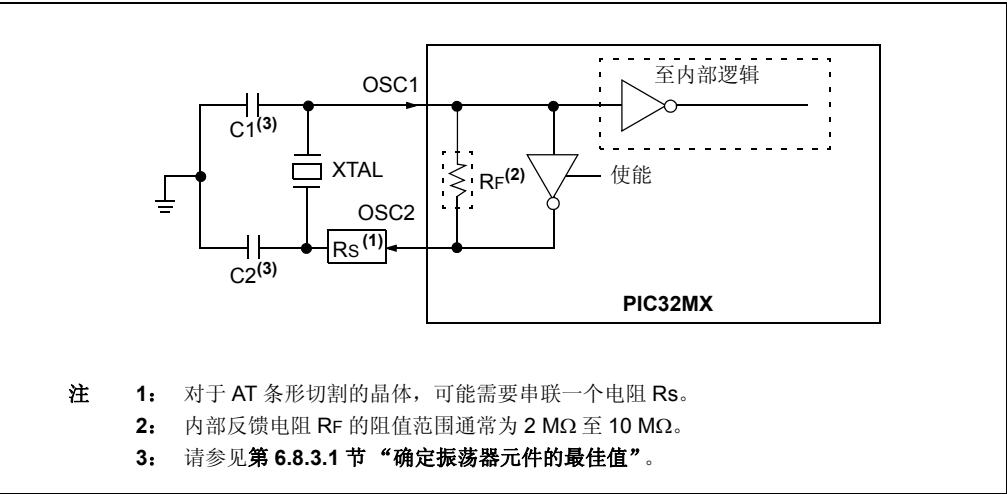


图 6-3: 带有时钟输出的外部时钟输入操作（EC 和 ECPLL 模式）

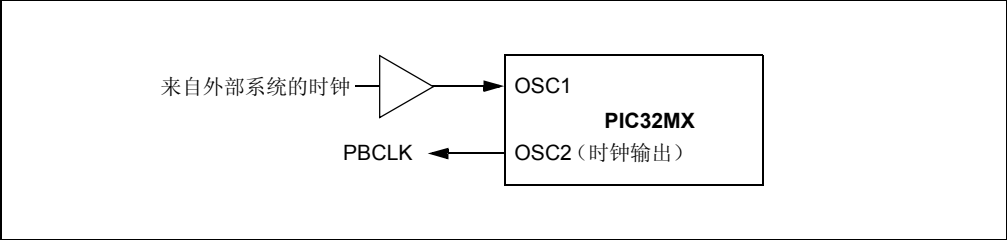
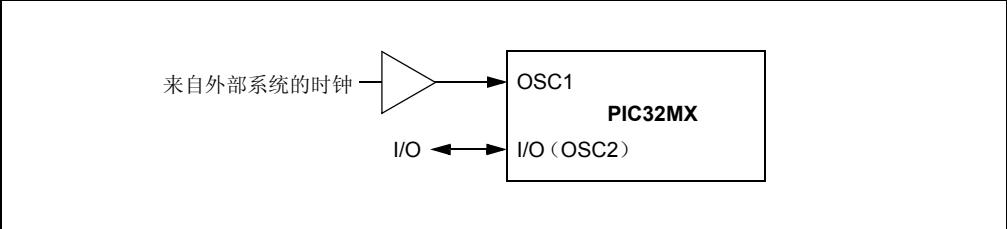


图 6-4: 不带时钟输出的外部时钟输入操作（EC 和 ECPLL 模式）



在此器件系列中，Posc 与 OSC1 和 OSC2 引脚连接。Posc 可以配置为使用外部时钟输入，或者外部晶振或谐振器输入。

XT、XTPLL、HS 和 HSPLL 模式是外部晶振或谐振器的控制器振荡器模式。XT 和 HS 模式在功能上非常类似。主要区别在于振荡器电路内部反相器的增益（见图 6-2）。XT 模式是中等功耗、中等频率模式，具有中等反相器增益。HS 模式的功耗较高，可提供最高的振荡器频率，并具有最高的反相器增益。在 XT 和 HS 振荡器模式下，OSC2 用于提供晶振 / 谐振器反馈，因此在这两种模式下不可用作输入或输出。XTPLL 和 HSPLL 模式具有锁相环（PLL），锁相环带有用户可选的输入分频器、倍频器和输出分频器，可提供一系列广泛的输出频率。当使能 PLL 时，振荡器电路消耗的电流较高。

通过外部时钟模式（EC 和 ECPLL），可以基于外部时钟源产生系统时钟。EC/ECPLL 模式将 OSC1 引脚配置为可通过 CMOS 驱动器驱动的高阻抗输入。用户可以使用外部时钟来直接驱动系统时钟（EC），也可以使用带有预分频器和后分频器的 ECPLL 模块来更改输入时钟频率（ECPLL）。外部时钟模式还会禁止内部反馈缓冲器，使 OSC2 引脚可用于其他功能。在外部时钟模式下，OSC2 引脚可以用作额外的器件 I/O 引脚（见图 6-4）或 PBCLK 输出引脚（见图 6-3）。

注： 当使用 PLL 模式时，必须适当地选择输入分频比，使施加于 PLL 的频率处于 4 MHz 至 5 MHz 范围。

6.3.1.1.1 主振荡器（Posc）配置

要配置 Posc，请执行以下步骤：

1. 在器件配置寄存器 DEVCFG1 中，通过设置 FNOSC<2:0> = 010（不带 PLL）或 011（带 PLL），选择 Posc 作为默认振荡器。
2. 使用 DEVCFG1 中的 POSCMOD<1:0> 选择所需的模式：HS、XT 或 EC。
3. 如果要使用 PLL：
 - a) 使用 DEVCFG2 中的 FPLLIDIV<2:0> 选择 PLL 输入分频器的相应配置位，使输入频率介于 4 MHz 和 5 MHz 之间。
 - b) 使用 DEVCFG2 中的 FPLLMULT<2:0> 选择所需的 PLL 倍频比。
 - c) 在运行时，使用 PLLDIV（OSCCON<29:27>）选择所需的 PLL 输出分频比，以提供所需的时钟频率。默认值由 DEVCFG1 设置。

注： 关于 DEVCFG1 和 DEVCFG2 寄存器的详细信息，请参见《PIC32MX 系列参考手册》中的第 32 章“配置”（DS61124）。

6.3.1.1.2 振荡器起振定时器（OST）

为了确保晶振（或陶瓷谐振器）已起振并稳定，提供了一个振荡器起振定时器（Oscillator Start-up Timer, OST）。OST 是一个简单的 10 位计数器，在将振荡器时钟释放给系统的其他部分之前计数 1024 个 T_{osc} 周期。该超时周期称为 T_{ost}。振荡器信号的振幅必须达到振荡器引脚的 V_{IL} 和 V_{IH} 门限值，之后 OST 才可以开始对周期进行计数。

每次振荡器必须重新起振（即，经过上电复位（Power-on Reset, POR）、欠压复位（Brown-out Reset, BOR）或从 Sleep（休眠）模式唤醒）时，都需要等待时长为 T_{ost} 的时间间隔。OST 应用于 Posc 的 XT 和 HS 模式，以及 Sosc（见第 6.3.1.2 节“辅助振荡器（Sosc）”）。

注： 当 Posc 配置为 EC 或 ECPLL 模式时，振荡器起振定时器会被禁止。

6.3.1.1.3 系统时钟锁相环（PLL）

系统时钟 PLL 提供了用户可配置的输入分频器与倍频器，以及输出分频器，它们可以与 XT、HS 和 EC Posc 模式以及内部 FRC 振荡器模式配合使用，以基于单个时钟源产生一系列时钟频率。

输入分频比、倍频比和输出分频比控制初始值位包含在 DEVCFG2 器件配置寄存器中。倍频比和输出分频比位也包含在 OSCCON 寄存器中。作为器件复位的一部分，器件配置寄存器 DEVCFG2 的值会被复制到 OSCCON 寄存器中。这使用户可以在对器件编程时，预先设置输入分频比来为 PLL 提供适当的输入频率，以及设置初始 PLL 倍频比。在运行时，可以用软件更改倍频比和输出分频比，对时钟频率进行比例调节，使之适合于应用。PLL 输入分频比不能在运行时更改。这是为了防止施加于 PLL 的输入频率超出规定范围。

要配置 PLL，需要执行以下步骤：

1. 计算 PLL 输入分频比、PLL 倍频比和 PLL 输出分频比值。
2. 当对器件进行编程时，在 DEVCFG2 寄存器中设置 PLL 输入分频比和初始 PLL 倍频比值。
3. 在运行时，可以更改 PLL 倍频比和 PLL 输出分频比，使之适合于应用。

PLL 输入分频比、倍频比和输出分频比的组合可提供输入频率大约 0.006 至 24 倍的组合倍频比。为了可靠工作，PLL 模块的输出一定不能超出器件的最大时钟频率。PLL 输入分频比值应进行适当选择，以将 PLL 输入频率限制在 4 MHz 至 5 MHz 范围。

由于 PLL 需要一定的时间才能提供稳定输出，所以提供了 SLOCK 状态位（OSCCON<5>）。当 PLL 的时钟输入改变时，该位会被驱动为低电平（0）。在 PLL 实现锁定或 PLL 起振定时器延时结束之后，该位会置 1。该位将在定时器延时结束时置 1，即使 PLL 尚未实现锁定。

表 6-5: 选定 PLL 和输出分频比值的净倍频比输出

倍频比	输出分频比	净倍频因数	PLLODIV <2:0>	PLLMULT <2:0>
15	1	15	000	000
16	1	16	000	001
17	1	17	000	010
18	1	18	000	011
19	1	19	000	100
20	1	20	000	101
21	1	21	000	110
24	1	24	000	111
15	2	7.5	001	000
16	2	8	001	001
17	2	8.5	001	010
18	2	9	001	011
19	2	9.5	001	100
20	2	10	001	101
21	2	10.5	001	110
24	2	12	001	111
15	4	3.75	010	000
16	4	4	010	001
17	4	4.25	010	010
18	4	4.5	010	011
19	4	4.75	010	100
20	4	5	010	101
21	4	5.25	010	110
24	4	6	010	111
15	8	1.875	011	000
16	8	2	011	001
17	8	2.125	011	010
18	8	2.250	011	011
19	8	2.375	011	100
20	8	2.5	011	101
21	8	2.625	011	110
24	8	3	011	111

倍频比	后分频比	净倍频因数	PLLODIV <2:0>	PLLMULT <2:0>
15	16	.938	100	000
16	16	1	100	001
17	16	1.063	100	010
18	16	1.125	100	011
19	16	1.188	100	100
20	16	1.250	100	101
21	16	1.313	100	110
24	16	1.5	100	111
15	32	.4688	101	000
16	32	.5	101	001
17	32	.5313	101	010
18	32	.5625	101	011
19	32	.5938	101	100
20	32	.6250	101	101
21	32	.6563	101	110
24	32	.7500	101	111
15	64	.234	110	000
16	64	.250	110	001
17	64	.266	110	010
18	64	.281	110	011
19	64	.297	110	100
20	64	.313	110	101
21	64	.328	110	110
24	64	.375	110	111
15	256	.05859	111	000
16	256	.06250	111	001
17	256	.06641	111	010
18	256	.07031	111	011
19	256	.07422	111	100
20	256	.07813	111	101
21	256	.08203	111	110
24	256	.09375	111	111

例 6-1: PLL 倍频比和分频比计算

给定：所需时钟速率为 80 MHz，通过 8 MHz 晶振产生。
PLL 输入频率必须 ≥ 4 MHz 且 ≤ 5 MHz。

根据 DEVCFG2 寄存器中 FPLLIDIV 字段的说明，可使用输入分频比 2： $8/2 = 4$ MHz。
它可以满足 PLL 输入要求。

所需的净倍频比为 $80/4 = 20$ 。
在表 6-5 中找到对应于倍频比值为 20 的行。
根据该表，PLL 倍频比值为 20，输出分频比值为 1。

6.3.1.1.4 USB PLL 锁定状态

ULOCK 位 (OSCCON<6>) 是只读状态位, 用于指示 USB PLL 的锁定状态。在 PLL 实现锁定的典型延时 (也称为 TLOCK) 之后, 该位自动置 1。如果 PLL 未在起振期间正常达到稳定, 则 ULOCK 可能不会反映实际的 PLL 锁定状态, 该位也不会检测正常工作期间 PLL 失锁的情况。

ULOCK 位在 POR 时被清零。当选择任何不使用 PLL 的时钟源时, 它保持清零。

关于 PLL 锁定时间间隔的更多信息, 请参见具体器件数据手册中的“电气特性”章节。

6.3.1.1.5 主振荡器从休眠模式起振

要确保从休眠模式中可靠地唤醒, 必须小心地设计主振荡器电路。这是因为两个负载电容都已不完全充电至某个静态电量值, 在唤醒时的相位差最小。因而, 达到稳定振荡需要更长的时间。另外还请记住, 低电压、高温和较低频率时钟模式也会限制环路增益, 进而影响起振。

以下各因素都会延长起振时间:

- 低频设计 (采用低增益时钟模式)
- 无噪声环境 (例如电池驱动的器件)
- 在屏蔽箱中工作 (在嘈杂的 RF 区域之外)
- 低电压
- 高温
- 从 Sleep (休眠) 模式唤醒

6.3.1.2 辅助振荡器 (Sosc)

辅助振荡器 (Sosc) 是特别为使用 32.768 kHz 晶振的低功耗工作而设计。振荡器位于 SESCO 和 SESCO 器件引脚之间, 用作低功耗工作的辅助晶振时钟源。它还可以为实时时钟 (Real-Time Clock, RTC) 应用驱动 Timer1 和 / 或实时时钟和日历 (Real-Time Clock and Calendar, RTCC) 模块。

6.3.1.2.1 使能 Sosc

Sosc 通过 FSOSCEN 配置位 (DEVCFG1<5>) 进行硬件使能。软件可以通过修改 SOSCEN 位 (OSCCON<1>) 来控制 Sosc。将 SOSCEN 置 1 可以使能振荡器; SESCO 和 SESCO 引脚由振荡器控制, 不能用作端口 I/O 或其他功能。

注:	必须先执行解锁序列, 之后才能写入 OSCCON。更多信息, 请参见第 6.3.6.2 节“振荡器切换过程”。
-----------	---------------------------------------------------------

Sosc 需要经过一个预热周期之后才能用作时钟源。当使能振荡器时, 预热计数器会递增至 1024。在计数器延时结束时, SOSCRDY 位 (OSCCON<22>) 会置 1。请参见第 6.3.1.1.2 节“振荡器起振定时器 (OST)”。

6.3.1.2.2 Sosc 连续操作

当 **SOSCEN** 位 (**OSCCON<1>**) 置 1 时, **Sosc** 总是使能。如果保持振荡器一直运行, 则可以快速切换到 32 kHz 系统时钟进行低功耗工作。如果主振荡器是晶振类型的时钟源和/或使用 PLL, 则恢复为使用较快速的主振荡器时, 将仍然需要振荡器起振时间 (见第 6.3.1.1.2 节“振荡器起振定时器 (OST)”)。

此外, 对于需要使用 **Timer1** 的实时时钟应用, 振荡器需要一直保持运行。更多详细信息, 请参见《PIC32MX 系列参考手册》中的第 14 章“定时器”(DS61105) 和第 29 章“实时时钟和日历”(DS61125)。

例 6-2: 使能 Sosc

```

SYSKEY = 0x0;           // ensure OSCCON is locked
SYSKEY = 0xAA996655;    // Write Key1 to SYSKEY
SYSKEY = 0x556699AA;    // Write Key2 to SYSKEY
                        // OSCCON is now unlocked
                        // make the desired change
OSCCONSET = 2;          // enable Secondary Oscillator
                        // Relock the SYSKEY
SYSKEY = 0x0;           // Write any value other than Key1 or Key2
                        // OSCCON is relocked

```

6.3.1.3 内部快速 RC (FRC) 振荡器

FRC 振荡器是快速 (标称值 8 MHz)、用户可微调的内部 **RC** 振荡器, 带有用户可选的输入分频器、PLL 倍频器和输出分频器。关于 **FRC** 振荡器的更多信息, 请参见具体器件数据手册。

6.3.1.3.1 FRC 后分频器模式 (FRCDIV)

如果用户希望使用内部快速振荡器作为时钟源, 他们并不是只能使用标称频率 8 MHz **FRC** 输出。另一种 **FRC** 模式 (**FRCDIV**) 实现了一个可选的输出分频器, 允许用户选择 7 种不同的较低时钟频率输出, 或选择直接 8 MHz 输出。输出分频比使用 **FRCDIV<2:0>** 位 (**OSCCON<26:24>**) 进行配置。假定标称频率输出为 8 MHz, 则可供选择的较低频率输出范围为 4 MHz (2 分频) 至 31 kHz (256 分频)。所提供的频率范围使用户可以随时在应用程序中通过更改 **FRCDIV** 位来节省功耗。每当 **COSC** 位 (**OSCCON<14:12>**) 为 111 时, 就将选择 **FRCDIV** 模式。

6.3.1.3.2 带 PLL 的 FRC 振荡器模式 (FRCPLL)

FRC 的输出还可以与用户可选的 PLL 倍频器和输出分频器进行组合, 产生各种频率的 **SYSClk** 时钟。每当 **COSC** 位 (**OSCCON<14:12>**) 为 001 时, 将会选择 **FRC PLL** 模式。在该模式下, PLL 输入分频比强制设为“2”, 从而为 PLL 提供 4 MHz 的输入。所需的 PLL 倍频比和输出分频比值可进行选择, 以提供所需的器件频率。

6.3.1.3.3 振荡器调节寄存器 (OSCTUN)

FRC 振荡器调节寄存器 (**OSCTUN**) 使用户可以对 **FRC** 振荡器在大约 $\pm 12\%$ (典型值) 的范围内进行微调。每个位的递增或递减都会将 **FRC** 振荡器的出厂校准频率改变一个固定的量。关于可用调节范围的更多信息, 请参见具体器件数据手册的“电气特性”章节。

注: 必须先执行解锁序列, 之后才能写入 **OSCTUN** 寄存器。更多信息, 请参见第 6.3.6.2 节“振荡器切换过程”。

6.3.1.4 内部低功耗 RC (LPRC) 振荡器

LPRC 振荡器独立于 FRC。它的标称振荡频率为 31.25 kHz。LPRC 振荡器是上电延时定时器 (Power-up Timer, PWRT)、看门狗定时器 (Watchdog Timer, WDT)、故障保护时钟监视器 (FSCM) 和锁相环 (PLL) 参考电路的时钟源。在那些有严格的功耗要求但不要求时序精度的应用中, 也可将其用作器件的低频时钟源。

6.3.1.4.1 使能 LPRC 振荡器

由于 LPRC 振荡器用作 PWRT 时钟源, 因此只要片上稳压器被使能, 它就会在 POR 时被使能。在 PWRT 延时结束后, 如果以下任一条件为真, LPRC 振荡器就会保持工作:

- 故障保护时钟监视器被使能
- WDT 被使能
- LPRC 振荡器被选为系统时钟 (COSC2:COSC0 = 100)

如果以上条件全不为真, 则 LPRC 将在 PWRT 延时结束后关闭。

6.3.2 外设总线时钟 (PBCLK) 产生

PBCLK 由系统时钟 (SYSCLK) 按照 PBDIV<1:0> (OSCCON<20:19>) 进行分频而得到。PBCLK 分频比位 PBDIV<1:0> 支持 1:1、1:2、1:4 和 1:8 的后分频比。关于特定外设使用哪条总线的信息, 请参见各外设模块章节。

注: 当 PBDIV 分频比设置为 1:1 时, SYSCLK 和 PBCLK 的频率相等。PBCLK 频率永远不会大于处理器时钟频率。

选择或更改 PBDIV 值时, 应考虑更改 PBCLK 频率对于各外设的影响。

当 PB 分频比不是设置为 1:1 时, 对 PBCLK 外设寄存器执行背靠背操作会导致 CPU 停顿一定周期。发生这种停顿是为了防止在前一个操作完成之前发生另一个操作。该停顿的时长由 CPU 和 PBCLK 的比率, 以及两条总线之间的同步时间决定。

更改 PBCLK 频率对于 SYSCLK 外设操作没有任何影响。

注: 外设总线频率可以通过向 OSCCON 寄存器的 PBDIV 位写入新值进行动态更改。器件使用一个状态机来控制 PB 频率的更改。该状态机最多需要 60 个 CPU 时钟来执行切换和准备好接收新的 PBDIV 值。如果在状态机完成操作之前向 PBDIV 位中写入新值, 则新值会被忽略, PBDIV 位将反映先前值。向 PBDIV 位重新写入当前值会被忽略, 没有任何影响。

6.3.3 USB 时钟 (USBCLK) 产生

USBCLK 可以基于 8 MHz 内部 FRC 振荡器、48 MHz Posc 或 96 MHz Posc PLL 产生。为了正常工作，USB 模块需要精确的 48 MHz 时钟。使用 96 MHz PLL 时，输出需要在内部进行分频，以获得 48 MHz 时钟。FRC 时钟源用于检测 USB 活动，并使 USB 模块退出暂停模式。在 USB 模块退出暂停模式之后，它必须使用 48 MHz 时钟来执行 USB 事务。内部 FRC 振荡器不用于正常 USB 模块操作。

6.3.3.1 USB 时钟锁相环 (UPLL)

USB 时钟锁相环 (UPLL) 提供了用户可配置的输入分频器，它可以与 XT、HS 和 EC 主振荡器模式配合使用，以基于时钟源产生一系列时钟频率。实际时钟源必须能够提供 USB 规范所需的稳定时钟。

UPLL 使能和输入分频比位包含在 DEVCFG2 寄存器中。UPLL 的输入必须限制为 4 MHz。必须选择适当的输入分频比来确保 UPLL 输入为 4 MHz。

要配置 UPLL，需要执行以下步骤：

1. 通过将 DEVCFG2 寄存器中的 FUPLEN 位置 1 来使能 USB PLL。
2. 根据源时钟，计算 UPLL 输入分频比值，使 PLL 输入为 4 MHz。
3. 当对器件进行编程时，设置 DEVCFG2 寄存器中的 USB PLL 输入分频比 (FUPLLIDIV) 位。

注： 关于 DEVCFG2 寄存器的详细信息，请参见《PIC32MX 系列参考手册》中的第 32 章“配置” (DS61124)。

6.3.3.2 PLL 锁定状态

PLL 锁定状态位指示 PLL 的锁定状态。在 PLL 实现锁定的典型延时（也称为 T_{LOCK}）之后，该位自动置 1。如果 PLL 未在起振期间正常达到稳定，则 SLOCK 可能不会反映实际的 PLL 锁定状态，该位也不会检测正常工作期间 PLL 失锁的情况。SLOCK 位在 POR 和时钟切换操作（PLL 被选择作为目标时钟源）时被清零。当选择任何不使用 PLL 的时钟源时，它保持清零。关于 PLL 锁定时间间隔的更多信息，请参见具体器件数据手册中的“电气特性”章节。

6.3.3.3 USB PLL 锁定状态

ULOCK 位 (OSCCON<6>) 是只读状态位，用于指示 USB PLL 的锁定状态。在 PLL 实现锁定的典型延时（也称为 T_{ULOCK}）之后，该位自动置 1。如果 PLL 未在起振期间正常达到稳定，则 ULOCK 可能不会反映实际的 PLL 锁定状态，该位也不会检测正常工作期间 PLL 失锁的情况。

ULOCK 位在 POR 时被清零。当选择任何不使用 PLL 的时钟源时，它保持清零。

关于 USB PLL 锁定时间间隔的更多信息，请参见具体器件数据手册中的“电气特性”章节。

6.3.3.4 对 USB 使用内部 FRC 振荡器

内部 8 MHz FRC 振荡器可用作时钟源来检测 USB 暂停模式期间的任何 USB 活动，并使模块退出暂停模式。要使能对 USB 使用 FRC，在将 USB 模块置为暂停模式之前，必须先将 UFRGEN 位 (OSCCON<2>) 设置为 1。

6.3.4 双速启动

双速启动模式可用于降低在使用所有外部晶振 Posc 模式（包括 PLL）时的器件启动延时。双速启动使用 FRC 时钟作为 SYSCLK 源，直到主振荡器（Posc）稳定为止。在用户选定的振荡器稳定之后，时钟源将切换为 Posc。这让 CPU 可以开始以较低速度运行代码，同时振荡器在进行稳定。当 Posc 满足启动条件时，将会发生切换为 Posc 的自动时钟切换。该模式通过器件配置位 FCKSM<1:0>（DEVCFG1<15:14>）使能。双速启动在 POR 之后或从休眠模式退出时发生。软件可以通过读取 OSCCON 寄存器中的 COSC<2:0> 位来确定当前使用的振荡器源。

注：	不论 SYSCLK 频率如何，看门狗定时器（WDT）（如果使能）将继续以相同速率计数。在双速启动期间处理 WDT 需要小心，需要考虑 SYSCLK 的变化。
-----------	--------------------------------------------------------------------------------

6.3.5 故障保护时钟监视器（FSCM）操作

故障保护时钟监视器（FSCM）用于让器件可以在当前振荡器发生故障时继续工作。它用于主振荡器（Posc），在检测到 Posc 故障时会自动切换为 FRC 振荡器。切换为快速内部 RC 振荡器（FRC）让器件可以继续工作，并重新尝试使用 Posc 或执行对应于时钟故障的代码。

FSCM 模式由 DEVCFG1 寄存器中的 FCKSM<1:0> 位进行控制。任意 Posc 模式都可用于 FSCM。

在使能 FSCM 情况下检测到时钟故障时，FSCM 中断允许（FSCMIE）位（IEC1<14>）会置 1，时钟源将从 Posc 切换为 FRC。此时会产生振荡器故障中断，并且 CF 位（OSCCON<3>）会置 1。该中断具有用户可设置的优先级位 FSCMIP<2:0>（IPC8<12:10>）和子优先级位 FSCMIS<1:0>（IPC8<9:8>）。时钟源将保持为 FRC，直到器件发生复位或执行时钟切换为止。允许 FSCM 中断失败的话，将不会阻止实际的时钟切换。

在切换到 FRC 振荡器时，FSCM 模块执行以下操作：

1. 将 000 装入 COSC 位（OSCCON<14:12>）。
2. 将 CF 位（OSCCON<3>）置 1，以指示发生时钟故障。
3. 将 OSWEN 控制位（OSCCON<0>）清零，以取消所有待执行的时钟切换。

要使能 FSCM，应执行以下步骤：

1. 在 DEVCFG1 寄存器中使能 FSCM，方法是将 FCKSM<1:0> 位配置为：
 - 01 = 使能时钟切换，禁止 FSCM
 - 00 = 使能时钟切换和 FSCM
2. 使用 DEVCFG1 中的 FNOSC<2:0> 选择所需的模式：HS、XT 或 EC。
3. 在器件配置寄存器 DEVCFG1 中，通过配置 FNOSC<2:0> = 010（不带 PLL）或 011（带 PLL），选择 Posc 作为默认振荡器。

如果要使用 PLL：

1. 使用 FPLLIDIV<2:0>（DEVCFG2<2:0>）选择 PLL 输入分频器的相应配置位，使输入频率介于 4 MHz 和 5 MHz 之间。
2. 使用 FPLLMULT<2:0>（DEVCFG2<6:4>）选择所需的 PLL 倍频比。
3. 使用 FPLLODIV<2:0>（DEVCFG2<18:16>）选择所需的 PLL 输出分频比。

注： 关于 DEVCFG1 和 DEVCFG2 寄存器的详细信息，请参见《PIC32MX 系列参考手册》中的第 32 章“配置”（DS61124）。

如果需要在发生 FSCM 事件时产生 FSCM 中断，则在启动代码中应执行以下步骤：

1. 清零 FSCM 中断位 FSCMIF（IFS1<14>）。
2. 设置中断优先级位 FSCMIP<2:0>（IPC8<12:10>）和子优先级位 FSCMIS<1:0>（IPC8<9:8>）。
3. 将 FSCM 中断允许位 FSCMIE（IEC1<14>）置 1。

注： 不论 SYSCLK 频率如何，看门狗定时器（WDT）（如果使能）将继续以相同速率计数。在故障保护时钟监视器事件之后处理 WDT 需要小心，需要考虑 SYSCLK 的变化。

6.3.5.1 FSCM 延时

在发生 POR、BOR 或从 Sleep（休眠）模式唤醒事件时，在 FSCM 开始监视系统时钟源之前，可能会插入一个标称时长的延时（T_{FSCM}）。FSCM 延时的目的是确保在未使用上电延时定时器（PWRT）时，为振荡器和 / 或 PLL 提供时间来达到稳定状态。FSCM 延时将在内部系统复位信号（SYSRST）被释放之后产生。关于 FSCM 延时时序信息，请参见第 7 章“复位”（DS61118）。

每当 FSCM 被使能，并且 HS、HSPLL、XT、XTPLL 或辅助振荡器模式被选择作为系统时钟时，都会有一个 T_{FSCM} 时间间隔。

注： 关于 T_{FSCM} 规范值，请参见具体器件数据手册的“电气特性”章节。

6.3.5.2 FSCM 和慢速振荡器起振

如果所选择的器件振荡器在从 POR、BOR 或 Sleep（休眠）模式退出时的起振速度很慢，则 FSCM 延时可能会在振荡器起振之前延时结束。这种情况下，FSCM 将产生时钟故障陷阱。发生这种情况时，COSC 位（OSCCON<14:12>）中会装入 FRC 振荡器选择。这实际上会关闭正在尝试起振的原始振荡器。软件可以使用中断服务程序（Interrupt Service Routine, ISR）或通过查询时钟故障中断标志 FSCMIF（IFS1<14>）来检测时钟故障。

6.3.5.3 FSCM 和 WDT

FSCM 和 WDT 都使用 LPRC 振荡器作为其时基。在发生时钟故障时，WDT 不受影响并继续运行。

6.3.6 时钟切换操作

在软件控制下，应用可以随时在 4 种时钟源（P_{osc}、S_{osc}、FRC 和 LPRC）之间自由切换，几乎没有什么限制。为了限制这种灵活性可能带来的负面影响，PIC32MX 器件在切换过程中采用了保护锁定。

- 注 1:** 主振荡器模式具有三种不同的子模式（XT、HS 和 EC），它们由 DEVCFG1 中的 POSCMOD 配置位决定。虽然在软件中，应用程序可以从其他模式切换为主振荡器模式并从主振荡器模式切换为其他模式，但它不能在不重新编程器件的情况下在不同的主振荡器子模式之间切换。
- 2:** 器件不允许在 PLL 时钟源之间直接切换。使用受影响 PLL 源运行时，用户不应更改 PLL 倍频比值或后分频比值。要执行以上任一时钟切换功能，应当通过两个步骤来执行时钟切换。时钟源应首先切换为非 PLL 源（例如 FRC），然后再切换为所需时钟源。此要求仅适用于基于 PLL 的时钟源。

6.3.6.1 使能时钟切换

要使能时钟切换，FCKSM1 配置位（DEVCFG1<15>）必须编程为 0。更多详细信息，请参见《PIC32MX 系列参考手册》中的第 32 章“配置”（DS61124）。如果 FCKSM1 配置位未编程（= 1），则时钟切换功能和故障保护时钟监视器功能被禁止。这是默认设置。

当时钟切换被禁止时，NOSC 控制位（OSCCON<10:8>）不控制时钟选择。但是，COSC 位（OSCCON<14:12>）将反映由 FNOSC 配置位选择的时钟源。

当时钟切换被禁止时，OSWEN 控制位（OSCCON<0>）不起作用。它始终保持为 0。

6.3.6.2 振荡器切换过程

执行时钟切换至少需要以下过程：

1. 根据需要读 COSC<2:0> 位（OSCCON<14:12>），以确定当前的振荡器源。
2. 执行解锁序列，以允许写入 OSCCON 寄存器。解锁序列具有严格的时序要求，并且应在禁止中断和 DMA 的情况下执行。
3. 向 NOSC<2:0> 控制位（OSCCON<10:8>）写入新振荡器源的对应值。
4. 将 OSWEN 位（OSCCON<0>）置 1 以启动振荡器切换。
5. （可选）执行锁定序列来锁定 OSCCON。锁定序列必须独立于所有其他操作执行。

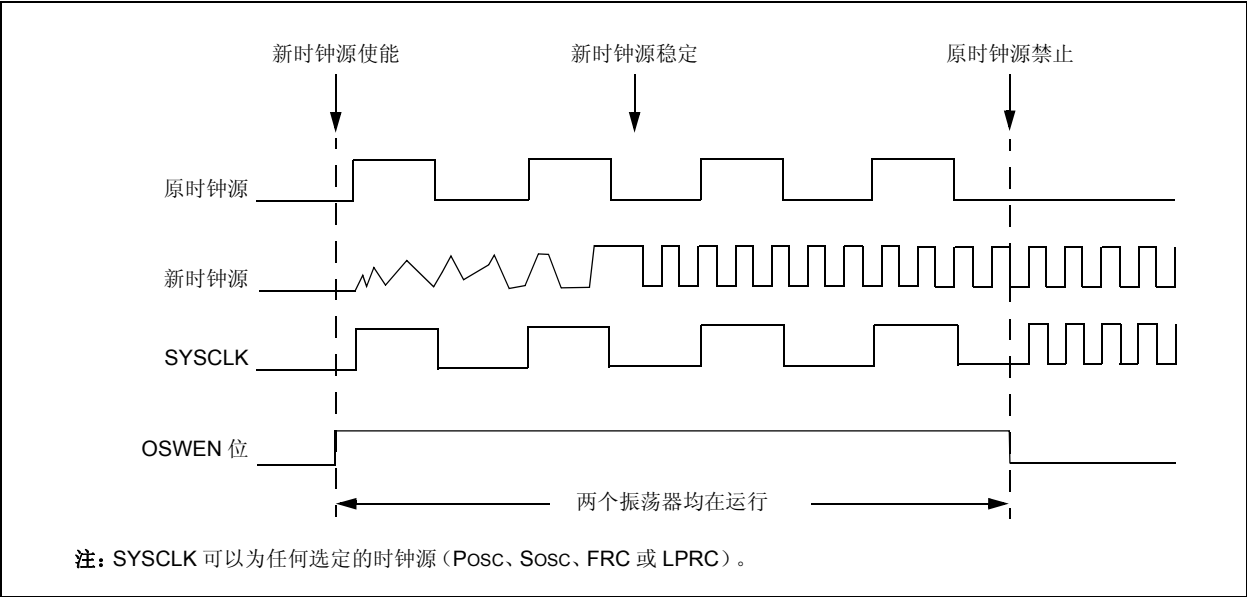
一旦基本过程完成，系统时钟硬件将自动进行如下响应：

1. 时钟切换硬件将 NOSC 控制位的新值与 COSC<2:0> 状态位进行比较。如果它们相同，则时钟切换是多余操作。在这种情况下，OSWEN 位自动清零，时钟切换中止。
2. 如果新振荡器现在不在运行，则硬件会将其启动。如果必须要启动晶振，则硬件将等待到振荡器起振定时器（OST）延时结束。如果新的振荡器源使用 PLL，则硬件将等待直到检测到 PLL 锁定（SLOCK = 1）。
3. 硬件清零 OSWEN 位，以指示时钟切换成功。此外，NOSC 位的值被传送到 COSC 状态位。
4. 如果没有任何模块使用原时钟源，则此时它会被关闭。

图 6-5 给出了在时钟源之间切换的时序。

注： 在整个时钟切换过程中，处理器将继续执行代码。对时序敏感的代码不应在此时执行。

图 6-5: 时钟切换时序图



时钟切换的建议代码序列如下：

1. 在执行系统解锁序列之前禁止中断和 DMA。
2. 执行系统解锁序列，方法是在两条背靠背汇编或 C 语言指令中将键值 0xAA996655 和 0x556699AA 写入 SYSKEY 寄存器。
3. 将新的振荡器源值写入 NOSC 控制位。
4. 将 OSCCON 寄存器中的 OSWEN 位置 1，以启动时钟切换。
5. 向 SYSKEY 寄存器写入非键值（例如 0x33333333）来执行锁定。继续执行对时钟不敏感的代码（可选）。
6. 检查 OSWEN 位是否为 0。如果为 0，则说明切换成功。一直循环，直到该位为 0。
7. 重新允许中断和使能 DMA。

注： 除了初始背靠背写入键值来执行解锁序列之外，所有其他步骤都没有时序要求。
解锁序列会将通过锁定功能保护的所有寄存器解锁。建议将系统处于解锁状态的时间尽可能缩短。例 6-3 给出了解锁 OSCCON 寄存器和启动时钟切换的核心序列。

6.3.6.3 时钟切换的注意事项

在应用程序中加入时钟切换功能时，用户在设计代码时应注意以下问题。

- **SYSLOCK** 解锁序列对时序的要求极高。两个键值必须背靠背写入，其间不能有任何外设寄存器访问操作。通过禁止所有中断和 **DMA** 传输来防止意外的外设寄存器访问。
- 系统不会自动重新锁定。在时钟切换之后请尽快执行重新锁定序列。
- 解锁序列会解锁其他寄存器，例如那些与实时时钟控制有关的寄存器。
- 如果目标时钟源是晶振，则时钟切换时间将由振荡器起振时间决定。
- 如果新时钟源未启动，或者不存在，则 **OSWEN** 位保持置 1。
- 时钟切换为不同频率会影响外设的时钟。外设可能需要重新配置，以便以时钟切换之前的速率继续工作。
- 如果新时钟源使用 **PLL**，则只有在实现锁定之后才会发生时钟切换。
- 如果使用了 **WDT**，则必须小心确保可以在新的时钟速率下及时地处理它。

- 注 1:** 当使能故障保护时钟监视器时，应用程序不应尝试切换到频率低于 100 kHz 的时钟。在这些情况下进行时钟切换可能会产生错误的振荡器故障事件，并导致其切换到内部快速 **RC (FRC)** 振荡器。
- 2:** 器件不允许在 **PLL** 时钟源之间直接切换。使用受影响 **PLL** 源运行时，用户不应更改 **PLL** 倍频比值或后分频比值。要执行以上任一时钟切换功能，应当通过两个步骤来执行时钟切换。时钟源应首先切换为非 **PLL** 源（例如 **FRC**）；然后再切换为所需时钟源。此要求仅适用于基于 **PLL** 的时钟源。

6.3.6.4 中止时钟切换

在时钟切换尚未完成时，可以通过清零 **OSWEN** 位（**OSCCON<0>**）来复位时钟切换逻辑。这将放弃时钟切换过程，停止并复位 **OST**（如适用），以及停止 **PLL**（如适用）。

时钟切换过程可以随时中止。当前已在执行中的时钟切换也可以通过执行第二次时钟切换而中止。

例 6-3: 执行时钟切换

```
// note:clock switching must be enabled in the device
// configuration
SYSKEY = 0x0; // write invalid key to force lock
SYSKEY = 0xAA996655; // Write Key1 to SYSKEY
SYSKEY = 0x556699AA; // Write Key2 to SYSKEY
// OSCCON is now unlocked
// make the desired change
OSCCONCLR = 7 << 8; // clear the clock select bits
OSCCONSET = 7 << 8; // set the new clock source to FRCDIV
OSCCONSET = 1; // request clock switch
// Relock the SYSKEY
SYSKEY = 0x0; // Write any value other than Key1 or Key2
// OSCCON is relocked
```

6.3.6.5 在时钟切换期间进入休眠模式

如果器件在时钟切换操作期间进入 **Sleep**（休眠）模式，时钟切换操作不会被中止。如果时钟切换未在器件进入 **Sleep**（休眠）模式之前完成，器件将在它退出 **Sleep**（休眠）模式时执行切换。然后，器件将正常执行 **WAIT** 指令。

6.3.7 实时时钟振荡器

为了精确计时，实时时钟和日历（**RTCC**）需要精确的时基。要实现这一点，**Sosc** 用作 **RTCC** 的时基。**Sosc** 使用与 **SOSCI** 和 **SOSCO** 引脚连接的外部 32.768 kHz 晶振。

6.3.7.1 Sosc 控制

Sosc 可以由 **RTCC** 之外的其他模块使用，因此，**Sosc** 通过软件和硬件的组合进行控制。将 **SOSCEN** 位（**OSCCON**<1>）设置为 1 会使能 **Sosc**。在 **CPU** 模块不使用 **Sosc**，并且 **SOSCEN** 位为 0 时，它会被禁止。如果 **Sosc** 用作 **SYSCLK**（例如在时钟切换之后），则不能通过写入 **SOSCEN** 位禁止它。如果通过 **SOSCEN** 位使能了 **Sosc**，则在器件处于 **Sleep**（休眠）模式时，它会继续工作。为了防止意外的时钟更改，**OSCCON** 寄存器会被锁定。在软件使能或禁止 **Sosc** 之前，必须先对该寄存器进行解锁。

注： 在 **CPU** 时钟源需要在 **Sosc** 和其他时钟源之间切换时，如果要使用 **RTCC**，则必须用软件将 **SOSCEN** 位设置为 1。未将该位置 1 会导致在 **CPU** 切换为其他时钟源时 **Sosc** 被禁止。

由于外部晶振需要一定的起振时间，用户应先等待 **SOCSC** 振荡器输出稳定，然后再使能 **RTCC**。在使能 **Sosc** 和使能 **RTCC** 之间，这通常需要 32 ms 的延时。所需的实际时间取决于所使用的晶振和应用。

有许多系统和外设寄存器通过 **SYSREG** 锁定来避免意外写操作。执行锁定或解锁会影响通过 **SYSREG** 保护的所有寄存器，包括 **OSCCON**。

6.3.8 Timer1 外部振荡器

Timer1 模块可以使用 **Sosc** 作为时钟源来递增 **Timer1**。**Sosc** 设计为使用与 **SOSCI** 和 **SOSCO** 引脚连接的外部 32.768 kHz 晶振。

6.3.8.1 Sosc 控制

Sosc 可以由 **Timer1** 之外的其他模块使用，因此，**Sosc** 通过软件和硬件的组合进行控制。将 **SOSCEN** 位（**OSCCON**<1>）设置为 1 会使能 **Sosc**。在 **CPU** 模块不使用 **Sosc**，并且 **SOSCEN** 位为 0 时，它会被禁止。如果 **Sosc** 用作 **SYSCLK**（例如在时钟切换之后），则不能通过写入 **SOSCEN** 位禁止它。如果通过 **SOSCEN** 位使能了 **Sosc**，则在器件处于 **Sleep**（休眠）模式时，它会继续工作。为了防止意外的时钟更改，**OSCCON** 寄存器会被锁定。在软件使能或禁止 **Sosc** 之前，必须先对该寄存器进行解锁。

注： 在 **CPU** 时钟源需要在 **Sosc** 和其他时钟源之间切换时，如果要使用 **TIMER1**，则必须用软件将 **SOSCEN** 位设置为 1。未将该位置 1 会导致在 **CPU** 切换为其他时钟源时 **Sosc** 被禁止。

由于外部晶振需要一定的起振时间，用户应先等待 **SOCSC** 振荡器输出稳定，然后再尝试使用 **Timer1** 进行精确测量。在使能 **Sosc** 和使用 **Timer1** 之间，这通常需要 10 ms 的延时。所需的实际时间取决于所使用的晶振和应用。

有许多系统和外设寄存器通过 **SYSREG** 锁定来避免意外写操作。执行锁定或解锁会影响通过 **SYSREG** 保护的所有寄存器，包括 **OSCCON** 寄存器。

6.4 中断

振荡器模块产生的唯一中断是 FSCM 事件中断。当使能 FSCM 模式，并且配置了相应的中断时，FSCM 事件将会产生中断。该中断具有优先级和子优先级，两者都必须进行配置。

6.4.1 中断操作

FSCM 具有专用的中断位 FSCMIF (IFS1<14>) 以及相应的中断允许 / 屏蔽位 FSCMIE (IEC1<14>)。这些位用于决定中断源和使能 / 禁止各个中断源。FSCM 的优先级可以独立于其他中断源进行设置。

当 FSCM 检测到 Posc 时钟故障时，FSCMIF 位会置 1。FSCMIF 位是否置 1 与相应 FSCMIE 位的状态无关。如果需要，可以用软件查询 FSCMIF 位。

FSCMIE 位用于控制中断产生。如果 FSCMIE 位置 1，则每次发生 FSCM 事件时 CPU 会被中断（受下面介绍的优先级和子优先级制约）。FSCMIF 位是否置 1 与中断优先级无关。

处理特定中断的程序负责在服务程序完成之前清零相应的中断标志位。

FSCM 中断的优先级可以通过 FSCMIP<2:0> 位 (IPC8<20:18>) 独立设置。该优先级定义了中断源将分配到的优先级组。优先级组值的范围为 7（最高优先级）到 0（不产生中断）。较高优先级组中的中断会抢占正在处理、但优先级较低的中断。

子优先级位用于设置中断源在优先级组中的优先级。子优先级位 FSCMIS<1:0> (IPC8<8:9>) 值的范围为 3（最高优先级）到 0（最低优先级）。处于相同优先级组，但具有更高子优先级值的中断会抢占子优先级较低、但正在进行的中断。

优先级组和子优先级位让多个中断源可以共用相同的优先级和子优先级。如果在该配置下同时发生若干个中断，则中断源在优先级 / 子优先级组对中的自然顺序将决定所产生的中断。自然优先级基于中断源的向量编号。向量编号越小，中断的自然优先级就越高。在当前中断的中断标志清零之后，所有不按照自然顺序执行的中断会基于优先级、子优先级和自然顺序产生相应的中断。

产生允许的中断之后，CPU 将跳转到为该中断分配的向量处（见表 6-6）。该中断的向量编号与自然顺序编号相同。由于一些中断共用单个向量，IRQ 编号并不总是与向量编号相同。然后，CPU 将在向量地址处开始执行代码。该向量地址处的用户代码应执行所需的操作（如重新装入占空比和清零中断标志），然后退出。关于向量地址表的详细信息和关于中断的更多信息，请参见第 8 章“中断”（DS61108）。

表 6-6: 各种偏移量的 FSCM 中断向量 (EBASE = 0x8000:0000)

中断	向量 / 自然顺序	IRQ 编号	向量地址 IntCtl.VS = 0x01	向量地址 IntCtl.VS = 0x02	向量地址 IntCtl.VS = 0x04	向量地址 IntCtl.VS = 0x08	向量地址 IntCtl.VS = 0x10
FSCM	33	45	8000 0620	8000 0A40	8000 1280	8000 2300	8000 4400

例 6-4: FSCM 中断配置

```
// FSCM must be enabled in the device configuration
// Setup the FSCM interrupt
// located in the users start-up code
// check for a FSCM during start-up

if (OSCCON & 0x0008)
{
    // user handler for a FSCM event occurred during
    // start-up
}
else
{
    // normal start-up
    IPC8CLR = 0x1F << 8; // clear the FSCM priority bits
    IPC8SET = 7 << 10; // set the FSCM interrupt priority
    IPC8SET = 3 << 8; // set the FSCM interrupt subpriority
    IFS1CLR = 1 << 14; // clear the FSCM interrupt bit
    IEC1SET = 1 << 14; // enable the FSCM interrupt
}

void __ISR(_FAIL_SAFE_MONITOR_VECTOR, ipl7) FSCM_HANDLER(void)
{
    // interrupt handler
    // insert user code here
    IFS1CLR = 1 << 4; // clear the CMP2 interrupt flag
}
```

6.5 I/O 引脚

由 Posc 和 Sosc 使用的引脚与其他外设模块共用。表 6-7 列出了在可用的振荡器模式下，这些共用引脚的功能。当振荡器不使用这些引脚时，它们可用作通用 I/O 引脚，或由共用引脚的外设使用。更多信息，请参见《PIC32MX 系列参考手册》中的第 29 章“实时时钟和日历”（DS61125）和第 9 章“看门狗定时器和上电延时定时器”（DS61114）。

表 6-7：与振荡器模块相关的引脚配置

引脚名称	时钟模式	配置位域 ⁽¹⁾	TRIS	引脚类型
OSC1	HS, HSPLL, XT, XTPLL	COSC<2:0>, POSCMOD<1:0>	X	OSC
OSC2	HS, HSPLL, XT, XTPLL	COSC<2:0>, POSCMOD	X	OSC
OSC1	EC, ECPLL	COSC<2:0>, POSCMOD	X	时钟输入
OSC2	EC, ECPLL	COSC<2:0>, POSCMOD, OSCOFNC	X	PBCLK 输出
OSC2	EC, ECPLL	COSC<2:0>, POSCMOD, OSCOFNC	输入	输入
OSC2	EC, ECPLL	COSC<2:0>, POSCMOD, OSCOFNC	输出	输出
N/A	FRC, FRCPLL, FRCDIV16, FRCDIV, LPRC	COSC<2:0>	X	GPIO
N/A	FRC, FRCPLL, FRCDIV16, FRCDIV, LPRC	COSC<2:0>	X	GPIO
N/A	FRC, FRCPLL, FRCDIV16, FRCDIV, LPRC	COSC<2:0>	X	GPIO
N/A	FRC, FRCPLL, FRCDIV16, FRCDIV, LPRC	COSC<2:0>	X	GPIO
SOSCI	Sosc	COSC<2:0>	X	OSC
SOSCO	Sosc	COSC<2:0>	X	OSC

注 1：在器件启动期间，器件振荡器配置数据会从器件配置中复制到 COSC 中。

6.5.1 非外部振荡器模式下的 OSC1 和 OSC2 引脚功能

当 OSC1 和 OSC2 上的 Posc 未配置为时钟源时，OSC1 引脚自动重新配置为数字 I/O。在该配置中，以及 Posc 配置为 EC 模式（POSCMOD<1:0> = 00）时，也可以通过编程 OSCIOFCN 配置位将 OSC2 引脚配置为数字 I/O。

当 OSCIOFCN 未编程（1）时，OSC2 上会产生 PBCLK，用于进行测试或同步。当 OSCIOFCN 已编程（0）时，OSC2 引脚成为通用 I/O 引脚。在这两种配置中，OSC1 和 OSC2 之间的反馈器件被关闭，以节省电流。

6.5.2 非外部振荡器模式下的 SOSCI 和 SOSCO 引脚功能

当 SOSCI 和 SOSCO 引脚上的辅助振荡器（Sosc）未配置为时钟源时，引脚自动重新配置为数字 I/O。

6.6 节能模式下的操作

6.6.1 休眠模式下的振荡器操作

在 Sleep（休眠）模式下，除非有外设使用时钟源，否则时钟源会被禁止。以下小节介绍了每种时钟源在 Sleep（休眠）模式下的行为。

6.6.1.1 休眠模式下的 Posc

Posc 在 Sleep（休眠）模式下总是被禁止。在退出 Sleep（休眠）模式时会应用起振延时。

6.6.1.2 休眠模式下的 Sosc

除非 SOSCEN 位置 1，或者在 Sleep（休眠）模式下工作的某个使能模块使用 Sosc，否则它会被禁止。在退出 Sleep（休眠）模式时，如果辅助振荡器未运行，则会应用起振延时。

6.6.1.3 休眠模式下的 FRC

FRC 振荡器在 Sleep（休眠）模式下会被禁止。

6.6.1.4 休眠模式下的 LPRC

在 Sleep（休眠）模式下，如果看门狗定时器（WDT）被禁止，则 LPRC 振荡器会被禁止。

6.6.2 空闲模式下的振荡器操作

在 Idle（空闲）模式下，时钟源不会被禁止。在退出 Idle（空闲）模式时不会应用起振延时。

6.6.3 调试模式下的振荡器操作

振荡器模块在器件处于 Debug（调试）模式时继续工作。

注： 该模块没有 FRZ 模式。

6.7 各种复位的影响

在发生所有形式的器件复位时，OSCCON 会设置为默认值，COSC<2:0>、PLLIDIV<2:0>、PLLMULT<2:0> 和 UPLLIDIV<2:0> 值会被强制设为在 DEVCFG1 和 DEVCFG2 寄存器中定义的值。振荡器源会转换为 DEVCFG1 寄存器中定义的源。此时会应用振荡器起振延时。

6.8 设计技巧

6.8.1 晶振和陶瓷谐振器

在 HS 和 XT 模式下，晶振或陶瓷谐振器连接到 OSC1 和 OSC2 引脚，以产生振荡（图 6-2）。PIC32MX 振荡器的设计要求使用平行切割的晶体。使用顺序切割的晶体，可能会使振荡器产生的频率超出晶振制造商所给的规范。

通常，用户应选择具有最低增益但仍满足规范的振荡器选项。这样可以产生较小的动态电流（IDD）。每种振荡器模式的频率范围是建议的频率截止范围，但也可以选择不同的增益模式，但要先执行全面的验证（电压、温度和元件差异，例如电阻、电容和内部振荡器电路）。

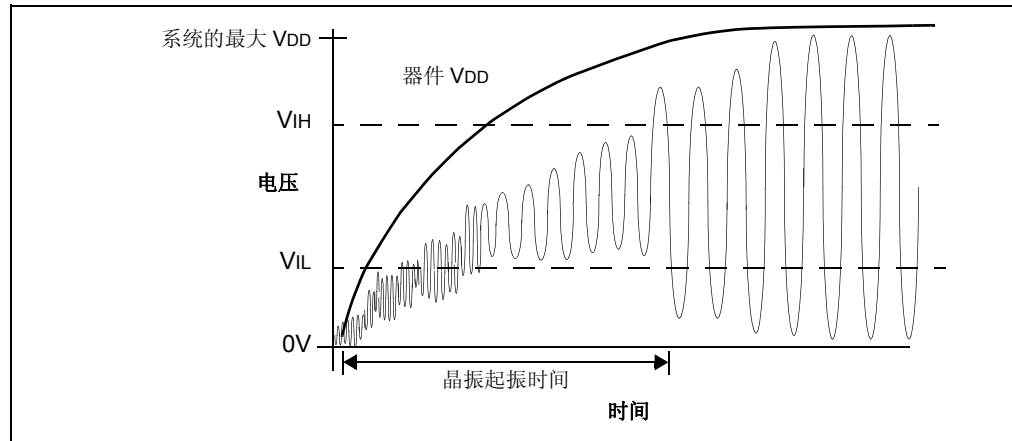
6.8.2 振荡器 / 谐振器起振

当器件电压从 VSS 上升时，振荡器将开始振荡。振荡器开始振荡所需的时间取决于许多因素，包括：

- 晶振 / 谐振器频率
- 所使用的电容值
- 串联电阻的阻值和类型（如使用）
- 器件 VDD 上升时间
- 系统温度
- 为器件选择的振荡器模式（选择内部振荡器反相器的增益）
- 晶振品质
- 振荡器电路布线
- 系统噪声

图 6-6 给出了典型的晶振或谐振器的起振过程。请注意，振荡器并不是瞬间即达到稳定振荡状态。关于每种晶振模式的频率范围的更多信息，请参见具体器件数据手册中的“电气特性”章节。

图 6-6: 振荡器 / 谐振器起振特性示例



6.8.3 调节振荡器电路

由于 Microchip 器件具有很宽的工作范围（频率、电压和温度，具体取决于所订购的器件和版本），可以使用各种不同品质和制造商的外部元件（晶振和电容等），所以需要执行工作验证来确保选择的元件满足应用要求。这些外部元件的选择和排列有许多需要考虑的因素。根据实际应用，这些因素可包括：

- 放大器增益
- 所需的频率
- 晶振的谐振频率
- 工作温度
- 电源电压范围
- 起振时间
- 稳定性
- 晶振寿命
- 功耗
- 电路的简化
- 标准元件的使用
- 元件数量

6.8.3.1 确定振荡器元件的最佳值

选择元件的最佳方法是运用相关知识进行大量的试验评估和测试。晶振通常只需根据它们的并联谐振频率进行选择；但是，其他一些参数对于设计可能也很重要，例如温度或频率容差。Microchip 应用笔记 AN588 “PIC® Microcontroller Oscillator Design Guide” (DS00588) 是了解关于晶振工作和订购信息的上佳参考。

PIC32MX 内部振荡器电路是并联振荡器电路，所以需要选择并联谐振晶振。负载电容通常规定在 22 pF 至 33 pF 范围内。负载电容处于该范围内时，晶振的振荡频率最接近所需频率。为了获得其他方面的好处，可能还需要更改这些值，我们将在后面说明。

时钟模式主要根据晶振的所需频率进行选择。XT 和 HS 振荡器模式之间的主要区别在于振荡器电路的内部反相器的增益不同，从而使频率范围也不同。通常，用户应选择具有最低增益但仍满足规定的振荡器选项。这样可以产生较小的动态电流（IDD）。每种振荡器模式的频率范围是建议的频率截止范围，但也可以选择不同的增益模式，但要先执行全面的验证（电压、温度和元件差异，例如电阻、电容和内部振荡器电路）。C1 和 C2 也首先应根据晶振制造商建议的负载电容和器件数据手册中提供的几个表进行选择。器件数据手册中给出的值只能作为初始参考值，因为晶振制造商、供电电压、PCB 布线和其他已提及的因素可能会导致电路不同于工厂特性测定过程中使用的电路。

理想情况下，所选择的电容应使电路可以在电路需工作的最高温度和最低 VDD 条件下振荡。高温和低 VDD 对环路增益都有一定限度的影响，所以如果电路可以在这些极值条件下工作，设计人员就可确定电路能在其他温度和供电电压组合下正常工作。在最高增益环境（最高 VDD 和最低温度）下，输出正弦波应不会被削波；在最低增益环境（最低 VDD 和最高温度）下，正弦输出振幅应足够高，可以满足具体器件数据手册中列出的时钟的逻辑输入要求。

改善起振的一种方法是使 **C2** 电容值大于 **C1**。这会使晶振在上电时产生更大的相移，从而加速振荡器起振。这两个电容除了辅助晶振产生适当的频率响应之外，增加它们的电容值还能降低环路增益。可以通过选择 **C2** 来影响电路的整体增益。如果晶振过驱动，使用较高的 **C2** 可以降低增益（另请参见关于 **Rs** 的讨论）。如果电容值过高，电容会通过晶振存储和释放过多的电流，所以 **C1** 和 **C2** 的电容不应过大。遗憾的是，测量晶振的功耗（瓦数）很困难，但是如果偏离建议值不是太多，则可以不考虑这一点。

如果在选择了满足要求的所有其他外部元件之后，晶振仍然过驱动，则可以在电路中添加一个串联电阻 **Rs**。这可以通过使用示波器检查 **OSC2** 引脚（被驱动的引脚）确定。将探针连接到 **OSC1** 引脚会使引脚负载过大，对性能产生负面影响。请记住，示波器探针会将其自身的电容加到电路中，所以在设计中必须要考虑这一点（即，如果电路在 **C2** 为 22 pF 时工作状态最佳，而示波器探针电容为 10 pF，则实际的电容为 33 pF）。输出信号不应被削波或限幅。过驱动晶振还会导致电路的谐振频率跳变至高次谐波，甚至损坏晶振。

OSC2 信号应为平滑的正弦波，可以轻松跨越时钟输入引脚输入信号的最小值和最大值。有一个简单的方法可对其进行验证，即在器件需工作的最低温度和最高 **VDD** 条件下再次测试电路，然后检查输出。此时，时钟输出振幅应最大。如果正弦波被削波，或者正弦波在接近 **VDD** 和 **VSS** 时失真，升高负载电容会导致过多的电流流过晶振，或者导致电容值过于偏离制造商的规定值。要调节晶振电流，可以在晶振反相器输出引脚和 **C2** 之间添加一个微调电位计，并对它进行调节，直到输出平滑正弦波为止。在低温和高 **VDD** 的极值条件下，晶振将通过最高的驱动电流。

应在这些限制条件下对微调电位计进行调节，以防止过驱动。然后，加入最接近调整后电位计阻值的标准值 **Rs** 来代替微调电位计。如果 **Rs** 阻值过大（超过 20 kΩ），输入与输出的隔离度将过大，使时钟更容易受噪声影响。如果确定需要这么高的阻值来防止晶振过驱动，可以尝试升高 **C2** 来进行补偿，或者尝试改变振荡器工作模式。请尽量使用约为 10 kΩ 或以下的 **Rs** 阻值，并且负载电容不要过于偏离制造商规定值的组合。

6.8.4 常见问题（FAQ）

问 1: *在上电后使用示波器检查 OSC2 引脚时，未检测到时钟。这是什么原因？*

答 1: 可能有几种原因：

- 进入 Sleep（休眠）模式时未提供唤醒源（例如 WDT、 $\overline{\text{MCLR}}$ 或中断）。请确保代码没有在未设置唤醒源的情况下将器件置为 Sleep（休眠）模式。如果可能，请尝试在 $\overline{\text{MCLR}}$ 上使用低电平脉冲唤醒器件。上电时 $\overline{\text{MCLR}}$ 保持低电平还将使晶振有更长时间起振，但程序计数器会等到 $\overline{\text{MCLR}}$ 引脚为高电平时才会递增计数。
- 选择了错误的时钟模式来产生所需的频率。对于空白器件，默认的振荡器为 FRC。大多数部件在初始时使用的是在默认模式下选择的时钟，默认模式不使用晶振或谐振器起振。请验证是否已正确编程了时钟模式。
- 未执行正确的上电序列。如果 CMOS 器件在上电之前通过 I/O 引脚供电，则可能会发生错误的事件（锁死或起振不正常等）。欠压条件、起振时电源线有噪声和 VDD 上升速度太慢等情况都会导致问题。尝试在器件上电时 I/O 上不连接任何部件，并使用确定可正常工作的快速升压电源。关于欠压和上电序列的注意事项，请参见具体器件数据手册中的上电信息。
- 连接到晶振的 C1 和 C2 电容未正确连接，或者电容值不正确。请确保所有的连接都正确。这些元件使用器件数据手册中的特性值时，通常可以使振荡器运行；但是，这些值可能不是对应于设计的最佳值。

问 2: *为什么我的器件的工作频率远高于晶振的谐振频率？*

答 2: 振荡器电路的增益过高。请参见第 6.8.3.1 节“确定振荡器元件的最佳值”来帮助选择 C2（可能需要使用更大的电容）、Rs（可能需要）和时钟模式（可能选择了错误的模式）。对于低频晶振（例如常见的 32.768 kHz 晶振）特别容易发生这种情况。

问 3: *器件运行良好，但频率稍微偏低。如何进行调节？*

答 3: 改变 C1 的值可以对振荡器频率产生一些影响。如果使用了串联谐振晶振，则它的谐振频率将不同于相同输出频率的并联谐振晶振。请确保使用的是并联谐振晶振。

问 4: *我的应用程序开始时工作良好，但之后突然退出或变慢。这是什么原因？*

答 4: 除了应当进行一般的软件检查来确定变慢原因之外，还可以检查是否是振荡器的输出振幅不够高，不足以可靠地触发谐振器输入。此外，请检查 C1 和 C2 的电容值，并确保器件配置位以确保正确设置为所需的振荡器模式。

问 5: *在我将示波器探针连接到振荡器引脚时，我并没有看到预期的结果。这是什么原因？*

答 5: 请记住，示波器探针也有一定的电容。将探针连接到振荡器电路会改变振荡器的特性。请考虑使用低电容（有源）探针。

6.9 相关应用笔记

本节列出了与手册本章内容相关的应用笔记。这些应用笔记可能并不是专为 PIC32MX 器件系列而编写的，但其概念是相近的，通过适当修改并受到一定限制即可使用。当前与振荡器模块相关的应用笔记有：

标题	应用笔记编号
Crystal Oscillator Basics and Crystal Selection for rfPIC® and PIC® MCU Devices	AN826
Basic PIC® Microcontroller Oscillator Design	AN849
Practical PIC® Microcontroller Oscillator Analysis and Design	AN943
Making Your Oscillator Work	AN949

注：如需获取更多 PIC32MX 系列器件的应用笔记和代码示例，请访问 Microchip 网站（www.microchip.com）。

6.10 版本历史

版本 A（2007 年 10 月）

这是本文档的初始版本。

版本 B（2007 年 10 月）

更新了文档（删除了“机密”状态）。

版本 C（2008 年 4 月）

将状态修改为“初稿”；将 U-0 修改为 r-x；修改了图 6-1。

版本 D（2008 年 5 月）

修改了图 6-1；修改了表 6-1（WDTCN）；修改了寄存器 6-9、6-13、6-14 和 6-15；修改了例 6-3；将保留位从“保持为”更改为“写入”；为 ON 位（WDTCN 寄存器）增加了注释。

版本 E（2008 年 7 月）

修改了图 6-1；修改了例 6-1、6-2 和 6-3。

版本 F（2010 年 6 月）

该版本包括以下更新：

- 将所有出现的 OSCI 和 OSCO 分别更改为 OSC1 和 OSC2
- 将所有出现的 POSCMD 和 LOCK 分别更改为 POSCMOD 和 SLOCK
- 更新了 PIC32MX 系列振荡器系统框图（图 6-1）
- 振荡器寄存器汇总（表 6-1）：
 - 删除了对清零、置 1 和取反寄存器的所有引用
 - 增加了“地址偏移”栏
 - 删除了对 IFS1、IEC1 和 IPC8 寄存器的引用
 - 增加了介绍清零、置 1 和取反寄存器的“注 1”、“注 2”和“注 3”
- 增加了器件配置字寄存器汇总（表 6-2）
- 删除了 WDTCN 寄存器
- 删除了 IFS1、IEC1 和 IPC8 寄存器，包括它们对应的 CLR、SET 和 INV 寄存器
- 在以下寄存器中增加了介绍清零、置 1 和取反寄存器的注释：
 - OSCCON 寄存器（见寄存器 6-1）
 - OSCTUN 寄存器（见寄存器 6-2）
- 更新了图 6-1
- 在寄存器 6-1 中增加了“注 1”和“注 2”
- 在寄存器 6-2 中增加了“注 1”
- 从表 6-3 中删除了 ADIV 栏
- 更新了例 6-3 和例 6-4
- 对整篇文档进行了其他少量修正，如语言和格式的更新

注:

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下，Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案（Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、Microchip 徽标、dsPIC、KEELOQ、KEELOQ 徽标、MPLAB、PIC、PICmicro、PICSTART、PIC³² 徽标、rfPIC 和 UNI/O 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

FilterLab、Hampshire、HI-TECH C、Linear Active Thermistor、MXDEV、MXLAB、SEEVAL 和 The Embedded Control Solutions Company 均为 Microchip Technology Inc. 在美国的注册商标。

Analog-for-the-Digital Age、Application Maestro、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、dsSPEAK、ECAN、ECONOMONITOR、FanSense、HI-TIDE、In-Circuit Serial Programming、ICSP、Mindi、MiWi、MPASM、MPLAB Certified 徽标、MPLIB、MPLINK、mTouch、Omniscient Code Generation、PICC、PICC-18、PICDEM、PICDEM.net、PICKit、PICKtail、REAL ICE、rFLAB、Select Mode、Total Endurance、TSHARC、UniWinDriver、WiperLock 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 是 Microchip Technology Inc. 在美国的服务标记。

在此提及的所有其他商标均为各持有公司所有。

© 2010, Microchip Technology Inc. 版权所有。

ISBN: 978-1-60932-522-0

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949:2002 ==

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2002 认证。公司在 PIC[®] MCU 与 dsPIC[®] DSC、KEELOQ[®] 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品方面的质量体系流程均符合 ISO/TS-16949:2002。此外，Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

全球销售及服务中心

美洲

公司总部 **Corporate Office**
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277

技术支持:
<http://support.microchip.com>
网址: www.microchip.com

亚特兰大 Atlanta

Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

波士顿 Boston

Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago

Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

克里夫兰 Cleveland

Independence, OH
Tel: 1-216-447-0464
Fax: 1-216-447-0643

达拉斯 Dallas

Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit

Farmington Hills, MI
Tel: 1-248-538-2250
Fax: 1-248-538-2260

科科莫 Kokomo

Kokomo, IN
Tel: 1-765-864-8360
Fax: 1-765-864-8387

洛杉矶 Los Angeles

Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

圣克拉拉 Santa Clara

Santa Clara, CA
Tel: 1-408-961-6444
Fax: 1-408-961-6445

加拿大多伦多 Toronto

Mississauga, Ontario,
Canada
Tel: 1-905-673-0699
Fax: 1-905-673-6509

亚太地区

亚太总部 Asia Pacific Office

Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 北京

Tel: 86-10-8528-2100
Fax: 86-10-8528-2104

中国 - 成都

Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重庆

Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 香港特别行政区

Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 南京

Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青岛

Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海

Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 沈阳

Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳

Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 - 武汉

Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安

Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦门

Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 - 珠海

Tel: 86-756-321-0040
Fax: 86-756-321-0049

台湾地区 - 高雄

Tel: 886-7-213-7830
Fax: 886-7-330-9305

台湾地区 - 台北

Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

亚太地区

台湾地区 - 新竹

Tel: 886-3-6578-300
Fax: 886-3-6578-370

澳大利亚 Australia - Sydney

Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore

Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

印度 India - New Delhi

Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune

Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 Japan - Yokohama

Tel: 81-45-471- 6166
Fax: 81-45-471-6122

韩国 Korea - Daegu

Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul

Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur

Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang

Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila

Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore

Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok

Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels

Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark-Copenhagen

Tel: 45-4450-2828
Fax: 45-4485-2829

法国 France - Paris

Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Munich

Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

意大利 Italy - Milan

Tel: 39-0331-742611
Fax: 39-0331-466781

荷兰 Netherlands - Druenen

Tel: 31-416-690399
Fax: 31-416-690340

西班牙 Spain - Madrid

Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

英国 UK - Wokingham

Tel: 44-118-921-5869
Fax: 44-118-921-5820