第 24 章 I²C™

目录

本章包括下列主题：

24.1 概述

I²C™ 模块是用于同其他外设或单片机器件进行通信的串行接口。这些外设可以是串行EEPROM、显示驱动器和 A/D 转换器等。

I²C 模块可在以下任意 I²C 系统中工作：

- 作为从器件
- 在单主机系统中作为主器件 （从器件也可同时工作）
- 在多主机系统中作为主 / 从器件 （提供总线冲突检测和仲裁）

I²C 模块包含相互独立的 I²C 主器件逻辑和 I²C 从器件逻辑，它们根据各自的事件产生中断。在多主机系统中，软件被简单地分为主器件控制程序和从器件控制程序。

当 I²C 主器件逻辑工作时，从器件逻辑也保持在工作状态，检测总线的状态，并可从其自身（单主机系统中）或从其他主器件（多主机系统中）接收报文。在多主机总线仲裁期间，不会丢失任何报文。

在多主机系统中，能检测到与系统中其他主器件之间的总线冲突，并报告给应用程序（BCOL 中断）。软件可以终止报文，然后重新发送报文。

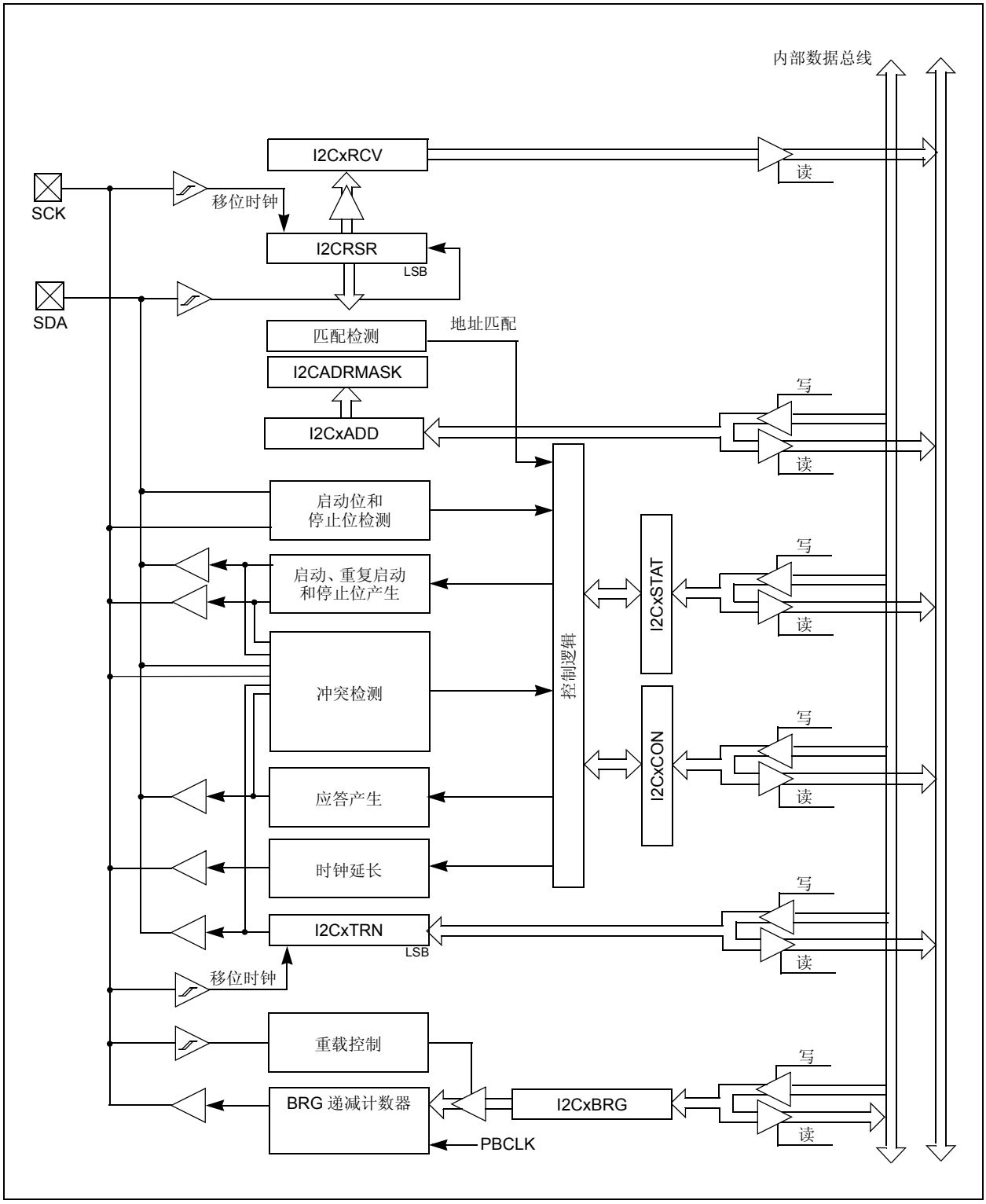
I²C 模块中包含一个波特率发生器（Baud Rate Generator，BRG）。I²C 波特率发生器并不耗用器件中的其他定时器资源。

I²C 模块具有以下主要特性：

- 主器件和从器件逻辑相互独立
- 支持多主机系统，可以防止在仲裁时丢失报文
- 在从模式下可检测 7 位和 10 位器件地址，并可配置地址掩码
- 检测 I²C 协议中定义的广播呼叫地址
- 具有自动 SCLx 时钟延长功能，为处理器提供延时以响应从器件的数据请求
- 支持 100 kHz 和 400 kHz 总线规范
- 支持严格 I²C 保留地址规则

图 24-1 给出了 I²C 模块的框图。

图 24-1： I²C™ 框图


内部数据总线
I2CxRCV
读
SCK
移位时钟
I2CRSR
LSB
SDA
匹配检测
地址匹配
I2CADRMASK
写
I2CxADD
读
启动位和
停止位检测
启动、重复启动
和停止位产生
I2CxSTAT
写
读
冲突检测
控制逻辑
I2CxCON
写
读
应答产生
时钟延长
写
I2CxTRN
LSB
读
移位时钟
重载控制
写
BRG 递减计数器
I2CxBRG
读
PBCLK

24.2 控制和状态寄存器

注：	不同的 PIC32MX 器件型号可能具有一个或多个 I²C 模块。在引脚、控制 / 状态位和寄存器的名称中使用的“x”表示特定的模块。更多详细信息，请参见具体器件数据手册。

PIC32MX I²C 模块包含以下特殊功能寄存器 （Special Function Register， SFR）：

- I2CxCON：I²C 模块控制寄存器
  I2CxCONCLR、 I2CxCONSET 和 I2CxCONINV：I2CxCON 的原子级位操作只写寄存器
- I2CxSTAT：I²C 模块状态寄存器
  I2CxSTATCLR、 I2CxSTATSET 和 I2CxSTATINV：I2CxSTAT 的原子级位操作只写寄存器
- I2CxMSK：地址掩码寄存器（指定 I2CxADD 中的哪些位可以忽略，从而提供了多地址支持）
  I2CxMSKCLR、 I2CxMSKSET 和 I2CxMSKINV：I2CxMSK 的原子级位操作只写寄存器
- I2CxRCV：接收缓冲寄存器 （只读）
- I2CxTRN：发送寄存器 （读 / 写）
  I2CxTRNCLR、 I2CxTRNSET 和 I2CxTRNINV：I2CxTRN 的原子级位操作只写寄存器
- I2CxADD：地址寄存器 （保存从器件地址）
  I2CxADDCLR、 I2CxADDSET 和 I2CxADDINV：I2CxADD 的原子级位操作只写寄存器
- I2CxBRG：波特率发生器重载寄存器（保存 I²C 模块波特率发生器的波特率发生器重载值）
  I2CxBRGCLR、 I2CxBRGSET 和 I2CxBRGINV：I2CxBRG 的原子级位操作只写寄存器

此外，每个 I²C 模块还具有以下用于中断控制的相关位：

- I2CxMIF：主器件中断标志状态位 （在 IFC0 和 IFC1 INT 寄存器中）
- I2CxSIF：从器件中断标志状态位 （在 IFS0 和 IFS1 INT 寄存器中）
- I2CxBIF：总线冲突中断标志状态位 （在 IFS0 和 IFS1 INT 寄存器中）
- I2CxMIE：主器件中断允许控制位 （在 IEC0 和 IEC1 INT 寄存器中）
- I2CxSIE：从器件中断允许控制位 （在 IEC0 和 IEC1 INT 寄存器中）
- I2CxBIE：总线冲突中断允许控制位 （在 IEC0 和 IEC1 INT 寄存器中）
- I2CxIP<2:0>：中断优先级控制位 （在 IPC6 和 IPC8 INT 寄存器中）
- I2CxIS<1:0>：中断子优先级控制位 （在 IPC6 和 IPC8 INT 寄存器中）

下表汇总了所有与 I²C 模块相关的寄存器。该汇总表之后列出了相应的寄存器，并且每个寄存器均附有详细的说明。

I²C™ SFR 汇总

名称		Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
I2CxCON	31:24	—	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	—	—	—
	15:8	ON	FRZ	SIDL	SCLREL	STRICT	A10M	DISSLW	SMEN
	7:0	GCEN	STREN	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
I2CxCONCLR	31:0	写入时会将 I2CxCON 中的选定位清零，读取时获得的值未定义							
I2CxCONSET	31:0	写入时会将 I2CxCON 中的选定位置 1，读取时获得的值未定义							
I2CxCONINV	31:0	写入时会将 I2CxCON 中的选定位取反，读取时获得的值未定义							
I2CxSTAT	31:24	—	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	—	—	—
	15:8	ACKSTAT	TRSTAT	—	—	—	BCL	GCSTAT	ADD10
	7:0	IWCOL	I2COV	D/$\overline{A}$	P	S	R/$\overline{W}$	RBF	TBF
I2CxSTATCLR	31:0	写入时会将 I2CxSTAT 中的选定位清零，读取时获得的值未定义							
I2CxSTATSET	31:0	写入时会将 I2CxSTAT 中的选定位置 1，读取时获得的值未定义							
I2CxSTATINV	31:0	写入时会将 I2CxSTAT 中的选定位取反，读取时获得的值未定义							
I2CxADD	31:24	—	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	—	—	—
	15:8	—	—	—	—	—	—	ADD<9:8>	
	7:0	ADD<7:0>							
I2CxADDCLR	31:0	写入时会将 I2CxADD 中的选定位清零，读取时获得的值未定义							
I2CxADDSET	31:0	写入时会将 I2CxADD 中的选定位置 1，读取时获得的值未定义							
I2CxADDINV	31:0	写入时会将 I2CxADD 中的选定位取反，读取时获得的值未定义							
I2CxMSK	31:24	—	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	—	—	—
	15:8	—	—	—	—	—	—	MSK<9:8>	
	7:0	MSK<7:0>							
I2CxMSKCLR	31:0	写入时会将 I2CxMSK 中的选定位清零，读取时获得的值未定义							
I2CxMSKSET	31:0	写入时会将 I2CxMSK 中的选定位置 1，读取时获得的值未定义							
I2CxMSKINV	31:0	写入时会将 I2CxMSK 中的选定位取反，读取时获得的值未定义							
I2CxBRG	31:24	—	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	—	—	—
	15:8	—	—	—	—	I2CxBRG<11:8>			
	7:0	I2CxBRG<7:0>							
I2CxBRGCLR	31:0	写入时会将 I2CxBRG 中的选定位清零，读取时获得的值未定义							
I2CxBRGSET	31:0	写入时会将 I2CxBRG 中的选定位置 1，读取时获得的值未定义							
I2CxBRGINV	31:0	写入时会将 I2CxBRG 中的选定位取反，读取时获得的值未定义							
I2CxTRN	31:24	—	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	—	—	—
	15:8	—	—	—	—	—	—	—	—
	7:0	I2CTxDATA<7:0>							
I2CxTRNCLR	31:0	写入时会将 I2CxTRN 中的选定位清零，读取时获得的值未定义							
I2CxTRNSET	31:0	写入时会将 I2CxTRN 中的选定位置 1，读取时获得的值未定义							
I2CxTRNINV	31:0	写入时会将 I2CxTRN 中的选定位取反，读取时获得的值未定义							

I²C™ SFR 汇总 （续）

名称		Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
I2CxRCV	31:24	—	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	—	—	—
	15:8	—	—	—	—	—	—	—	—
	7:0	I2CRXDATA<7:0>							
IFS0	31:24	I2C1MIF	I2C1SIF	I2C1BIF	U1TXIF	U1RXIF	U1EIF	SPI1RXIF	SPI1TXIF
	23:16	SPI1EIF	OC5IF	IC5IF	T5IF	INT4IF	OC4IF	IC4IF	T4IF
	15:8	INT3IF	OC3IF	IC3IF	T3IF	INT2IF	OC2IF	IC2IF	T2IF
	7:0	INT1IF	OC1IF	IC1IF	T1IF	INT0IF	CS1IF	CS0IF	CTIF
IFS1	31:24	—	—	—	—	—	—	USBIF	FCEIF
	23:16	—	—	—	—	DMA3IF	DMA2IF	DMA1IF	DMA0IF
	15:8	RTCCIF	FSCMIF	I2C2MIF	I2C2SIF	I2C2BIF	U2TXIF	U2RXIF	U2EIF
	7:0	SPI2RXIF	SPI2TXIF	SPI2EIF	CMP2IF	CMP1IF	PMPIF	AD1IF	CNIF
IEC0	31:24	I2C1MIE	I2C1SIE	I2C1BIE	U1TXIE	U1RXIE	U1EIE	SPI1RXIE	SPI1TXIE
	23:16	SPI1EIE	OC5IE	IC5IE	T5IE	INT4IE	OC4IE	IC4IE	T4IE
	15:8	INT3IE	OC3IE	IC3IE	T3IE	INT2IE	OC2IE	IC2IE	T2IE
	7:0	INT1IE	OC1IE	IC1IE	T1IE	INT0IE	CS1IE	CS0IE	CTIE
IEC1	31:24	—	—	—	—	—	—	USBIE	FCEIE
	23:16	—	—	—	—	DMA3IE	DMA2IE	DMA1IE	DMA0IE
	15:8	RTCCIE	FSCMIE	I2C2MIE	I2C2SIE	I2C2BIE	U2TXIE	U2RXIE	U2EIE
	7:0	SPI2RXIE	SPI2TXIE	SPI2EIE	CMP2IE	CMP1IE	PMPIE	AD1IE	CNIE
IPC6	31:24	—	—	—	AD1IP<2:0>			AD1IS<1:0>	
	23:16	—	—	—	CNIP<2:0>			CNIS<1:0>	
	15:8	—	—	—	I2C1IP<2:0>			I2C1IS<1:0>	
	7:0	—	—	—	U1IP<2:0>			U1IS<1:0>	
IPC8	31:24	—	—	—	RTCCIP<2:0>			RTCCIS<1:0>	
	23:16	—	—	—	FSCMIP<2:0>			FSCMIS<1:0>	
	15:8	—	—	—	I2C2IP<2:0>			I2C2IS<1:0>	
	7:0	—	—	—	U2IP<2:0>			U2IS<1:0>	

寄存器 24-1： I2CxCON：I²C 控制寄存器

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 31							bit 24

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 23							bit 16

R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
ON	FRZ	SIDL	SCLREL	STRICT	A10M	DISSLW	SMEN
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
GCEN	STREN	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	P = 可编程位	r = 保留位
U = 未实现位	-n = POR 时的值：（0， 1， x = 未知）		

bit 31-16 **保留：**写入 0；忽略读操作

bit 15 **ON：**I²C 使能位
1 = 使能 I²C 模块，并将 SDA 和 SCL 引脚配置为串口引脚
0 = 禁止 I²C 模块；所有 I²C 引脚由端口功能控制

注： 使用 1:1 PBCLK 分频比时，在清零模块 ON 位的指令之后，用户的软件不应立即在 SYSCLK 周期中读 / 写外设的 SFR。

bit 14 **FRZ：**DEBUG（调试）模式冻结控制位（仅在 DEBUG（调试）模式下可读 / 写；其他情况下读为 0）
1 = 处于 DEBUG （调试）模式时模块停止工作
0 = 处于 DEBUG （调试）模式时模块不停止工作

注： FRZ 仅在调试异常模式下可写，在正常模式下强制为 0。

bit 13 **SIDL：**IDLE （空闲）模式停止位
1 = 当器件进入 IDLE （空闲）模式时，模块停止工作
0 = 在 IDLE （空闲）模式下模块继续工作

bit 12 **SCLREL：**SCL 释放控制位
仅适用于 I²C 从模式
模块复位和 （ON = 0）会设置 SCLREL = 1
如果 STREN = 0：
1 = 释放时钟
0 = 保持时钟为低电平 （时钟延长）

注： 在从器件发送开始时自动清零。

如果 STREN = 1：
1 = 释放时钟
0 = 保持时钟为低电平（时钟延长）。用户可以将该位设定为 0，强制在下一次 SCL 低电平时产生时钟延长。

注： 在从器件发送开始时自动清零；在从器件接收结束时自动清零。

寄存器 24-1： I2CxCON：I²C 控制寄存器 （续）

bit 11 **STRICT**：严格 I²C 保留地址规则使能位
1 = 强制实行严格保留寻址规则。器件不响应保留地址空间或产生处于保留地址空间中的地址。
0 = 不使能严格 I²C 保留地址规则

bit 10 **A10M**：10 位从器件地址标志位
1 = I2CxADD 为 10 位从器件地址
0 = I2CxADD 为 7 位从器件地址

bit 9 **DISSLW**：压摆率控制禁止位
1 = 标准速度模式下禁止压摆率控制 （100 kHz）； 1 MHz 模式下也禁止
0 = 高速模式下使能压摆率控制 （400 kHz）

bit 8 **SMEN**：SMBus 输入电平禁止位
1 = 使能输入逻辑以使门限值符合 SMBus 规范
0 = 禁止 SMBus 特定输入

bit 7 **GCEN**：广播呼叫使能位
仅适用于 I²C 从模式
1 = 允许在 I2CSR 中接收到广播呼叫地址时产生中断。已使能模块接收。
0 = 禁止广播呼叫地址

bit 6 **STREN**：SCL 时钟延长使能位
仅适用于 I²C 从模式；与 SCLREL 位配合使用。
1 = 使能时钟延长
0 = 禁止时钟延长

bit 5 **ACKDT**：应答数据位
仅适用于 I²C 主模式；适用于主模式接收期间。当用户在接收结束时发出一个应答序列时将发送的值。
1 = 发送 NACK
0 = 发送 ACK

bit 4 **ACKEN**：应答序列使能位
仅适用于 I²C 主模式；适用于主模式接收期间
1 = 在 SDA 和 SCL 引脚上发出应答序列，并发送 ACKDT 数据位；由模块清零
0 = 应答序列空闲

bit 3 **RCEN**：接收使能位
仅适用于 I²C 主模式
1 = 使能 I²C 接收模式，在接收完 8 位数据字节时由模块自动清零
0 = 接收序列不在进行中

bit 2 **PEN**：停止条件使能位
仅适用于 I²C 主模式
1 = 在 SDA 和 SCL 引脚上发出停止条件；由模块清零
0 = 停止条件空闲

bit 1 **RSEN**：重复启动条件使能位
仅适用于 I²C 主模式
1 = 在 SDA 和 SCL 引脚上发出重复启动条件；由模块清零
0 = 重复启动条件空闲

bit 0 **SEN**：启动条件使能位
仅适用于 I²C 主模式
1 = 在 SDA 和 SCL 引脚上发出启动条件；由模块清零
0 = 启动条件空闲

寄存器 24-2： I2CxCONCLR：I²C “x”控制清零寄存器

写入时会将 I2CxCON 中的选定位清零，读取时获得的值未定义
bit 31 ... bit 0

bit 31-0 **将 I2CxCON 中的选定位清零**

在一个或多个位中写入 1 会将 I2CxCON 寄存器中的相应位清零，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxCONCLR = 0x00008001 时，会将 I2CxCON 寄存器中的 bit 15 和 bit 0 清零。

寄存器 24-3： I2CxCONSET：I²C “x”控制置 1 寄存器

写入时会将 I2CxCON 中的选定位置 1，读取时获得的值未定义
bit 31 ... bit 0

bit 31-0 **将 I2CxCON 中的选定位置 1**

在一个或多个位中写入 1 会将 I2CxCON 寄存器中的相应位置 1，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxCONSET = 0x00008001 时，会将 I2CxCON 寄存器中的 bit 15 和 bit 0 置 1。

寄存器 24-4： I2CxCONINV：I²C “x”控制取反寄存器

写入时会将 I2CxCON 中的选定位取反，读取时获得的值未定义
bit 31 ... bit 0

bit 31-0 **将 I2CxCON 中的选定位取反**

在一个或多个位中写入 1 会将 I2CxCON 寄存器中的相应位取反，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxCONINV = 0x00008001 时，会将 I2CxCON 寄存器中的 bit 15 和 bit 0 取反。

寄存器 24-5： I2CxSTAT：I^2C 状态寄存器

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 31							bit 24

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 23							bit 16

R-0	R-0	r-x	r-x	r-x	R/W-0	R-0	R-0
ACKSTAT	TRSTAT	—	—	—	BCL	GCSTAT	ADD10
bit 15							bit 8

R/W-0	R/W-0	R-0	R/W-0	R/W-0	R-0	R-0	R-0
IWCOL	I2COV	D/$\overline{A}$	P	S	R/$\overline{W}$	RBF	TBF
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	P = 可编程位	r = 保留位
U = 未实现位	-n = POR 时的值：（0， 1， x = 未知）		

bit 31-16 **保留：**写入 0；忽略读操作

bit 15 **ACKSTAT：**应答状态位
适用于 I^2C 主模式和从模式；适用于发送和接收操作。
1 = 未接收到应答
0 = 接收到应答

bit 14 **TRSTAT：**发送状态位
仅适用于 I^2C 主模式；适用于主发送模式。
1 = 主器件正在进行发送 （8 位 + $\overline{ACK}$）
0 = 主器件不在进行发送

bit 13-11 **保留：**写入 0；忽略读操作

bit 10 **BCL：**主器件总线冲突检测位
当 I^2C 模块被禁止 （ON = 0）时清零。
1 = 主器件工作期间检测到总线冲突
0 = 未检测到冲突

bit 9 **GCSTAT：**广播呼叫状态位
在检测到停止条件之后清零。
1 = 接收到广播呼叫地址
0 = 未接收到广播呼叫地址

bit 8 **ADD10：**10 位地址状态位
在检测到停止条件之后清零。
1 = 10 位地址匹配
0 = 10 位地址不匹配

bit 7 **IWCOL：**写冲突检测位
1 = 因为 I^2C 模块忙，尝试写 I2CxTRN 寄存器失败。
必须用软件清零。
0 = 未发生冲突

寄存器 24-5：　I2CxSTAT：I²C 状态寄存器 （续）

bit 6　**I2COV**：I²C 接收溢出状态位
1 = 当 I2CxRCV 寄存器仍然保存原先字节的情况下接收到了新字节。
在发送模式下 I2COV 为 “无关位”。必须用软件清零。
0 = 未溢出

bit 5　**D/$\overline{A}$**：数据 / 地址位
仅对从模式操作有效。
1 = 指示上次接收或发送的字节为数据
0 = 指示上次接收或发送的字节为地址

bit 4　**P**：停止位
当检测到启动、重复启动或停止条件时更新；当 I²C 模块被禁止 （ON = 0）时清零。
1 = 指示上次检测到停止位
0 = 上次未检测到停止位

bit 3　**S**：启动位
当检测到启动、重复启动或停止条件时更新；当 I²C 模块被禁止 （ON = 0）时清零。
1 = 指示上次检测到启动 （或重复启动）位
0 = 上次未检测到启动位

bit 2　**R/$\overline{W}$**：读 / 写信息位
仅对从模式操作有效。
1 = 读——指示数据传输自从器件输出
0 = 写——指示数据传输输入到从器件

bit 1　**RBF**：接收缓冲区满状态位
1 = 接收完成； I2CxRCV 为满
0 = 接收未完成； I2CxRCV 为空

bit 0　**TBF**：发送缓冲区满状态位
1 = 发送正在进行中； I2CxTRN 为满 （8 位数据）
0 = 发送完成； I2CxTRN 为空

寄存器 24-6： I2CxSTATCLR：I²C “x”状态清零寄存器

写入时会将 I2CxSTAT 中的选定位清零，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxSTAT 中的选定位清零**

在一个或多个位中写入 1 会将 I2CxSTAT 寄存器中的相应位清零，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxSTATCLR = 0x00008001 时，会将 I2CxSTAT 寄存器中的 bit 15 和 bit 0 清零。

寄存器 24-7： I2CxSTATSET：I²C “x”状态置 1 寄存器

写入时会将 I2CxSTAT 中的选定位置 1，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxSTAT 中的选定位置 1**

在一个或多个位中写入 1 会将 I2CxSTAT 寄存器中的相应位置 1，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxSTATSET = 0x00008001 时，会将 I2CxSTAT 寄存器中的 bit 15 和 bit 0 置 1。

寄存器 24-8： I2CxSTATINV：I²C “x”状态取反寄存器

写入时会将 I2CxSTAT 中的选定位取反，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxSTAT 中的选定位取反**

在一个或多个位中写入 1 会将 I2CxSTAT 寄存器中的相应位取反，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxSTATINV = 0x00008001 时，会将 I2CxSTAT 寄存器中的 bit 15 和 bit 0 取反。

寄存器 24-9： I2CxADD：I²C 从器件地址寄存器

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 31							bit 24

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 23							bit 16

r-x	r-x	r-x	r-x	r-x	r-x	R/W-0	R/W-0
—	—	—	—	—	—	ADD<9:8>	
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADD<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	P = 可编程位	r = 保留位
U = 未实现位	-n = POR 时的值：（0， 1， x = 未知）		

bit 31-10 **保留：**写入 0；忽略读操作

bit 9-0 **ADD<9:0>：**I²C 从器件地址位
主模式或从模式

寄存器 24-10： I2CxADDCLR：I²C “x”从器件地址清零寄存器

写入时会将 I2CxADD 中的选定位清零，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxADD 中的选定位清零**

在一个或多个位中写入 1 会将 I2CxADD 寄存器中的相应位清零，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxADDCLR = 0x00008001 时，会将 I2CxADD 寄存器中的 bit 15 和 bit 0 清零。

寄存器 24-11： I2CxADDSET：I²C “x”从器件地址置 1 寄存器

写入时会将 I2CxADD 中的选定位置 1，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxADD 中的选定位置 1**

在一个或多个位中写入 1 会将 I2CxADD 寄存器中的相应位置 1，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxADDSET = 0x00008001 时，会将 I2CxADD 寄存器中的 bit 15 和 bit 0 置 1。

寄存器 24-12： I2CxADDINV：I²C “x”从器件地址取反寄存器

写入时会将 I2CxADD 中的选定位取反，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxADD 中的选定位取反**

在一个或多个位中写入 1 会将 I2CxADD 寄存器中的相应位取反，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxADDINV = 0x00008001 时，会将 I2CxADD 寄存器中的 bit 15 和 bit 0 取反。

寄存器 24-13： I2CxMSK：I²C 地址掩码寄存器

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 31							bit 24

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 23							bit 16

r-x	r-x	r-x	r-x	r-x	r-x	R/W-0	R/W-0
—	—	—	—	—	—	MSK<9:8>	
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
MSK<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	P = 可编程位	r = 保留位
U = 未实现位	-n = POR 时的值：（0， 1， x = 未知）		

bit 31-10 **保留：**写入 0；忽略读操作

bit 9-0 **MSK<9:0>：**I²C 地址掩码位

1 = 将传入地址匹配序列中的特定位单元强制设为 “无关位”。
0 = 地址位单元必须与传入的 I²C 地址匹配序列匹配。

注： MSK<9:8> 和 MSK<0> 仅在 I²C 10 位模式下使用。

寄存器 24-14： I2CxMSKCLR：I²C “x”地址掩码清零寄存器

写入时会将 I2CxMSK 中的选定位清零，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxMSK 中的选定位清零**

在一个或多个位中写入 1 会将 I2CxMSK 寄存器中的相应位清零，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxMSKCLR = 0x00008001 时，会将 I2CxMSK 寄存器中的 bit 15 和 bit 0 清零。

寄存器 24-15： I2CxMSKSET：I²C “x”地址掩码置 1 寄存器

写入时会将 I2CxMSK 中的选定位置 1，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxMSK 中的选定位置 1**

在一个或多个位中写入 1 会将 I2CxMSK 寄存器中的相应位置 1，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxMSKSET = 0x00008001 时，会将 I2CxMSK 寄存器中的 bit 15 和 bit 0 置 1。

寄存器 24-16： I2CxMSKINV：I²C “x”地址掩码取反寄存器

写入时会将 I2CxMSK 中的选定位取反，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxMSK 中的选定位取反**

在一个或多个位中写入 1 会将 I2CxMSK 寄存器中的相应位取反，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxMSKINV = 0x00008001 时，会将 I2CxMSK 寄存器中的 bit 15 和 bit 0 取反。

寄存器 24-17： I2CxBRG：I²C 波特率发生器寄存器

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 31							bit 24

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 23							bit 16

r-x	r-x	r-x	r-x	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	I2CxBRG<11:8>			
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
I2CxBRG<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	P = 可编程位	r = 保留位
U = 未实现位	-n = POR 时的值：（0， 1， x = 未知）		

bit 31-12 **保留：**写入 0；忽略读操作

bit 11-0 **I2CxBRG<11:0>：**I²C 波特率发生器值位
外设时钟的分频函数。

寄存器 24-18： I2CxBRGCLR：I²C “x”波特率发生器清零寄存器

写入时会将 I2CxBRG 中的选定位清零，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxBRG 中的选定位清零**

在一个或多个位中写入 1 会将 I2CxBRG 寄存器中的相应位清零，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxBRGCLR = 0x00008001 时，会将 I2CxBRG 寄存器中的 bit 15 和 bit 0 清零。

寄存器 24-19： I2CxBRGSET：I²C “x”波特率发生器置 1 寄存器

写入时会将 I2CxBRG 中的选定位置 1，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxBRG 中的选定位置 1**

在一个或多个位中写入 1 会将 I2CxBRG 寄存器中的相应位置 1，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxBRGSET = 0x00008001 时，会将 I2CxBRG 寄存器中的 bit 15 和 bit 0 置 1。

寄存器 24-20： I2CxBRGINV：I²C “x”波特率发生器取反寄存器

写入时会将 I2CxBRG 中的选定位取反，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxBRG 中的选定位取反**

在一个或多个位中写入 1 会将 I2CxBRG 寄存器中的相应位取反，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxBRGINV = 0x00008001 时，会将 I2CxBRG 寄存器中的 bit 15 和 bit 0 取反。

寄存器 24-21： I2CxTRN：I²C 发送数据寄存器

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 31							bit 24

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 23							bit 16

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
I2CTXDATA<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	P = 可编程位	r = 保留位
U = 未实现位	-n = POR 时的值：（0， 1， x = 未知）		

bit 31-8 **保留：**写入 0；忽略读操作

bit 7-0 **I2CTXDATA<7:0>：**I²C 发送数据缓冲区位

寄存器 24-22： I2CxTRNCLR：I²C “x”发送数据清零寄存器

写入时会将 I2CxTRN 中的选定位清零，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxTRN 中的选定位清零**

在一个或多个位中写入 1 会将 I2CxTRN 寄存器中的相应位清零，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxTRNCLR = 0x00008001 时，会将 I2CxTRN 寄存器中的 bit 15 和 bit 0 清零。

寄存器 24-23： I2CxTRNSET：I²C “x”发送数据置 1 寄存器

写入时会将 I2CxTRN 中的选定位置 1，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxTRN 中的选定位置 1**

在一个或多个位中写入 1 会将 I2CxTRN 寄存器中的相应位置 1，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxTRNSET = 0x00008001 时，会将 I2CxTRN 寄存器中的 bit 15 和 bit 0 置 1。

寄存器 24-24： I2CxTRNINV：I²C “x”发送数据取反寄存器

写入时会将 I2CxTRN 中的选定位取反，读取时获得的值未定义	
bit 31	bit 0

bit 31-0 **将 I2CxTRN 中的选定位取反**

在一个或多个位中写入 1 会将 I2CxTRN 寄存器中的相应位取反，但不会影响未实现位或只读位。写入 0 不会影响该寄存器。

示例： I2CxTRNINV = 0x00008001 时，会将 I2CxTRN 寄存器中的 bit 15 和 bit 0 取反。

寄存器 24-25： I2CxRCV：I²C 接收数据寄存器

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 31							bit 24

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 23							bit 16

r-x	r-x	r-x	r-x	r-x	r-x	r-x	r-x
—	—	—	—	—	—	—	—
bit 15							bit 8

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
I2CRXDATA<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	P = 可编程位	r = 保留位
U = 未实现位	-n = POR 时的值：（0， 1， x = 未知）		

bit 31-8 **保留：**写入 0；忽略读操作

bit 7-0 **I2CRXDATA<7:0>：**I²C 接收数据缓冲区位

寄存器 24-26： IFS0：中断标志状态寄存器 0(1)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
I2C1MIF	I2C1SIF	I2C1BIF	U1TXIF	U1RXIF	U1EIF	SPI1RXIF	SPI1TXIF
bit 31							bit 24

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SPI1EIF	OC5IF	IC5IF	T5IF	INT4IF	OC4IF	IC4IF	T4IF
bit 23							bit 16

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
INT3IF	OC3IF	IC3IF	T3IF	INT2IF	OC2IF	IC2IF	T2IF
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	RW-0	RW-0	RW-0
INT1IF	OC1IF	IC1IF	T1IF	INT0IF	CS1IF	CS0IF	CTIF
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	P = 可编程位	r = 保留位
U = 未实现位	-n = POR 时的值：（0， 1， x = 未知）		

bit 31 **I2C1MIF**：I^2C 主器件中断标志状态位
1 = 产生了中断请求
0 = 未产生中断请求

bit 30 **I2C1SIF**：I^2C 从器件中断标志状态位
1 = 产生了中断请求
0 = 未产生中断请求

bit 29 **I2C1BIF**：I^2C 总线冲突中断标志状态位
1 = 产生了中断请求
0 = 未产生中断请求

注 1： 该中断寄存器中的阴影位名称用于控制其他 PIC32MX 外设，与 I^2C™ 无关。

寄存器 24-27： IEC0：中断允许控制寄存器 0(1)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
I2C1MIE	I2C1SIE	I2C1BIE	U1TXIE	U1RXIE	U1EIE	SPI1RXIE	SPI1TXIE
bit 31							bit 24

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SPI1EIE	OC5IE	IC5IE	T5IE	INT4IE	OC4IE	IC4IE	T4IE
bit 23							bit 16

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
INT3IE	OC3IE	IC3IE	T3IE	INT2IE	OC2IE	IC2IE	T2IE
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
INT1IE	OC1IE	IC1IE	T1IE	INT0IE	CS1IE	CS0IE	CTIE
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	P = 可编程位	r = 保留位
U = 未实现位	-n = POR 时的值：（0， 1， x = 未知）		

bit 31 **I2C1MIE**：I²C 主器件中断允许控制位
1 = 允许中断
0 = 禁止中断

bit 30 **I2C1SIE**：I²C 从器件中断允许控制位
1 = 允许中断
0 = 禁止中断

bit 29 **I2C1BIE**：I²C 总线冲突中断允许控制位
1 = 允许中断
0 = 禁止中断

注 1： 该中断寄存器中的阴影位名称用于控制其他 PIC32MX 外设，与 I²C™ 无关。

寄存器 24-28： IPC6：中断优先级控制寄存器 6(1)

r-x	r-x	r-x	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	AD1IP<2:0>			AD1IS<1:0>	
bit 31							bit 24

r-x	r-x	r-x	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	CNIP<2:0>			CNIS<1:0>	
bit 23							bit 16

r-x	r-x	r-x	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	I2C1IP<2:0>			I2C1IS<1:0>	
bit 15							bit 8

r-x	r-x	r-x	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	U1IP<2:0>			U1IS<1:0>	
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	P = 可编程位	r = 保留位
U = 未实现位	-n = POR 时的值：（0， 1， x = 未知）		

bit 12-10 **I2C1IP<2:0>：**I^2C1 中断优先级位

111 = 中断优先级为 7
110 = 中断优先级为 6
101 = 中断优先级为 5
100 = 中断优先级为 4
011 = 中断优先级为 3
010 = 中断优先级为 2
001 = 中断优先级为 1
000 = 禁止中断

bit 9-8 **I2C1IS<1:0>：**I^2C1 子优先级位

11 = 中断子优先级为 3
10 = 中断子优先级为 2
01 = 中断子优先级为 1
00 = 中断子优先级为 0

注 1： 该中断寄存器中的阴影位名称用于控制其他 PIC32MX 外设，与 I^2C™ 无关。

寄存器 24-29： IPC8：中断优先级控制寄存器 8(1)

r-x	r-x	r-x	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	RTCCIP<2:0>			RTCCIS<1:0>	
bit 31							bit 24

r-x	r-x	r-x	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	FCSMIP<2:0>			FCSMIS<1:0>	
bit 23							bit 16

r-x	r-x	r-x	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	I2C2IP<2:0>			I2C2IS<1:0>	
bit 15							bit 8

r-x	r-x	r-x	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	U2IP<2:0>			U2IS<1:0>	
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	P = 可编程位	r = 保留位
U = 未实现位	-n = POR 时的值：（0， 1， x = 未知）		

bit 12-10 **I2C2IP<2:0>：** I²C2 中断优先级位
111 = 中断优先级为 7
110 = 中断优先级为 6
101 = 中断优先级为 5
100 = 中断优先级为 4
011 = 中断优先级为 3
010 = 中断优先级为 2
001 = 中断优先级为 1
000 = 禁止中断

bit 9-8 **I2C2IS<1:0>：** I²C2 子优先级位
11 = 中断子优先级为 3
10 = 中断子优先级为 2
01 = 中断子优先级为 1
00 = 中断子优先级为 0

注 1： 该中断寄存器中的阴影位名称用于控制其他 PIC32MX 外设，与 I²C™ 无关。

24.3 I²C™ 总线特性

I²C 总线是二线制串行接口。图 24-2 给出了 PIC32MX 器件和 24LC256 I²C 串行 EEPROM 之间的 I²C 连接示意图，这是任何 I²C 接口的典型示例。

接口采用一个综合协议，以确保数据的可靠发送和接收。进行通信时，一个器件作为主器件启动总线上的数据传输，并产生时钟信号以允许传输，而另一个（几个）器件作为从器件对数据传输作出响应。时钟线 SCLx 为主器件的输出和从器件的输入，虽然从器件偶尔也可驱动 SCLx 线。数据线 SDAx 可以是主器件和从器件的输出和输入。

因为 SDAx 和 SCLx 线是双向的，所以驱动 SDAx 和 SCLx 线的器件的输出级必须为漏极开路输出，以便执行总线的线“与”功能。使用外接上拉电阻以确保在没有器件将数据线拉低时线路能保持高电平。

在 I²C 接口协议中，每个器件都有一个地址。当某个主器件要启动数据传输时，它首先发送它要与之进行通信的器件地址。所有的器件均会监听，看是否是自己的地址。在该地址中，bit 0 指定主器件是要自从器件读数据还是向从器件写数据。在数据传输期间，主器件和从器件始终处于相反的工作模式（发送器 / 接收器）。即，可以将它们看作是工作于以下两种关系之一：

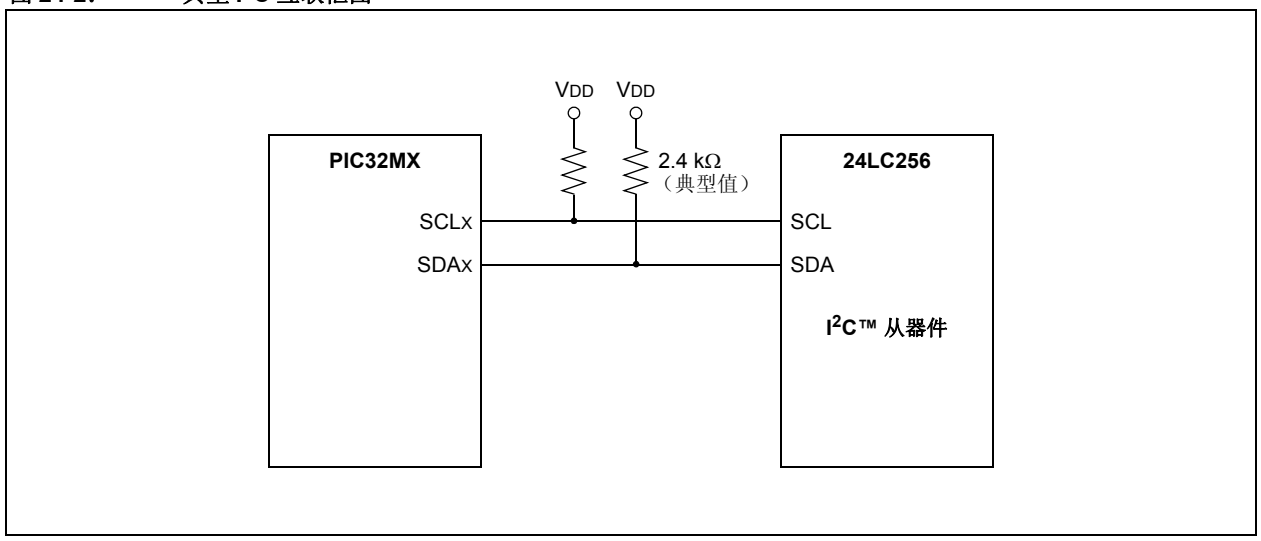
- 主器件——发送器，从器件——接收器
- 从器件——发送器，主器件——接收器

在两种情况中，均由主器件产生 SCLx 时钟信号。

V2.1 I²C 规范中规定的以下模式和特性不受支持：

- HS 模式，以及在 F/S 模式和 HS 模式之间切换
- 启动字节
- CBUS 兼容性
- 广播呼叫地址的第二个字节

图 24-2： 典型 I²C 互联框图



24.3.1 总线协议

I²C 总线协议定义如下：

- 只有在总线不忙时才能启动数据传输。
- 在数据传输期间，只要 SCLx 时钟线为高电平，数据线就必须保持稳定。在 SCLx 时钟线为高电平时，数据线的电平变化将被解析为启动或停止条件。

相应地，定义了如图 24-3 所示的总线条件。

24.3.1.1 启动数据传输 （S）

在总线空闲状态之后，当时钟（SCLx）为高电平时，SDAx 线从高电平跳变到低电平产生启动条件。所有数据传输都必须以启动条件开始。

24.3.1.2 停止数据传输 （P）

当时钟（SCLx）为高电平时，SDAx 线从低电平跳变到高电平产生停止条件。所有数据传输都必须以停止条件结束。

24.3.1.3 重复启动 （R）

在等待状态之后，当时钟（SCLx）为高电平时，SDAx 线从高电平跳变到低电平产生重复启动条件。重复启动条件使主器件可在不放弃总线控制的情况下更改所寻址从器件的总线方向。

24.3.1.4 数据有效 （D）

在启动条件之后，如果 SDAx 线在时钟信号的高电平期间保持稳定，则 SDAx 线的状态代表有效数据。每个 SCLx 时钟传送一位数据。

24.3.1.5 应答 （A）或不应答 （N）

所有的数据字节传输都必须由接收器进行应答 （$\overline{\text{ACK}}$）或不应答 （NACK）。接收器将 SDAx 线拉低则发出 $\overline{\text{ACK}}$，释放 SDAx 线则发出 NACK。应答为一位周期，使用一个 SCLx 时钟。

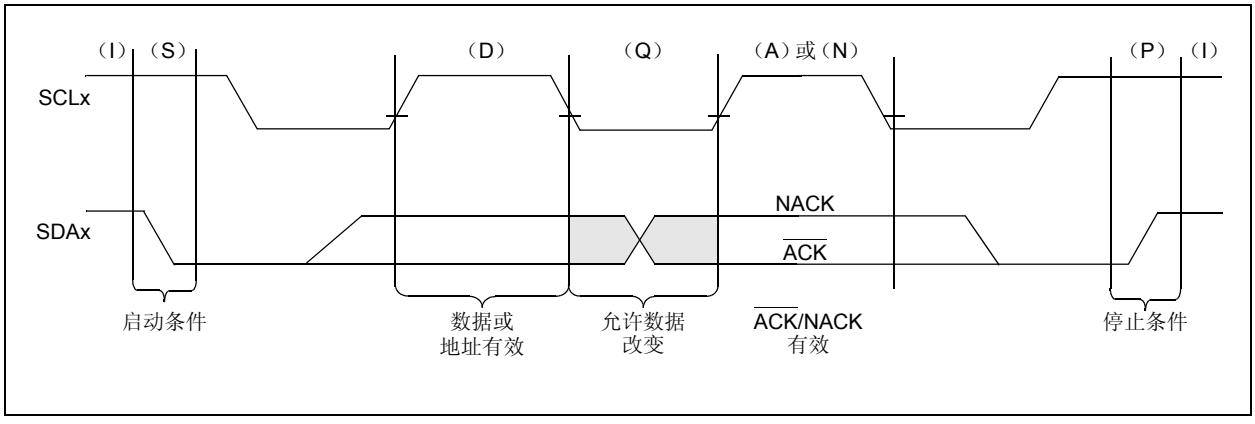
24.3.1.6 等待 / 数据无效 （Q）

数据线上的数据必须在时钟信号的低电平期间改变。器件也可以通过在 SCLx 上驱动低电平来延长时钟的低电平时间，使得总线处于等待状态。

24.3.1.7 总线空闲 （I）

在停止条件之后、启动条件之前的时间内，数据线和时钟线都保持高电平。

图 24-3： I²C 总线协议状态

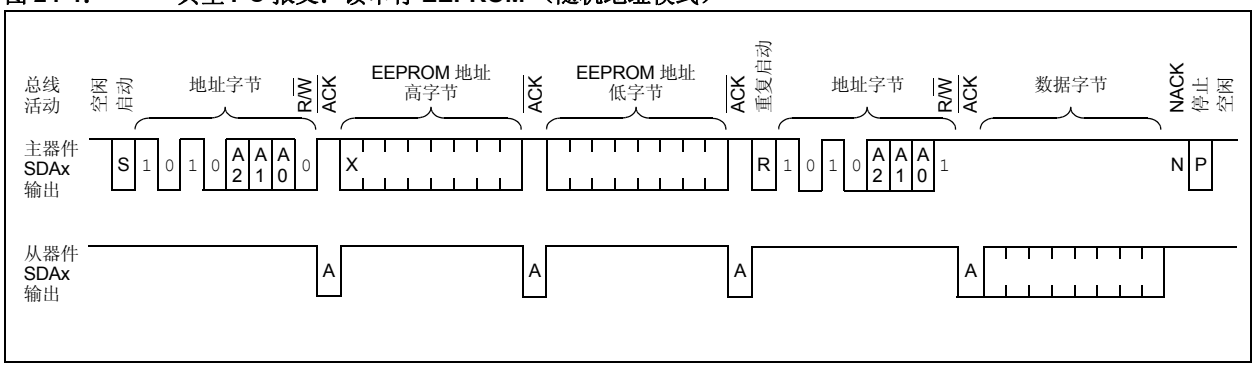


24.3.2 报文协议

图 24-4 所示为典型的 I²C 报文。在该示例中，报文将从 24LC256 I²C 串行 EEPROM 读取指定字节。 PIC32MX 器件将作为主器件，而 24LC256 器件作为从器件。

图 24-4 给出了由主器件驱动的数据和由从器件驱动的数据，要考虑到组合 SDAx 线上的数据是将主器件数据和从器件数据线“与”后的数据。主器件控制协议并产生协议序列。从器件仅在特定时间驱动总线。

图 24-4： 典型 I²C 报文：读串行 EEPROM （随机地址模式）



24.3.2.1 启动报文

每个报文均由启动条件启动并由停止条件终止。在启动和停止条件之间传输的数据字节数由主器件确定。根据系统协议的定义，报文中的字节可能具有特殊的含义，如“器件地址字节”或“数据字节”。

24.3.2.2 寻址从器件

在图 24-4 中，第一个字节是器件地址字节，它必须是任何 I²C 报文的第一部分。它包含一个器件地址和一个 R/W 位。关于地址字节格式的更多信息，请参见**附录 A**（请访问 Microchip 网站 www.microchip.com 获取）。请注意，对于第一个地址字节， R/W = 0 表示主器件作为发送器，而从器件作为接收器。

24.3.2.3 从器件应答

在接收每个字节之后，接收器件必须产生应答信号 （ACK）。主器件必须产生与应答位关联的额外的 SCLx 时钟。

24.3.2.4 主器件发送

紧接的 2 个字节是由主器件发送到从器件的数据字节，包含所请求的 EEPROM 数据字节的地址。从器件必须对每个数据字节作出应答。

24.3.2.5 重复启动

在该时序点，从器件 EEPROM 已具有向主器件返回所请求数据字节所必需的地址信息。但是，第一个器件地址字节中的 R/W 位指定了主器件发送数据，而从器件接收数据。要让从器件向主器件发送数据，总线必须转换为另一方向。

要执行该功能而不结束报文传送，主器件需发送“重复启动”条件。重复启动条件后面跟随一个器件地址字节，其中包含与先前相同的器件地址，其中 R/W = 1，表示从器件发送数据，而主器件接收数据。

24.3.2.6 从器件答复

现在，从器件通过驱动 SDAx 线发送数据字节，而主器件继续产生时钟，但释放对 SDAx 的驱动。

24.3.2.7 主器件应答

在读数据期间，主器件必须通过对报文的最后一个字节作出 “不应答”（产生 “NACK”）来终止对从器件的数据请求。除最后一个数据字节外，对于每个字节都会作出应答。

24.3.2.8 停止报文

主器件发送停止条件来终止报文并将总线恢复为空闲状态。

24.4 使能 I²C™ 操作

通过将 ON （I2CxCON<15>）位置 1 来使能模块。

I²C 模块完全实现了所有主器件和从器件功能。当模块使能时，主器件和从器件功能同时工作，并根据软件或总线事件作出响应。

当初始使能时，模块会释放 SDAx 和 SCLx 引脚，将总线置为空闲状态。除非软件将某个控制位置 1 来启动主器件事件，否则主器件功能将保持在空闲状态。从器件功能将开始监视总线。如果从器件逻辑在总线上检测到启动事件和有效的地址，从器件逻辑将开始从器件事务。

24.4.1 使能 I²C I/O

总线操作使用两个引脚。它们是 SCLx 引脚 （时钟线）和 SDAx 引脚 （数据线）。当模块使能时，如果没有其他更高优先级的模块在控制总线，则模块将获得对 SDAx 和 SCLx 引脚的控制。模块软件不需要关心引脚的端口 I/O 的状态，因为模块会改写端口状态和方向。在初始化时，引脚处于三态 （被释放）。

24.4.2 I²C 中断

I²C 模块可产生三种中断信号：从器件中断 （I2CxSIF）、主器件中断 （I2CxMIF）和总线冲突中断 （I2CxBIF）。从器件中断、主器件中断和总线冲突中断信号在 SCL 时钟的第 9 个时钟脉冲的下降沿置为高电平，并至少保持一个 PBCLK。这些中断会将相应的中断标志位置 1，并在相应的中断允许位已置 1 且相应的中断优先级足够高时中断 CPU。

可产生主器件中断 （I2CxMIF）的主模式操作如下：

1. 启动条件
   - 在 SDA 下降沿之后的 1 个 BRG （波特率发生器）时间
2. 重复启动序列
   - 在 SDA 下降沿之后的 1 个 BRG 时间
3. 停止条件
   - 在 SDA 上升沿之后的 1 个 BRG 时间
4. 数据传输字节接收
   - SCL 的第 8 个下降沿
   （自从器件接收到 8 个数据位之后）
5. 发送 $\overline{\text{ACK}}$ 序列期间
   - SCL 的第 9 个下降沿
   （向从器件发送 $\overline{\text{ACK}}$ 或 NACK 之后）
6. 数据传输字节发送
   - SCL 的第 9 个下降沿
   （无论是否自从器件接收到 $\overline{\text{ACK}}$）
7. 在从器件检测到停止条件期间
   - 当从器件将 P 位置 1 时

可产生从器件中断 （I2CxSIF）的从模式操作如下：

1. 检测到有效的器件地址 （包括广播呼叫）
   - SCL 的第 9 个下降沿
   （向主器件发送 ACK 之后。除非 STRICT = 1 或 GCEN = 1，否则地址必须匹配）
2. 接收到数据
   - SCL 的第 9 个下降沿
   （向主器件发送 ACK 之后）
3. 请求数据发送
   - SCL 的第 9 个下降沿
   （无论是否从主器件接收到 ACK）

可产生中断 （I2CxBIF）的总线冲突事件如下：

1. 启动序列期间
   - 在启动条件之前对 SDA 进行采样
2. 启动序列期间
   - 在 SDA = 0 之前， SCL = 0
3. 启动序列期间
   - 在 BRG 超时之前， SDA = 0
4. 重复启动序列期间
   - 如果在 SCL 变为高电平时， SDA 采样为 0
5. 重复启动序列期间
   - 如果在 SDA 变为低电平之前， SCL 变为低电平
6. 停止序列期间
   - 如果在允许 SDA 悬空之后采样到它为低电平
7. 停止序列期间
   - 如果在 SDA 变为高电平之前， SCL 变为低电平

24.4.3 I²C 发送和接收寄存器

I2CxTRN 是写入发送数据的寄存器。当模块作为主器件向从器件发送数据时，或作为从器件向主器件发送答复数据时，使用该寄存器。在报文的处理过程中， I2CxTRN 寄存器将移出各个数据位。因此，除非总线空闲，否则不能写入 I2CxTRN。

主器件或从器件正在接收的数据移入一个不可访问的移位寄存器 I2CxRSR。当接收到完整字节时，字节将传送到 I2CxRCV 寄存器。在接收操作中， I2CxRSR 和 I2CxRCV 共同构成一个双重缓冲接收器。这使得可以在读取所接收数据的当前字节之前开始接收下一字节。

如果在软件从 I2CxRCV 寄存器中读取前一字节之前，模块接收到另一完整字节，则发生接收器溢出， I2COV 位 （I2CxSTAT<6>）置 1。 I2CxRSR 中的字节将丢失。

I2CxADD 寄存器保存从器件地址。在 10 位寻址模式下，所有的位均有用。在 7 位寻址模式下，仅 I2CxADD<6:0> 有用。 A10M 位 （I2CxCON<10>）指定所期望的从器件地址模式。在两种从器件寻址模式下，通过配合使用 I2CxMSK 寄存器和 I2CxADD 寄存器，可从完全地址匹配中掩掉一个或多个位位置，从而使处于从模式的模块可以对多个地址作出响应。

24.4.4 I²C 波特率发生器

I²C 主模式工作中使用的波特率发生器用于将 SCL 时钟频率设置为 100 kHz、400 kHz 或 1 MHz。波特率发生器的重载值包含在 I2CxBRG 寄存器中。在写入 I2CxTRN 时，波特率发生器会自动开始计数。一旦指定操作完成（即，在传输的最后一个数据位后面跟着 ACK），内部时钟将自动停止计数， SCL 引脚将保持在其最后的状态。

24.4.5 I²C 主模式下的波特率发生器

在 I²C 主模式下，BRG 的重载值位于 I2CxBRG 寄存器中。当 BRG 装入该值时，BRG 递减计数至 0，并处于停止直到发生另一次重载。在 I²C 主模式下，不会自动重载 BRG。如果发生时钟仲裁，例如 SCLx 引脚采样为高电平时，将重载 BRG （见图 24-6）。表 24-1 列出了对应于标准波特率的器件频率与 I2CxBRG 设置。

注： 明确禁止 I2CxBRG 值 0x0 和 0x1。用户永远不要将 I2CxBRG 设定为值 0x0 或 0x1，因为这样可能产生不确定的结果。

要计算波特率发生器的重载值，可使用以下公式：

公式 24-1： 波特率发生器的重载值计算

$$FSCK = (PBCLK) / ((I2CxBRG+2) * 2)$$

$$I2CBRG = (PBCLK / (2 *FSCK)) - 2$$

表 24-1： 使用 BRG 的 I²C 时钟速率

PBCLK	I2CxBRG	近似 Fsck （BRG 计满返回两次）
50 MHz	0x03C	400 kHz
50 MHz	0x0F8	100 kHz
40 MHz	0x030	400 kHz
40 MHz	0x0C6	100 kHz
30 MHz	0x023	400 kHz
30 MHz	0x094	100 kHz
20 MHz	0x017	400 kHz
20 MHz	0x062	100 kHz
10 MHz	0x00A	400 kHz
10 MHz	0x030	100 kHz

图 24-5： 波特率发生器框图

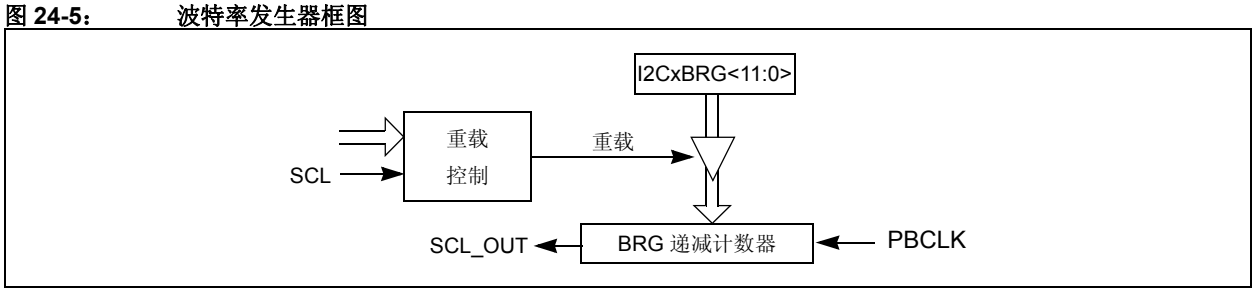
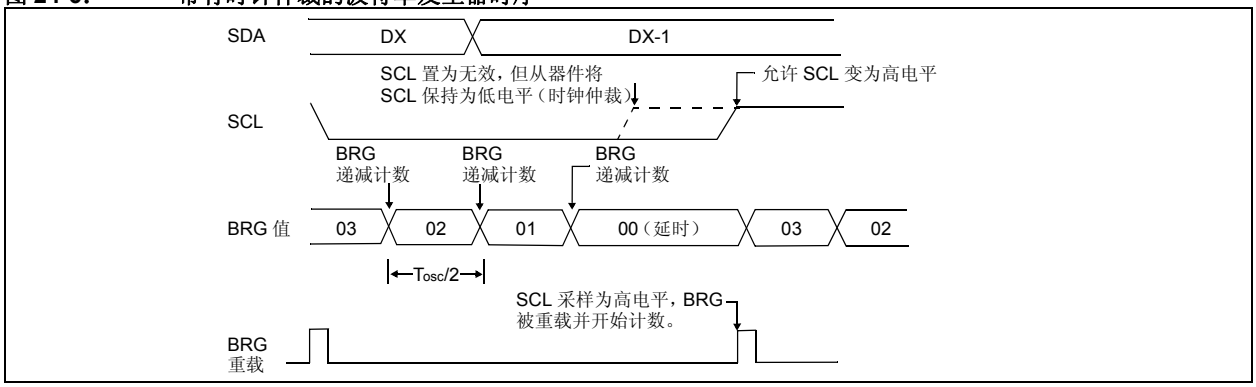


图 24-6： 带有时钟仲裁的波特率发生器时序



24.5 在单主机环境中作为主器件进行通信

I²C 模块在系统中的典型操作是使用 I²C 来与 I²C 外设（例如 I²C 串行存储器）进行通信。在 I²C 系统中，主器件控制总线上所有数据通信的序列。在该示例中，PIC32MX 及其 I²C 模块在系统中作为唯一的主器件。作为唯一的主器件，它负责产生 SCLx 时钟和控制报文协议。

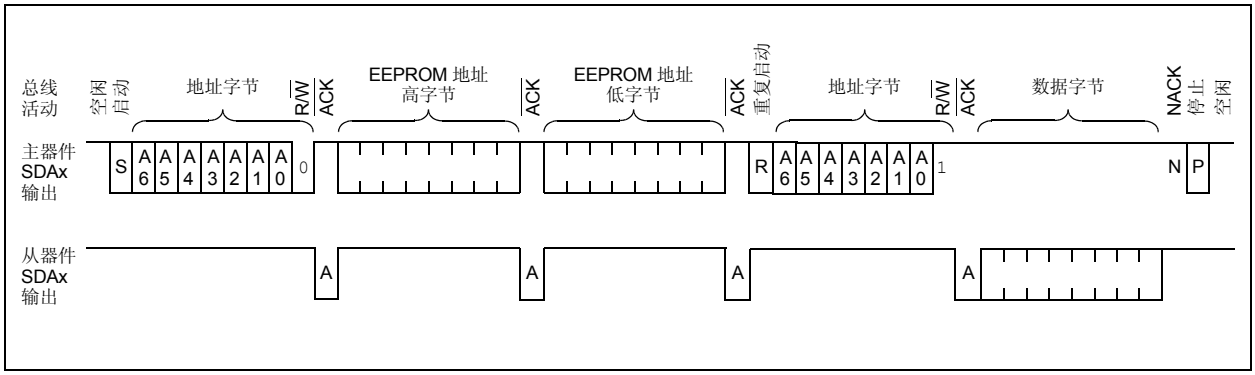
在 I²C 模块中，模块控制 I²C 报文协议的各个部分；但是，产生协议各组成部分的序列以构成完整的报文则需由软件完成。

例如，在单主机环境中，典型的操作可能是从 I²C 串行 EEPROM 读取字节。图 24-7 给出了该报文示例。

要完成该报文，软件通过以下步骤产生序列。

1. 通过将 ON 位 （I2CxCON<15>）设置为 1 开启模块。
2. 在 SDAx 和 SCLx 上发出一个启动条件。
3. 向从器件发送带有写操作指示的 I²C 器件地址字节。
4. 等待并验证来自从器件的应答。
5. 向从器件发送串行存储器地址高字节。
6. 等待并验证来自从器件的应答。
7. 向从器件发送串行存储器地址低字节。
8. 等待并验证来自从器件的应答。
9. 在 SDAx 和 SCLx 上发出一个重复启动条件。
10. 向从器件发送带有读操作指示的器件地址字节。
11. 等待并验证来自从器件的应答。
12. 使能主器件接收，以接收串行存储器数据。
13. 在数据字节接收结束时产生 $\overline{\text{ACK}}$ 或 NACK 条件。
14. 在 SDAx 和 SCLx 上产生一个停止条件。

图 24-7： 典型 I²C 报文：读串行 EEPROM （随机地址模式）



I²C 模块有启动和停止条件发生器、数据字节发送功能、数据字节接收功能、应答发生器和波特率发生器，用以支持主模式通信。通常，软件会写入某个控制寄存器来启动特定的步骤，然后等待中断或查询状态来等待完成。

后续章节对这些操作进行了详细说明。

注：	I²C 模块不允许事件排队。例如，在启动条件完成前，不允许软件产生启动条件并立即写 I2CxTRN 寄存器以启动传输。在这种情况下， I2CxTRN 将不会被写入，且 IWCOL 位将被置 1，指示没有发生对 I2CxTRN 的写操作。

24.5.1 产生启动总线事件

要产生启动事件，软件应将启动使能位 SEN（I2CxCON<0>）置 1。在置 1 启动位之前，软件可以检查 P 状态位 （I2CxSTAT<4>）来确保总线处于空闲状态。

图 24-8 给出了启动条件的时序。

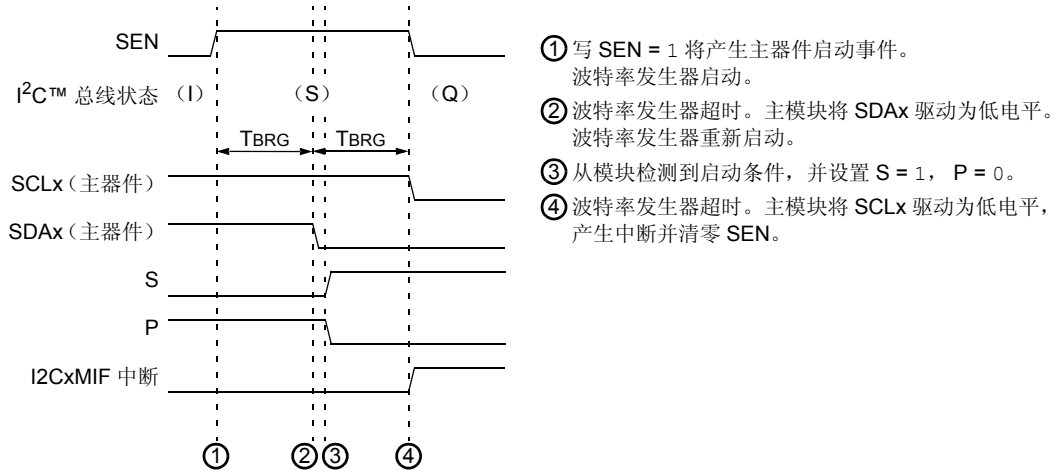
- 从器件逻辑检测到启动条件，将 S 位 （I2CxSTAT<3>）置 1，并清零 P 位 （I2CxSTAT<4>）。
- 在启动条件完成时， SEN 位自动清零。
- 在启动条件完成时，产生 I2CxMIF 中断。
- 在启动条件之后， SDAx 线和 SCLx 线保持为低电平 （Q 状态）。

24.5.1.1 IWCOL 状态标志

如果软件在启动序列进行过程中写 I2CxTRN，则 IWCOL 将置 1，同时发送缓冲区内容不变（写操作无效）。

注：	由于不允许事件排队，在启动条件结束之前，不能写 I2CxCON 的低 5 位。

图 24-8： 主器件启动时序图



24.5.2 向从器件发送数据

图 24-9 给出了自主器件向从器件传输的时序图。将适当的值写入 I2CxTRN 寄存器即可发送一个数据字节、一个 7 位器件地址字节或一个 10 位地址的第二个字节。在该寄存器中装入值将启动以下过程：

- 软件在 I2CxTRN 中装入要发送的数据字节。
- 写 I2CxTRN 会将缓冲区满标志位 TBF （I2CxSTAT<0>）置 1。
- 数据字节从 SDAx 引脚移出，直到发送完所有 8 个位。地址 / 数据的每一位将在 SCLx 的下降沿之后移出 SDAx 引脚。
- 在第 9 个 SCLx 时钟，模块将来自从器件的 $\overline{ACK}$ 位移入，并将其值写入 ACKSTAT 位（I2CxSTAT<15>）。
- 在第 9 个 SCLx 时钟周期结束时，模块产生 I2CxMIF 中断。

请注意，模块并不产生或验证数据字节。字节的内容和使用取决于由软件维护的报文协议的状态。

24.5.2.1 向从器件发送 7 位地址

发送 7 位器件地址需要向从器件发送一个字节。7 位地址字节必须包含 I²C 器件地址的 7 位数据和一个 R/$\overline{W}$ 位，该位定义报文是向从器件写数据 （主器件发送，从器件接收）还是自从器件读数据 （从器件发送，主器件接收）。

24.5.2.2 向从器件发送 10 位地址

发送 10 位器件地址需要向从器件发送两个字节。第一个字节中包含专为 10 位寻址模式而预留的 I²C 器件地址的 5 位和 10 位地址的 2 位。因为下一字节 （包含 10 位地址的剩余 8 位）必须由从器件接收，所以第一个字节中的 R/$\overline{W}$ 位必须为 0，指示主器件发送，从器件接收。如果报文数据也是发送给从器件，则主器件可以继续发送数据。但是，如果主器件希望得到从器件的答复，则需要产生重复启动序列，且 R/$\overline{W}$ 位为 1，这可以将报文的 R/$\overline{W}$ 状态更改为读从器件。

24.5.2.3 接收来自从器件的应答

在第 8 个 SCLx 时钟的下降沿，TBF 位被清零，主器件会释放 SDAx 引脚，以允许从器件发出一个应答响应。然后，主器件会产生第 9 个 SCLx 时钟。

如果发生地址匹配或数据被正确接收，这就可使被寻址的从器件在第 9 个位时间发出一个 $\overline{ACK}$ 位响应。从器件在识别出其器件地址 （包括广播呼叫地址）或正确接收数据后，会发出一个应答。

$\overline{ACK}$ 的状态在第 9 个 SCLx 时钟的下降沿写入应答状态位 ACKSTAT （I2CxSTAT<15>）。在第 9 个 SCLx 时钟之后，模块会产生 I2CxMIF 中断并进入空闲状态，直到下一数据字节装入 I2CxTRN。

24.5.2.4 ACKSTAT 状态标志

在主模式和从模式下，无论是对于发送还是接收模式， ACKSTAT 位 （I2CxSTAT<15>）都在第 9 个 SCL 时钟更新。在对方应答（$\overline{ACK}$ = 0，即 SDA 在第 9 个时钟脉冲为 0）时，ACKSTAT 会清零；在对方不应答 （$\overline{ACK}$ = 1，即 SDA 在第 9 个时钟脉冲为 1）时，它会置 1。

24.5.2.5 TBF 状态标志

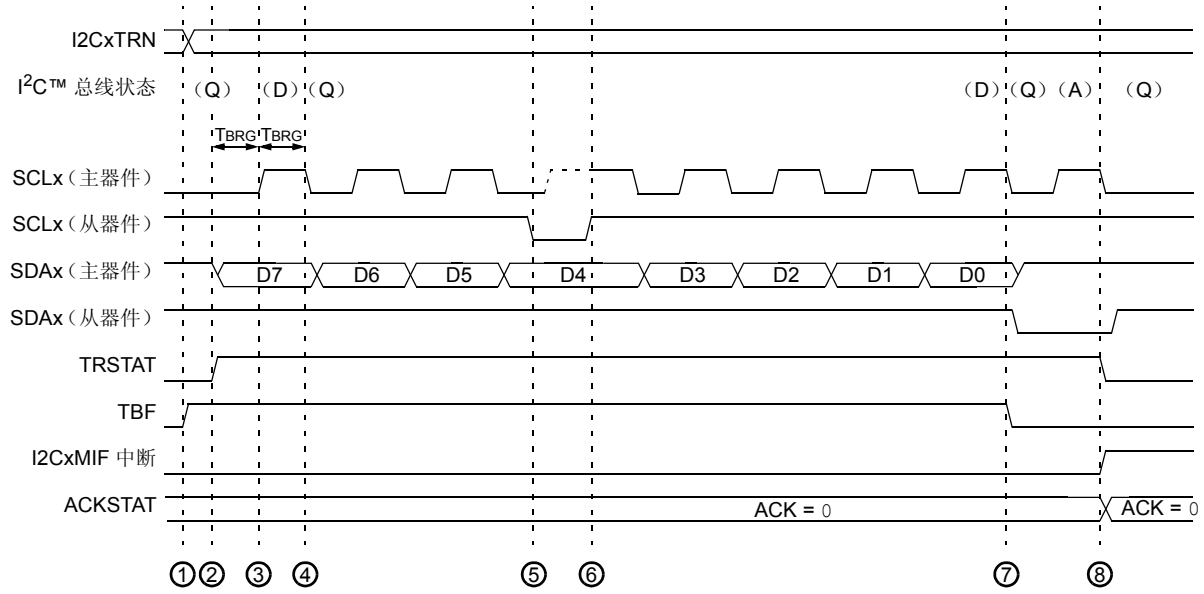
发送时， TBF 位 （I2CxSTAT<0>）在 CPU 写 I2CXTRN 时置 1，在所有 8 个位移出后清零。

24.5.2.6 IWCOL 状态标志

如果软件在发送进行过程中（即，模块仍在移出数据字节）试图写 I2CxTRN，则 IWCOL 将置 1，同时缓冲区内容不变 （写操作无效）。 IWCOL 必须用软件清零。

注：	由于不允许事件排队，在发送条件结束之前，不能写 I2CxCON 的低 5 位。

图 24-9： 主器件发送时序图



① 写 I2CxTRN 寄存器将产生主器件发送事件。TBF 位置 1。

② 波特率发生器启动。I2CxTRN 的最高位驱动 SDAx。SCLx 保持为低电平。TRSTAT 位置 1。

③ 波特率发生器超时。SCLx 被释放。波特率发生器重新启动。

④ 波特率发生器超时。SCLx 被驱动为低电平。检测到 SCLx 为低电平后，I2CxTRN 的下一位驱动 SDAx。

⑤ 当 SCLx 为低电平时，从器件也可以将 SCLx 拉低以启动等待（时钟延长）。

⑥ 主器件已释放 SCLx，从器件可以释放 SCLx 以结束等待。波特率发生器重新启动。

⑦ 在第 8 个 SCLx 时钟的下降沿，主器件释放 SDAx。TBF 位清零。从器件驱动 $\overline{\text{ACK}}$/NACK。

⑧ 在第 9 个 SCLx 时钟的下降沿，主器件产生中断。SCLx 保持为低电平，直到发生下一个事件。
从器件释放 SDAx。TRSTAT 位清零。

24.5.3 接收来自从器件的数据

图 24-10 给出了主器件接收的时序图。主器件在发送了 R/$\overline{W}$ 位值为 1 的从器件地址之后，即可接收来自从器件的数据。这可通过将接收使能位 RCEN（I2CxCON<3>）置 1 来使能。主器件逻辑开始产生时钟，并且在SCLx的每个下降沿之前，对SDAx线进行采样并将数据移入I2CxRSR。

注：	在尝试将 RCEN 位置 1 之前， I2CxCON 的低 5 位必须为 0。这将确保主器件逻辑处于不工作状态。

在第 8 个 SCLx 时钟的下降沿之后，会发生以下事件：

- RCEN 位被自动清零。
- I2CxRSR 的内容被传送到 I2CxRCV。
- RBF 标志位置 1。
- 模块产生 I2CxMIF 中断。

当 CPU 读缓冲区时， RBF 标志位被自动清零。软件可以处理数据，然后执行应答序列。

24.5.3.1 RBF 状态标志

接收数据时，当将器件地址或数据字节从 I2CxRSR 装入 I2CxRCV 时， RBF 位置 1。当软件读 I2CxRCV 寄存器时，该位被清零。

24.5.3.2 I2COV 状态标志

如果在 RBF 位保持置 1 且前一字节仍保留在 I2CxRCV 寄存器中时，在 I2CxRSR 中接收到另一字节，则 I2COV 位置 1， I2CxRSR 中的数据丢失。

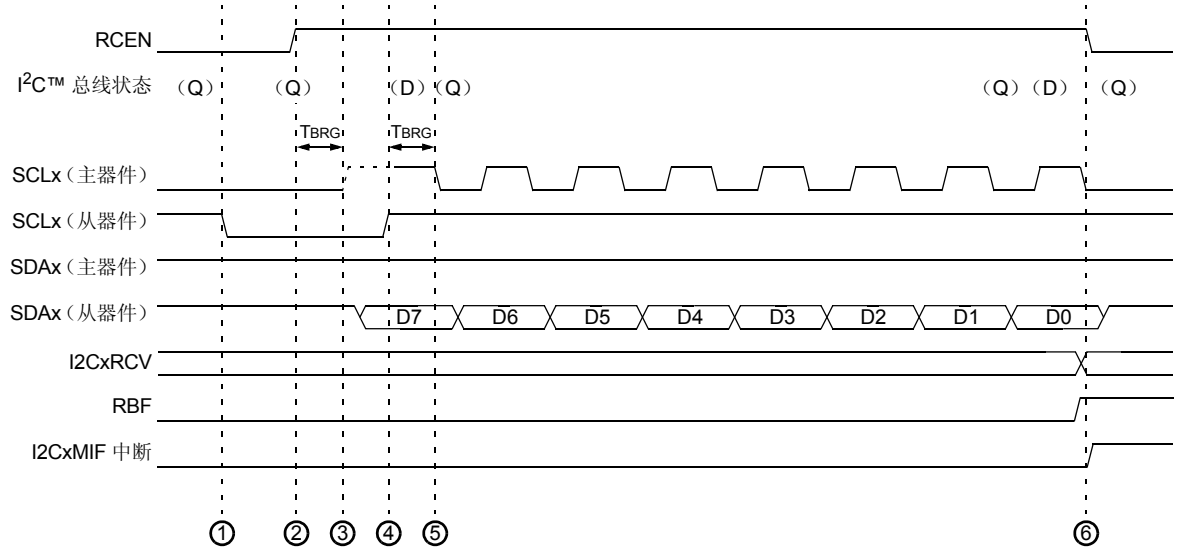
将I2COV保持为置1并不会禁止继续接收数据。如果通过读I2CxRCV将RBF清零，并且I2CxRSR接收到另一字节，则该字节将传送到 I2CxRCV。

24.5.3.3 IWCOL 状态标志

如果软件在接收进行过程中（即，I2CxRSR 仍在移入数据字节）写 I2CxTRN，则 IWCOL 位置 1，同时缓冲区内容不变 （写操作无效）。

注：	由于不允许事件排队，在数据接收条件结束之前，不能写 I2CxCON 的低 5 位。

图 24-10： 主器件接收时序图



① 通常，从器件可以通过将 SCLx 拉低（时钟延长）来请求等待，以准备数据响应。
在准备就绪时，从器件将在 SDAx 上发送数据响应的最高位。

② 写 RCEN 位将产生主器件接收事件。波特率发生器启动。SCLx 保持为低电平。

③ 波特率发生器超时。主器件尝试释放 SCLx。

④ 当从器件释放 SCLx 时，波特率发生器重新启动。

⑤ 波特率发生器超时。响应的最高位移入 I2CxRSR。SCLx 被驱动为低电平，等待下一个波特率时间间隔。

⑥ 在第 8 个 SCLx 时钟的下降沿，I2CxRSR 中的数据传送到 I2CxRCV。模块将 RCEN 位清零。
RBF 位置 1。主器件产生中断。

24.5.4 应答产生

将应答使能位 ACKEN （I2CxCON<4>）置 1，将允许产生主器件应答序列。

注： 在尝试将 ACKEN 位置 1 之前，I2CxCON 的低 5 位必须为 0（主器件逻辑不工作）。

图 24-11 所示为 $\overline{\text{ACK}}$ 序列，图 24-12 所示为 NACK 序列。应答数据位 ACKDT（I2CxCON<5>）用于指定是发送 $\overline{\text{ACK}}$ 还是 NACK。

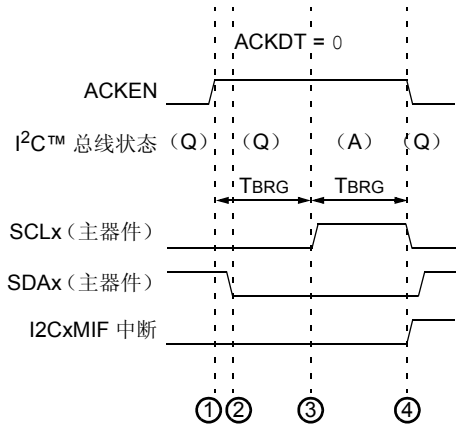
在两个波特率周期之后， ACKEN 位自动清零，模块产生 I2CxMIF 中断。

24.5.4.1 IWCOL 状态标志

如果软件在应答序列进行过程中写 I2CxTRN，则 IWCOL 将置 1，同时缓冲区内容不变（写操作无效）。

注： 由于不允许事件排队，在应答条件结束之前，不能写 I2CxCON 的低 5 位。

图 24-11： 主器件应答 （$\overline{\text{ACK}}$）时序图



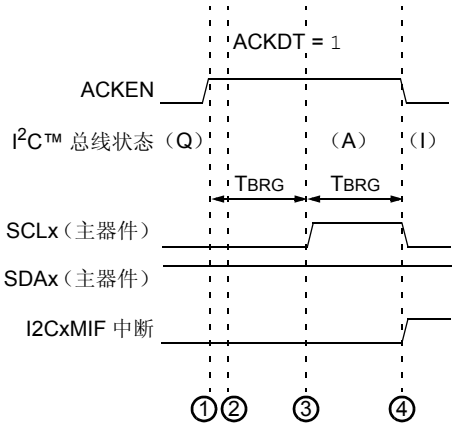
① 写 ACKDT = 0 指示发送 $\overline{\text{ACK}}$。
写 ACKEN = 1 指示产生了主器件应答事件。
波特率发生器启动。SCLx 保持为低电平。

② 当检测到 SCLx 为低电平时，模块驱动 SDAx 为低电平。

③ 波特率发生器超时。模块释放 SCLx。
波特率发生器重新启动。

④ 波特率发生器超时。
模块驱动 SCLx 为低电平，然后释放 SDAx。
模块将 ACKEN 清零。主器件产生中断。

图 24-12： 主器件不应答 （NACK）时序图



① 写 ACKDT = 1 指示发送 NACK。
写 ACKEN = 1 指示产生了主器件应答事件。
波特率发生器启动。

② 当检测到 SCLx 为低电平时，模块释放 SDAx。

③ 波特率发生器超时。模块释放 SCLx。
波特率发生器重新启动。

④ 波特率发生器超时。
模块驱动 SCLx 为低电平，然后释放 SDAx。
模块将 ACKEN 清零。主器件产生中断。

24.5.5 产生停止总线事件

将停止使能位 PEN （I2CxCON<2>）置 1，将允许产生主器件停止序列。

注：	在尝试将 PEN 位置 1 之前， I2CxCON 的低 5 位必须为 0 （主器件逻辑不工作）。

当 PEN 位置 1 时，主器件会产生停止序列，如图 24-13 所示。

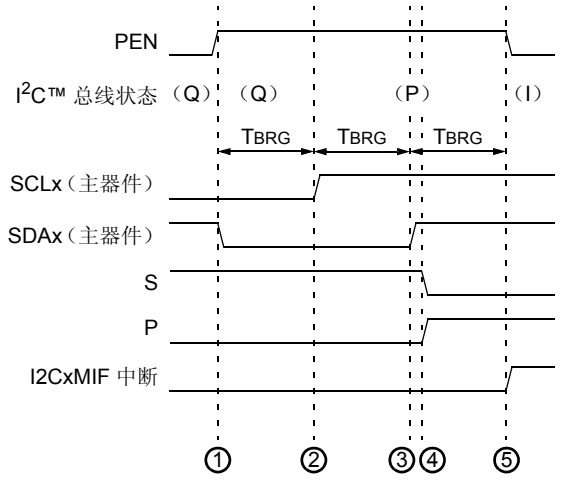
- 从器件检测到停止条件，将 P 位 （I2CxSTAT<4>）置 1，并清零 S 位 （I2CxSTAT<3>）。
- PEN 位被自动清零。
- 模块产生 I2CxMIF 中断。

24.5.5.1 IWCOL 状态标志

如果软件在停止序列进行过程中写 I2CxTRN，则 IWCOL 位将置 1，同时缓冲区内容不变（写操作无效）。

注：	由于不允许事件排队，在停止条件结束之前，不能写 I2CxCON 的低 5 位。

图 24-13： 主器件停止时序图



① 写 PEN = 1 将产生主器件停止事件。
波特率发生器启动。模块驱动 SDAx 为低电平。

② 波特率发生器超时。模块释放 SCLx。
波特率发生器重新启动。

③ 波特率发生器超时。模块释放 SDAx。
波特率发生器重新启动。

④ 从器件逻辑检测到停止条件。模块设置 P = 1，S = 0。

⑤ 波特率发生器超时。模块将 PEN 清零。
主器件产生中断。

24.5.6 产生重复启动总线事件

将重复启动使能位 RSEN（I2CxCON<1>）置 1，将允许产生主器件重复启动序列（见图 24-14）。

注：	在尝试将 RSEN 位置 1 之前，I2CxCON 的低 5 位必须为 0（主器件逻辑不工作）。

要产生重复启动条件，软件需将 RSEN 位 （I2CxCON<1>）置 1。模块将 SCLx 引脚拉为低电平。当模块采样到 SCLx 引脚为低电平时，模块将释放 SDAx 引脚一个波特率发生器计数周期（TBRG）的时间。当波特率发生器超时，并在模块采样到 SDAx 为高电平时，模块会释放 SCLx 引脚。当模块采样到 SCLx 引脚为高电平时，波特率发生器会重载并开始计数。 SDAx 和 SCLx 必须采样到一个计数周期 TBRG 的高电平。接下来的一个 TBRG，将 SDAx 引脚驱动为低电平，同时 SCLx 保持高电平。

以下是重复启动序列：

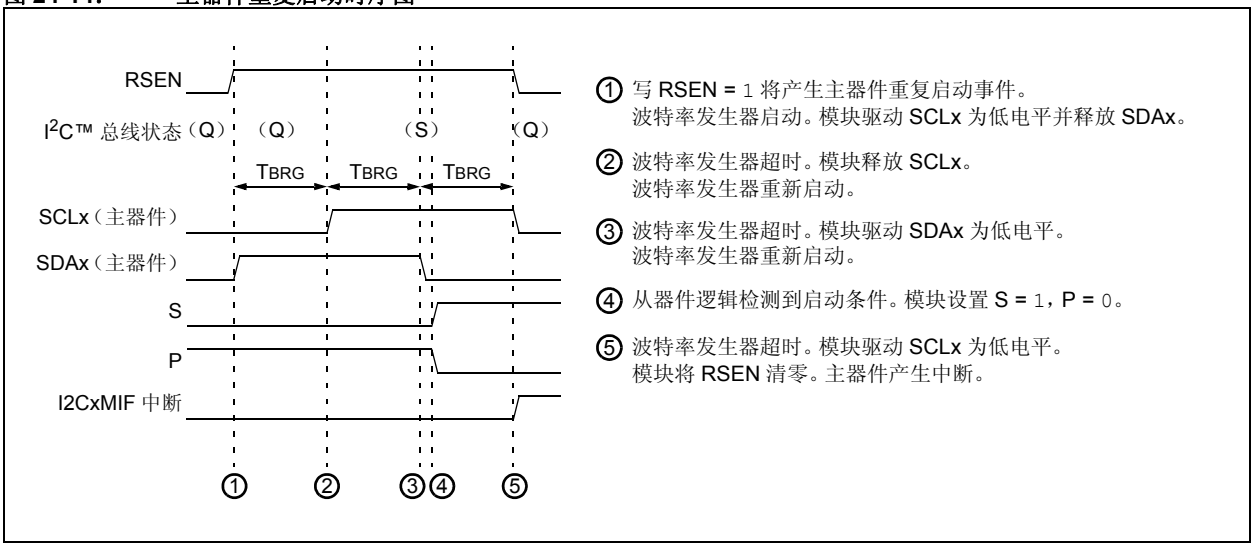
- 从器件检测到启动条件，将 S 位 （I2CxSTAT<3>）置 1，并清零 P 位 （I2CxSTAT<4>）。
- RSEN 位被自动清零。
- 模块产生 I2CxMIF 中断。

24.5.6.1 IWCOL 状态标志

如果软件在重复启动序列进行过程中写 I2CxTRN，则 IWCOL 将置 1，同时缓冲区内容不变（写操作无效）。

注：	由于不允许事件排队，在重复启动条件结束之前，不能写 I2CxCON 的低 5 位。

图 24-14： 主器件重复启动时序图



24.5.7 构造完整的主器件报文

如**第 24.5 节 “在单主机环境中作为主器件进行通信”**开头所述，由软件负责使用正确的报文协议构造报文。模块控制 I^2C 报文协议的各个部分；但是，产生协议各组成部分的序列以构成完整的报文需由软件完成。

在使用模块时，软件可以使用查询或中断方法。所显示的示例使用中断方法。

在报文传输过程中，软件可以使用 SEN、RSEN、PEN、RCEN 和 ACKEN 位（I2CxCON 寄存器的低 5 位）和 TRSTAT 位作为 “状态”标志。例如，表 24-2 给出了一些与总线状态相关的状态号的示例。

表 24-2： 主器件报文协议状态

示例状态号	I2CxCON<4:0>	TRSTAT（I2CxSTAT<14>）	状态
0	00000	0	总线空闲或等待
1	00001	N/A	发送启动事件
2	00000	1	主器件发送
3	00010	N/A	发送重复启动事件
4	00100	N/A	发送停止事件
5	01000	N/A	主器件接收
6	10000	N/A	主器件应答

注： 状态号的示例仅供参考。用户软件可以根据需要分配状态号。

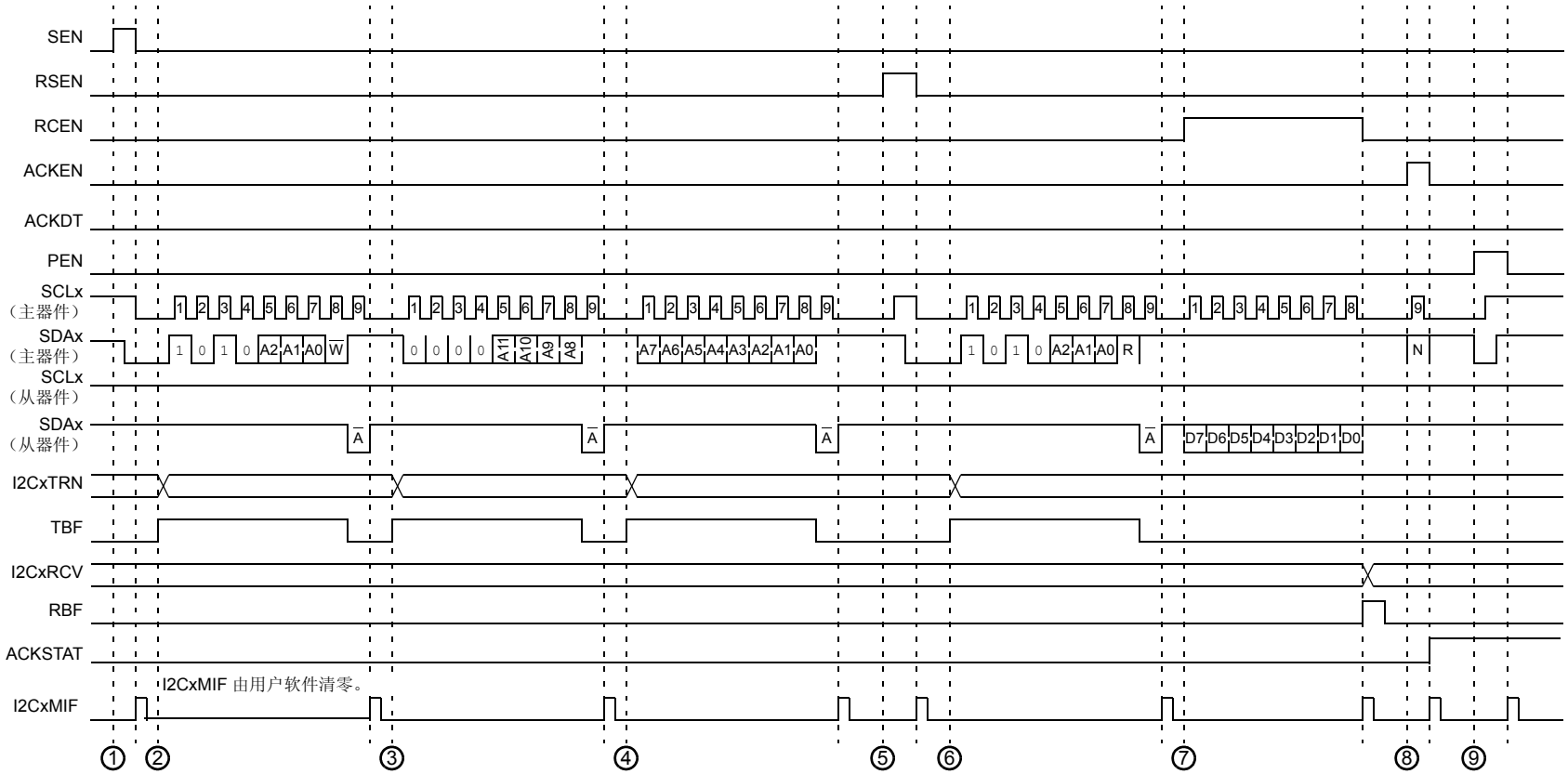
软件通过发出启动命令来开始发送报文。软件将记录对应于启动命令的状态号。

当每个事件结束并产生中断时，中断处理程序可以检查状态号。因而，对于启动状态，中断处理程序将确认启动序列的执行，然后启动主器件发送事件来发送 I^2C 器件地址，并更改状态号以对应于主器件发送。

在下次中断时，中断处理程序将再次检查状态，确定主器件发送刚刚完成。中断处理程序将确认数据发送已成功，然后根据报文的内容继续执行下一事件。在这种方式中，每次中断时，中断处理程序将按报文协议进行处理，直到发送了完整的报文。

图 24-15 与图 24-7 的报文序列相同但提供了更详细的说明。图 24-16 所示为使用 7 位寻址格式的报文的一些简单示例。图 24-17 所示为向从器件发送数据的 10 位寻址格式报文的示例。图 24-18 所示为接收来自从器件数据的 10 位寻址格式报文的示例。

图 24-15：　主器件报文 （典型 I²C 报文：读串行 EEPROM）



① 将 SEN 位置 1 产生启动事件。

② 写 I2CxTRN 寄存器启动主器件发送。数据为串行 EEPROM 器件地址字节，R/W 位清零，指示进行写操作。

③ 写 I2CxTRN 寄存器启动主器件发送。数据为 EEPROM 数据地址的第一个字节。

④ 写 I2CxTRN 寄存器启动主器件发送。数据为 EEPROM 数据地址的第二个字节。

⑤ 将 RSEN 位置 1 产生重复启动事件。

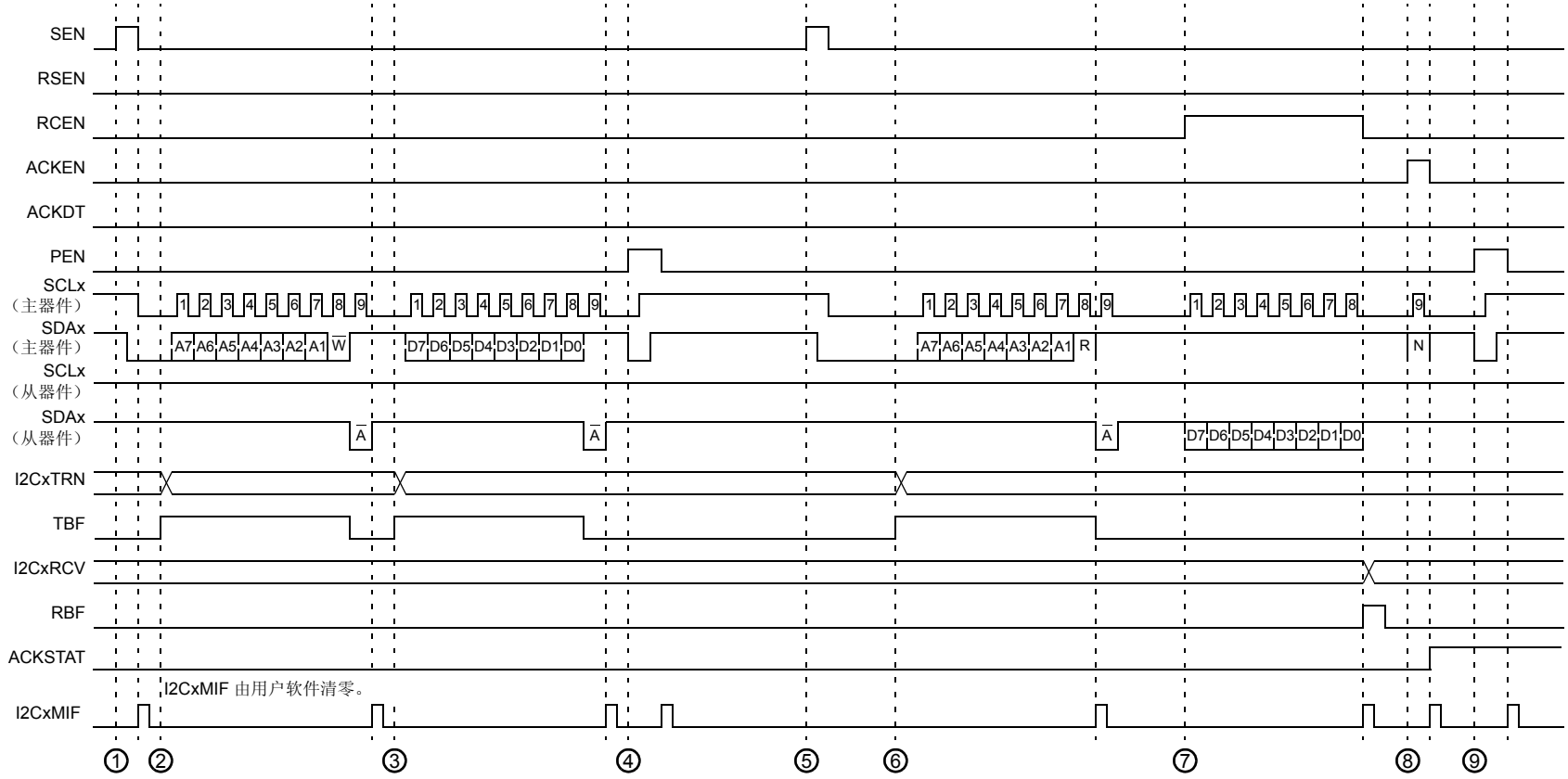
⑥ 写 I2CxTRN 寄存器启动主器件发送。重新发送串行 EEPROM 器件地址字节，但 R/W 位置 1，指示进行读操作。

⑦ 将 RCEN 位置 1 启动主器件接收。发生中断时，软件读 I2CxRCV 寄存器，这会清零 RBF 标志。

⑧ 将 ACKEN 位置 1 产生应答事件。ACKDT = 0 以发送 NACK。

⑨ 将 PEN 位置 1 产生主器件停止事件。

图 24-16：　主器件报文（7 位地址：发送和接收）



① 将 SEN 位置 1 产生启动事件。

② 写 I2CxTRN 寄存器启动主器件发送。数据为地址字节，且 R/$\overline{W}$ 位清零。

③ 写 I2CxTRN 寄存器启动主器件发送。数据为报文字节。

④ 将 PEN 位置 1 产生主器件停止事件。

⑤ 将 SEN 位置 1 产生启动事件。

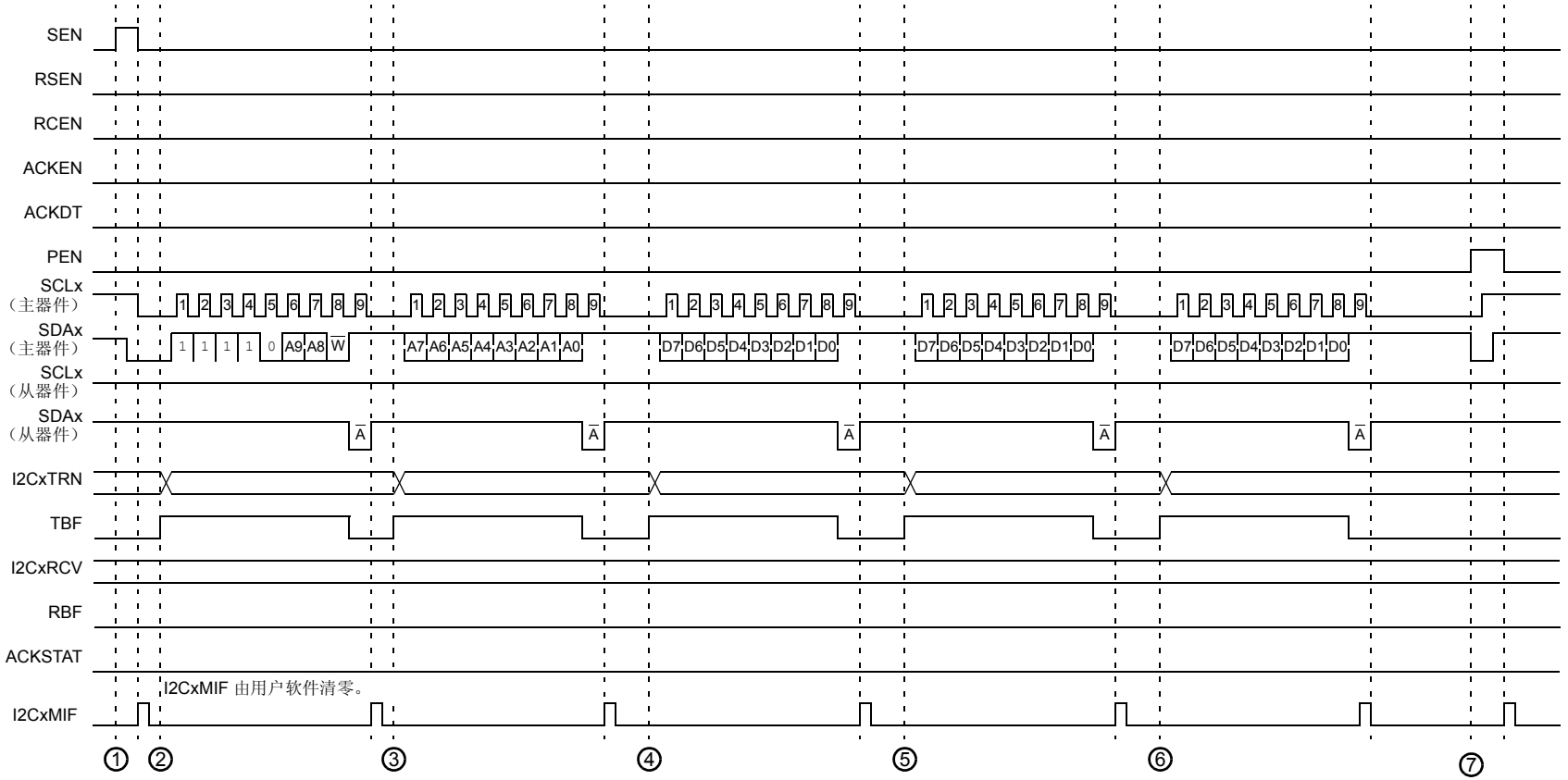
⑥ 写 I2CxTRN 寄存器启动主器件发送。数据为地址字节，且 R/$\overline{W}$ 位置 1。

⑦ 将 RCEN 位置 1 启动主器件接收。

⑧ 将 ACKEN 位置 1 产生应答事件。ACKDT = 0 以发送 NACK。

⑨ 将 PEN 位置 1 产生主器件停止事件。

图 24-17： 主器件报文 （10 位发送）



① 将 SEN 位置 1 产生启动事件。

② 写 I2CxTRN 寄存器启动主器件发送。数据为地址的第一个字节。

③ 写 I2CxTRN 寄存器启动主器件发送。数据为地址的第二个字节。

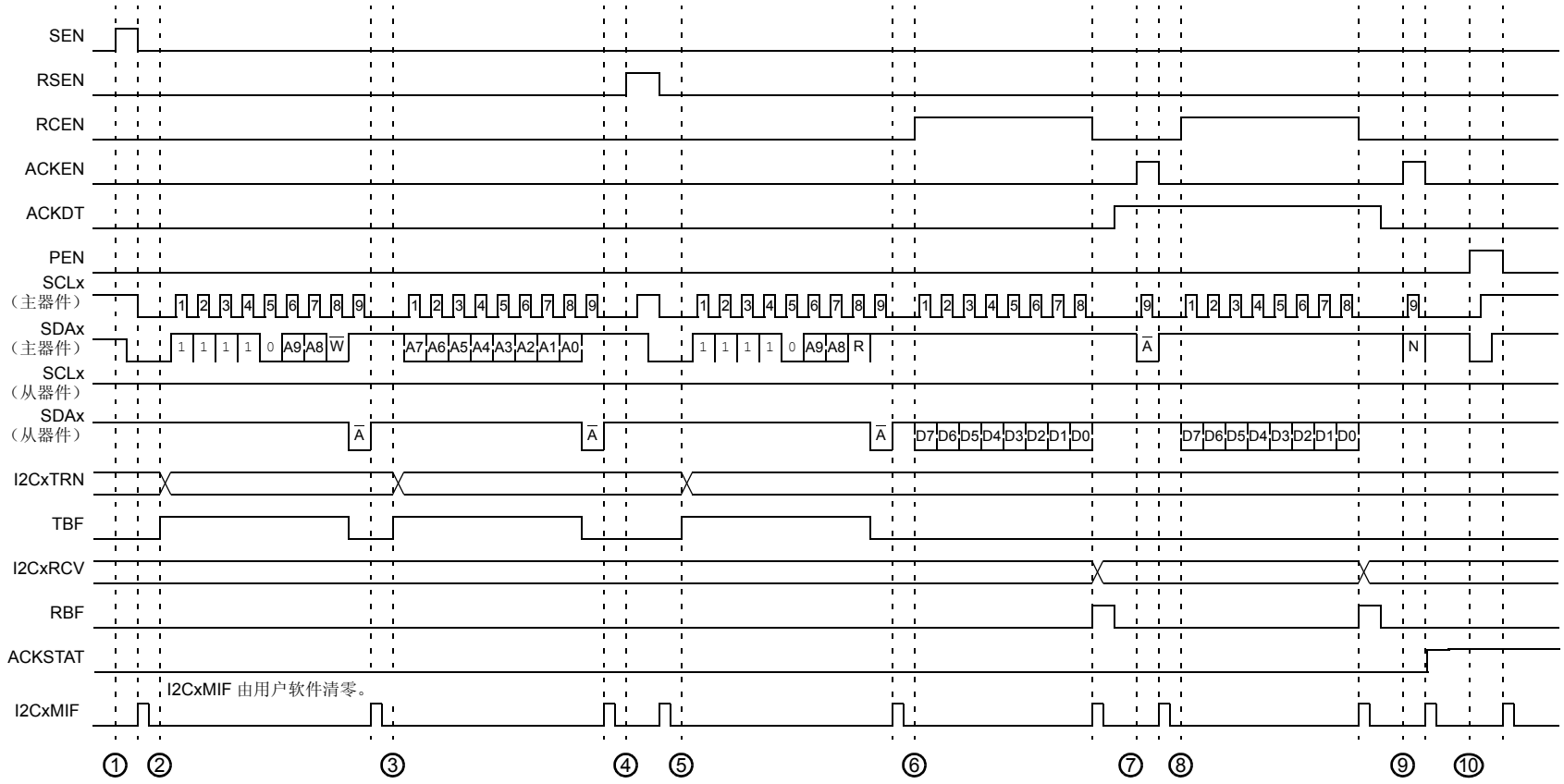
④ 写 I2CxTRN 寄存器启动主器件发送。数据为报文数据的第一个字节。

⑤ 写 I2CxTRN 寄存器启动主器件发送。数据为报文数据的第二个字节

⑥ 写 I2CxTRN 寄存器启动主器件发送。数据为报文数据的第三个字节。

⑦ 将 PEN 位置 1 产生主器件停止事件。

图 24-18： 主器件报文 （10 位接收）



① 将 SEN 位置 1 产生启动事件。

② 写 I2CxTRN 寄存器启动主器件发送。数据为地址的第一个字节，且 R/$\overline{W}$ 位清零。

③ 写 I2CxTRN 寄存器启动主器件发送。数据为地址的第二个字节。

④ 将 RSEN 位置 1 产生主器件重复启动事件。

⑤ 写 I2CxTRN 寄存器启动主器件发送。重新发送第一个字节，且 R/$\overline{W}$ 位置 1。

⑥ 将 RCEN 位置 1 启动主器件接收。发生中断时，软件读 I2CxRCV 寄存器，这会清零 RBF 标志。

⑦ 将 ACKEN 位置 1 产生应答事件。ACKDT = 1 以发送 $\overline{ACK}$。

⑧ 将 RCEN 位置 1 启动主器件接收。

⑨ 将 ACKEN 位置 1 产生应答事件。ACKDT = 0 以发送 NACK。

⑩ 将 PEN 位置 1 产生主器件停止事件。

24.6 在多主机环境中作为主器件进行通信

I²C 协议允许在系统总线上连接多个主器件。要考虑到主器件可以启动报文事务和产生总线时钟，而协议有应对多个主器件试图控制总线的方法。时钟同步可确保多个节点将其 SCLx 时钟同步，并在 SCLx 线上产生公共时钟。如果有多个节点试图启动报文事务，总线仲裁可以确保有且仅有一个节点能成功完成报文事务。其他节点将在总线仲裁中失败，产生总线冲突。

24.6.1 多主机操作

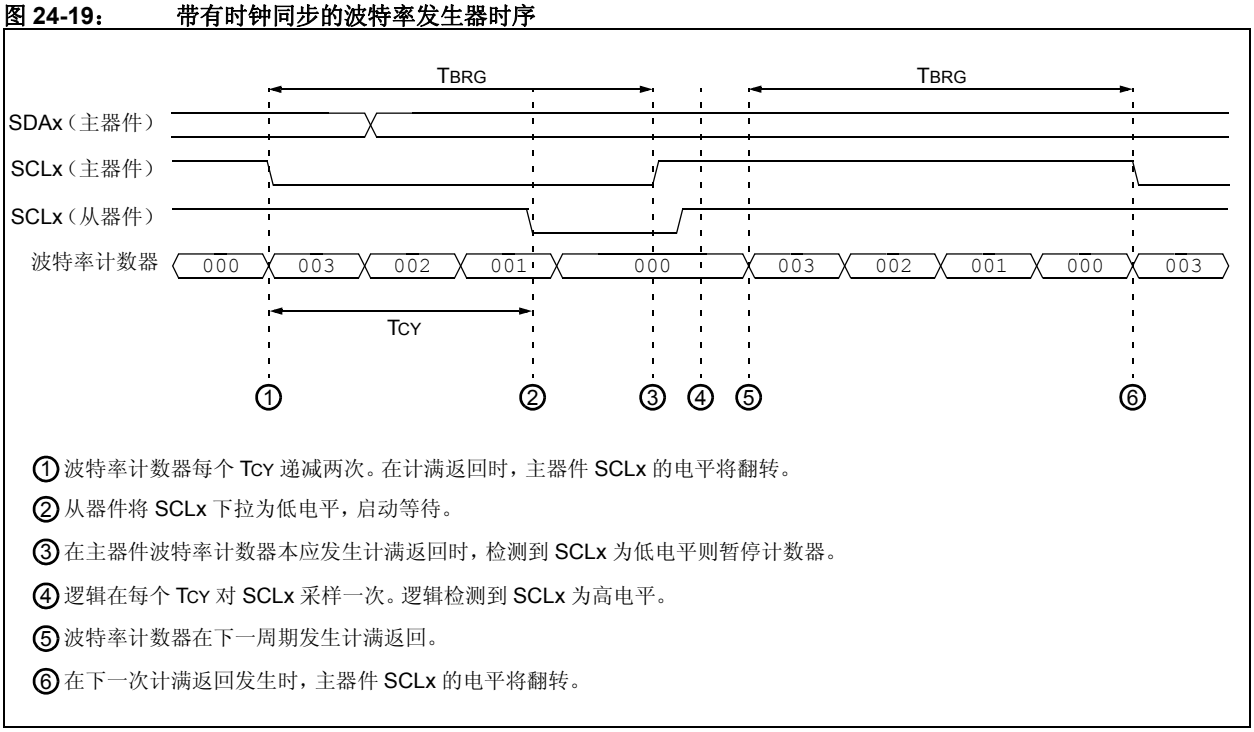
主模块没有使能多主机操作的特殊设置。模块一直执行时钟同步和总线仲裁。如果是在单主机环境中使用模块，则只会在主器件和从器件之间发生时钟同步，而不会发生总线仲裁。

24.6.2 主器件时钟同步

在多主机系统中，不同的主器件可能具有不同的波特率。时钟同步可确保这些主器件在尝试通过仲裁控制总线时，对它们的时钟将进行协调。

主器件释放 SCLx 引脚（SCLx 趋向于悬空为高电平）时发生时钟同步。当 SCLx 引脚被释放时，BRG 将暂停计数，直到实际采样到 SCLx 引脚为高电平为止。当 SCLx 引脚采样为高电平时，BRG 将被重新装入 I2CxBR<11:0> 中的内容并开始计数。这可以确保当外部器件将时钟拉低时，SCLx 始终至少保持一个 BRG 计满返回周期的高电平，如图 24-19 所示。

图 24-19： 带有时钟同步的波特率发生器时序



① 波特率计数器每个 TCY 递减两次。在计满返回时，主器件 SCLx 的电平将翻转。

② 从器件将 SCLx 下拉为低电平，启动等待。

③ 在主器件波特率计数器本应发生计满返回时，检测到 SCLx 为低电平则暂停计数器。

④ 逻辑在每个 TCY 对 SCLx 采样一次。逻辑检测到 SCLx 为高电平。

⑤ 波特率计数器在下一周期发生计满返回。

⑥ 在下一次计满返回发生时，主器件 SCLx 的电平将翻转。

24.6.3 总线仲裁和总线冲突

总线仲裁支持多主机系统操作。

SDAx 线的线“与”特性使其可以进行总线仲裁。当第一个主器件通过将 SDAx 悬空为高电平而在 SDAx 上输出 1，而与此同时，第二个主器件通过下拉 SDAx 为低电平而在 SDAx 上输出 0，则发生总线仲裁。 SDAx 信号将变为低电平。这种情况下，第二个主器件在总线仲裁中获胜。第一个主器件在总线仲裁中失败，从而产生总线冲突。

对于第一个主器件，期望 SDAx 上的数据是 1，但在 SDAx 上采样到的数据却是 0。这即是总线冲突的定义。

第一个主器件会将总线冲突位 BCL（I2CxSTAT<10>）置 1，并产生总线冲突中断。主模块会将 I^2C 端口复位为其空闲状态。

在多主机操作中，必须对 SDAx 线进行仲裁监视，以查看信号电平是否为期望的输出电平。该检查由主模块执行，检查结果置于 BCL 位中。

可能导致仲裁失败的情况是：

- 启动条件
- 重复启动条件
- 地址、数据或应答位
- 停止条件

24.6.4 检测总线冲突和重新发送报文

当发生总线冲突时，模块会将 BCL 位置 1 并产生总线冲突中断。如果在字节发送过程中发生总线冲突，则发送会被中止， TBF 标志清零， SDAx 和 SCLx 引脚被释放。如果在启动、重复启动、停止或应答条件期间发生总线冲突，则条件会被中止，I2CxCON 寄存器中的相应控制位被清零，SDAx 和 SCLx 线被释放。

在主器件事件完成时由软件产生中断。软件可以通过检查BCL 位来确定主器件事件是已成功完成还是发生了冲突。如果发生冲突，软件必须中止发送剩余的待发报文，并准备重新发送整个报文序列，即在总线返回到空闲状态后从启动条件开始发送。软件可以通过监视 S 和 P 位来等待总线空闲。当软件执行总线冲突中断服务程序且 I^2C 总线空闲时，软件可以通过发送启动条件重新开始通信。

24.6.5 启动条件期间的总线冲突

在发出启动命令之前，软件应使用 S 和 P 状态位检查总线是否处于空闲状态。可能出现两个主器件在差不多同一时刻尝试启动报文传输。通常，主器件将同步时钟并在发送报文期间继续进行总线仲裁，直到其中一个主器件仲裁失败。但是，某些条件会导致在启动条件期间发生总线冲突。在这种情况下，在启动条件期间仲裁失败的主器件会产生总线冲突中断。

24.6.6 重复启动条件期间的总线冲突

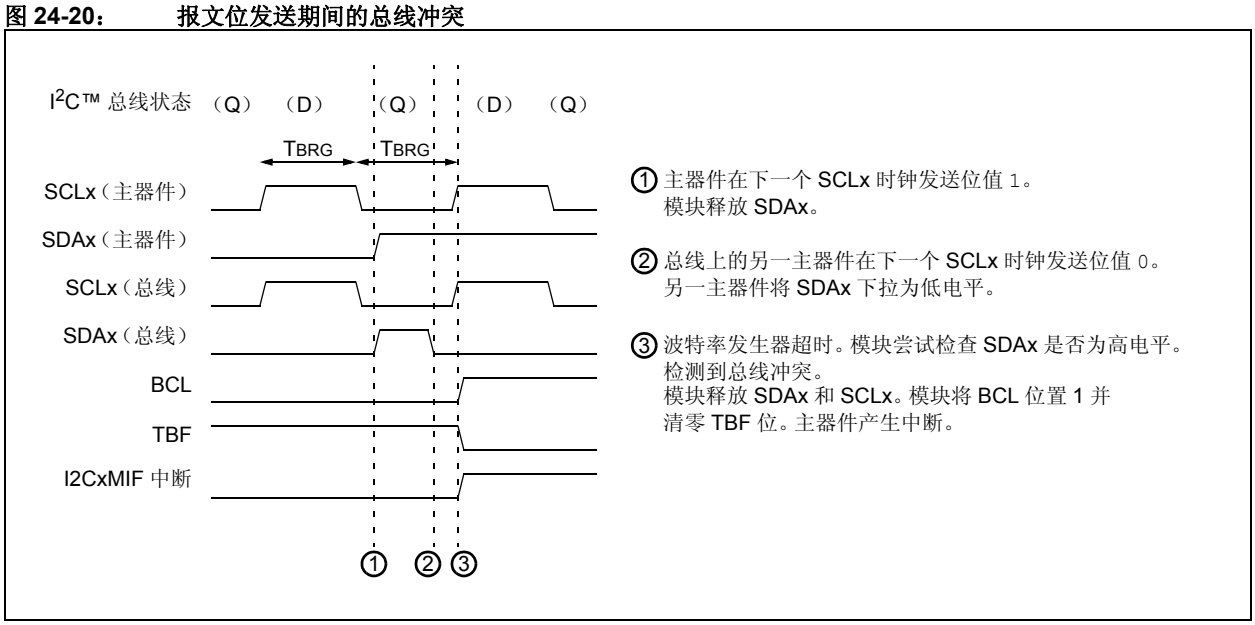
可能会有两个主器件在整个地址字节发送期间未发生冲突，但当一个主器件尝试发送重复启动条件，而另一个发送数据时可能发生冲突。在这种情况下，产生重复启动条件的主器件将仲裁失败，并产生总线冲突中断。

24.6.7 报文位发送期间的总线冲突

数据冲突最典型的情况发生在当主器件尝试发送器件地址字节、数据字节或应答位的时候。

如果软件能正确地检查总线状态，则不太可能会在启动条件期间发生总线冲突。但是，因为另一主器件可能会在非常接近的时间检查总线并产生其自身的启动条件，所以可能会发生 SDAx 仲裁，并对两个主器件的启动条件进行同步。在这种情况下，两个主器件都会开始并继续发送它们的报文，直到其中一个主器件在某个报文位仲裁失败。请记住， SCLx 时钟同步将使两个主器件保持同步，直到其中一个仲裁失败。图 24-20 给出了报文位仲裁的示例。

图 24-20： 报文位发送期间的总线冲突



24.6.8 停止条件期间的总线冲突

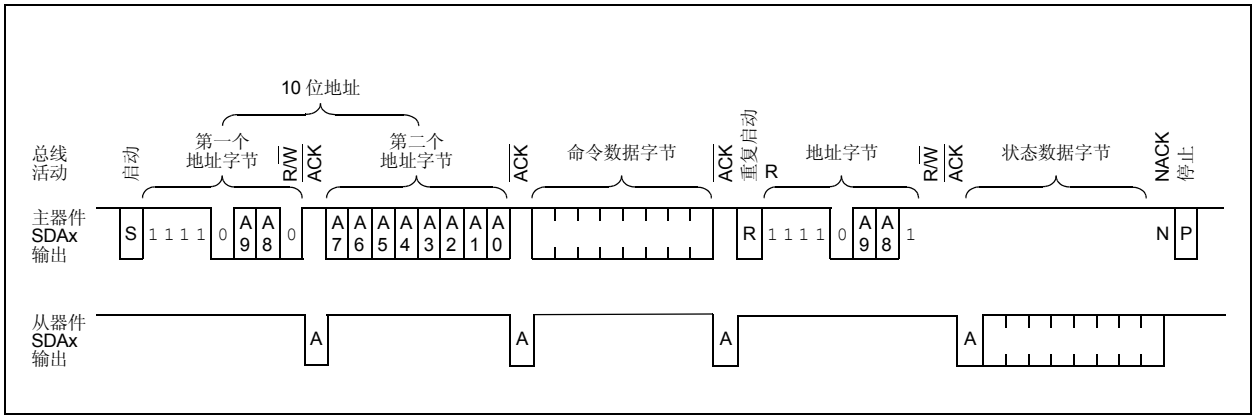
如果主器件软件失去了对 I²C 总线状态的跟踪，则在停止条件期间会有很多情况导致总线冲突。在这种情况下，产生停止条件的主器件将仲裁失败，并产生总线冲突中断。

24.7 作为从器件进行通信

在一些系统中，特别是有多个处理器相互通信的系统中， PIC32MX 器件可以作为从器件进行通信 （见图 24-21）。当模块使能时，从模块处于工作状态。从器件不能启动报文传输，它只能对由主器件启动的报文序列作出响应。主器件请求 I^2C 协议中器件地址字节定义的特定从器件作出响应。从模块在协议所定义的适当时间对主器件作出答复。

与用作主模块时一样，软件产生用于答复的协议组成部分的序列。但是，当从器件地址与软件为它指定的地址匹配时，从模块会检测到。

图 24-21： 典型从器件 I^2C 报文：多处理器命令 / 状态



在检测到启动条件之后，从模块会接收并检查器件地址。从器件可以指定 7 位地址或 10 位地址。当器件地址匹配时，模块将产生中断，通知软件其器件被选中。根据主器件发送的 R/W 位，从器件将接收或发送数据。如果是要求从器件接收数据，从模块会自动产生应答（ACK），将I2CxRSR 寄存器中接收到的当前值装入 I2CxRCV 寄存器，并通过中断通知软件。如果是要求从器件发送数据，则软件必须将数据值装入 I2CxTRN 寄存器。

24.7.1 采样接收数据

在时钟 （SCLx）线的上升沿采样所有的输入位。

24.7.2 检测启动和停止条件

从模块将检测总线上的启动和停止条件，并以 S 位 （I2CxSTAT<3>）和 P 位 （I2CxSTAT<4>）指示该状态。启动 （S）位和停止 （P）位在复位时或模块被禁止时清零。在检测到启动或重复启动事件之后， S 位置 1， P 位清零。在检测到停止事件之后， P 位置 1， S 位清零。

24.7.3 检测地址

一旦模块被使能，从模块就会等待启动条件发生。在检测到启动条件之后，从器件将根据 A10M 位 （I2CxCON<10>）的值尝试检测 7 位或 10 位地址。对于 7 位地址，从模块将比较一个接收字节；对于 10 位地址，从模块将比较两个接收字节。7 位地址中还包含一个 R/W 位，该位指定跟在地址后的数据传输方向。如果 R/W = 0，则指定进行写操作，从器件将接收来自主器件的数据。如果 R/W = 1，则指定进行读操作，从器件将向主器件发送数据。10 位地址中包含一个 R/W 位，但根据定义，它始终为 R/W = 0，因为从器件必须接收 10 位地址的第二个字节。

24.7.3.1 从器件地址掩码

I2CxMSK 寄存器用于地址位掩码，在 10 位和 7 位地址模式下将这些位指定为“无关位”。当 I2CxMSK 寄存器中的某位置 1（= 1）时，该位即为“无关位”。无论其在地址的相应位中为 0 还是 1，从模块都会作出响应。例如，在 7 位从模式下， I2CxMSK = 0110000，模块将认为地址 0010000 和 0100000 有效。

24.7.3.2 地址掩码的限制

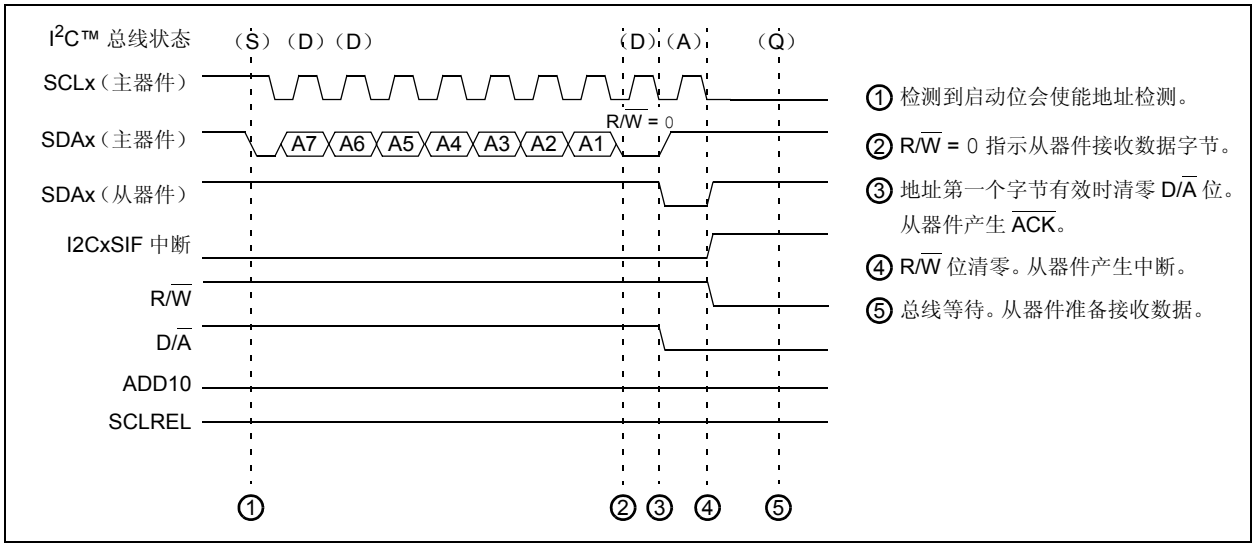
默认情况下，器件会响应或产生位于保留地址空间中的地址，并使能地址掩码（关于保留地址空间，请参见表 24-3）。使用地址掩码，并且 STRICT（I2CxCON<11>）位清零时，器件可以响应保留地址。如果用户希望强制实行保留地址空间规则，则必须将 STRICT 位设置为 1。该位置 1 之后，无论地址掩码设置如何，器件都不会响应保留地址。

24.7.3.3 7 位地址和从器件写操作

在检测到启动条件之后，模块会将 8 个位移入 I2CxRSR 寄存器（见图 24-22）。在第 8 个时钟（SCLx）的下降沿，根据I2CxADD<6:0>和I2CxMSK<6:0>寄存器的值求得寄存器I2CxRSR<7:1>的值。如果地址有效（即，所有未掩码位完全匹配），则发生以下事件：

1. 产生 $\overline{\text{ACK}}$。
2. D/$\overline{\text{A}}$ 和 R/$\overline{\text{W}}$ 位清零。
3. 在第 9 个 SCLx 时钟的下降沿，模块产生 I2CxSIF 中断。
4. 模块将等待主器件发送数据。

图 24-22： 从器件写 7 位地址检测时序图



24.7.3.4 7 位地址和从器件读操作

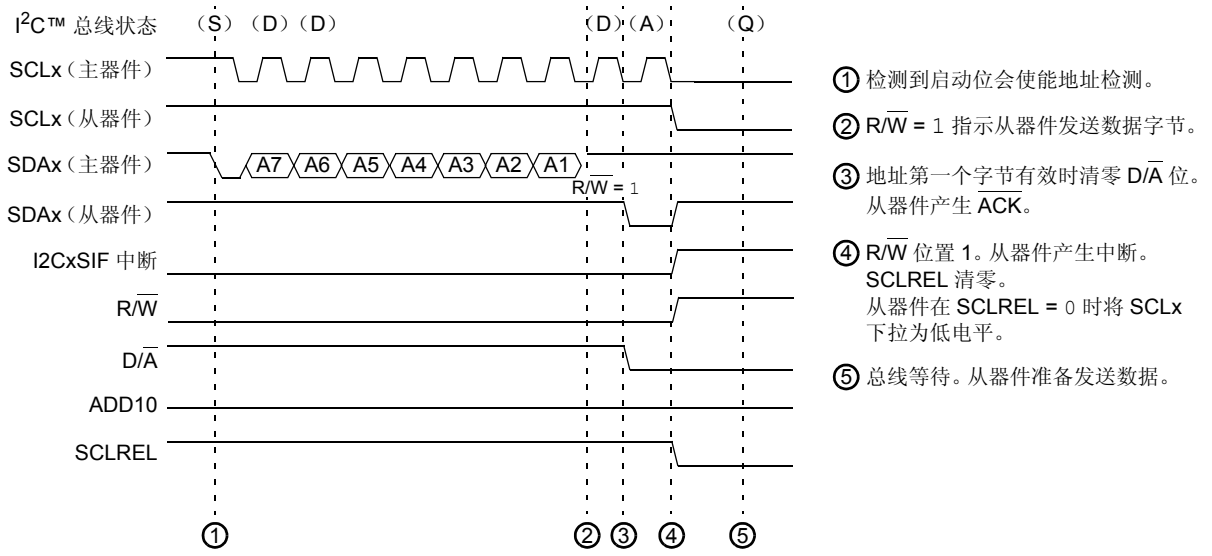
当 7 位地址字节中的 R/$\overline{\text{W}}$ = 1，指定执行从器件读操作时，检测器件地址的过程与从器件写操作类似（见图 24-23）。如果地址匹配，则发生以下事件：

1. 产生 $\overline{\text{ACK}}$。
2. D/$\overline{\text{A}}$ 位清零， R/$\overline{\text{W}}$ 位置 1。
3. 在第 9 个 SCLx 时钟的下降沿，模块产生 I2CxSIF 中断。

由于希望从模块此时发送数据作为答复，因此必须暂停 I^2C 总线的操作，以使软件作好响应的准备。当模块清零 SCLREL 位时，这会自动完成。 SCLREL 为 0 时，从模块会将 SCLx 时钟线下拉为低电平，从而在 I^2C 总线上产生等待。从模块和 I^2C 总线将保持在该状态，直到软件在 I2CxTRN 寄存器中写入响应数据并将 SCLREL 位置 1。

注：	无论 STREN 位的状态如何，在检测到从器件读操作地址之后， SCLREL 都将自动清零。

图 24-23： 从器件读 7 位地址检测时序图



24.7.3.5 10 位寻址模式

图 24-24 给出了 10 位地址模式下总线上地址字节的序列。在该模式下，从器件必须接收两个器件地址字节（见图 24-25）。第一个地址字节的高 5 位（MSb）将指定这是一个 10 位地址。地址的 R/$\overline{W}$ 位必须指定写操作，以使从器件接收第二个地址字节。对于 10 位地址，第一个字节应为“11110 A9 A8 0”，其中“A9”和“A8”为地址的两个最高位。

I2CxMSK 寄存器可以掩码 10 位地址中的任何位。I2CxMSK 的两个最高位用于掩码第一个字节中接收进入地址的最高位。而寄存器的剩余字节用于掩码第二个字节中接收地址的低字节。

在检测到启动条件之后，模块会将 8 个位移入 I2CxRSR 寄存器。I2CxRSR<2:1> 位的值根据 I2CxADD<9:8> 和 I2CxMSK<9:8> 位的值求得，而 I2CxRSR<7:3> 位的值则与“11110”比较。地址求值在第 8 个时钟（SCLx）的下降沿进行。要使地址有效，I2CxRSR<7:3> 必须等于“11110”，而 I2CxRSR<2:1> 必须与 I2CxADD<9:8> 中的任何未掩码位完全匹配。（如果这两个位都被掩码，则无需匹配。）如果地址有效，则发生以下事件：

1. 产生 $\overline{ACK}$。
2. D/$\overline{A}$ 和 R/$\overline{W}$ 位清零。
3. 在第 9 个 SCLx 时钟的下降沿，模块产生 I2CxSIF 中断。

在接收到 10 位地址的第一个字节后，模块也会产生中断，但该中断几乎没有什么用处。

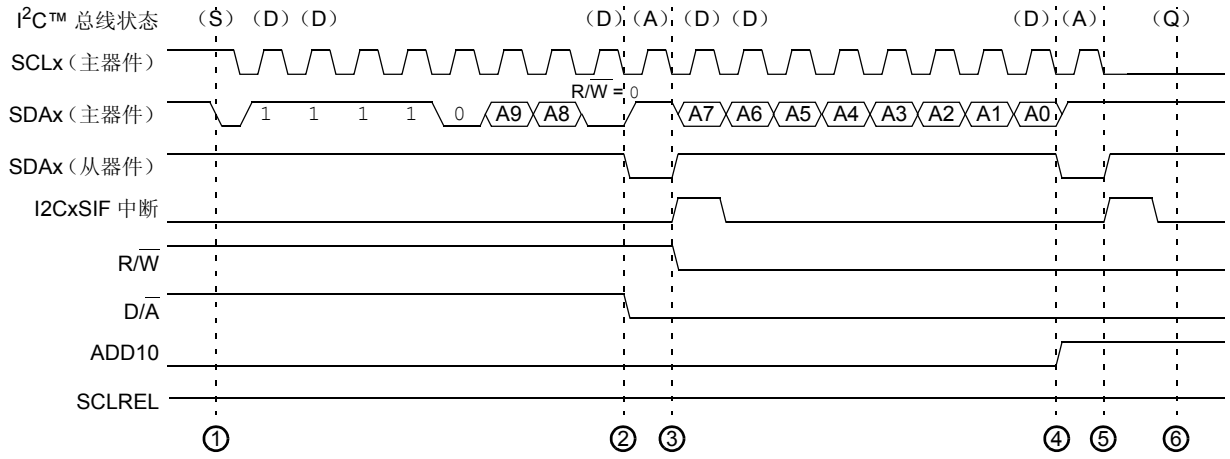
模块将继续接收第二个字节到 I2CxRSR 中。此时，I2CxRSR<7:0> 位根据 I2CADD<7:0> 和 I2CxMSK<7:0> 位进行求值。如果地址低字节有效（如前文所述），则发生以下事件：

1. 产生 $\overline{ACK}$。
2. ADD10 位置 1。
3. 在第 9 个 SCLx 时钟的下降沿，模块产生 I2CxSIF 中断。
4. 模块将等待主器件发送数据或发起重复启动条件。

注：	在 10 位寻址模式下检测到重复启动条件之后，从模块只会匹配前 7 位地址“11110 A9 A8 0”。

图 24-24： 10 位地址序列

图 24-25： 10 位地址检测时序图



① 检测到启动位会使能地址检测。

② 如果第一个字节地址匹配，则会清零 D/$\overline{A}$ 位并导致从器件逻辑产生 $\overline{ACK}$。

③ 接收到第一个字节时会清零 R/$\overline{W}$ 位。从器件逻辑产生中断。

④ 如果第一个字节和第二个字节地址匹配，则会将 ADD10 置 1，并导致从器件逻辑产生 $\overline{ACK}$。

⑤ 接收到第二个字节即完成 10 位地址。从器件逻辑产生中断。

⑥ 总线等待。从器件准备接收数据。

24.7.3.6 广播呼叫操作

在 I²C 总线的寻址过程中，通常由启动条件后的第一个字节（或 10 位寻址模式下为前两个字节）决定主器件将寻址哪个从器件。但广播呼叫地址例外，它能寻址所有器件。当使用这个地址时，所有已使能的器件都应该发送一个应答信号来响应。广播呼叫地址是由 I²C 协议为特定目的保留的 8 个地址之一。它由全 0 组成，且 R/$\overline{W}$ = 0。广播呼叫始终执行从器件写操作。

当广播呼叫使能位 GCEN （I2CxCON<7>）置 1 时，即识别为广播呼叫地址 （见图 24-26）。在检测到启动位之后， 8 个位移入 I2CxRSR，并且将地址与 I2CxADD 进行比较，同时也与广播呼叫地址进行比较。

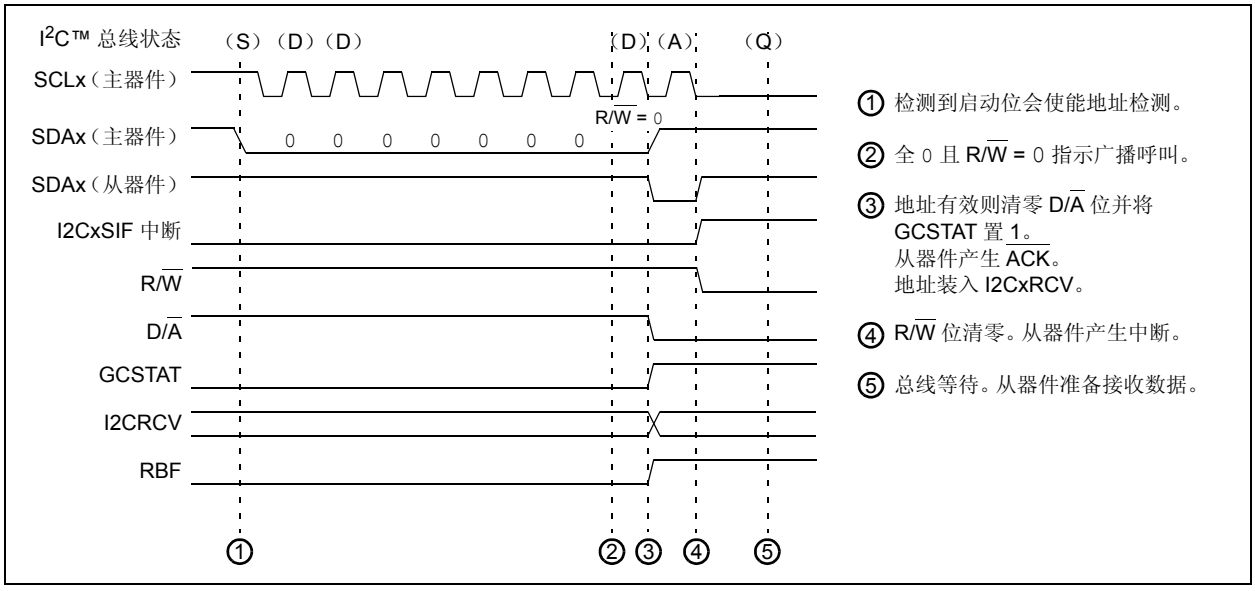
如果广播呼叫地址匹配，则发生以下事件：

1. 产生 $\overline{ACK}$。
2. 从模块会将 GCSTAT 位 （I2CxSTAT<9>）置 1。
3. D/$\overline{A}$ 和 R/$\overline{W}$ 位清零。
4. 在第 9 个 SCLx 时钟的下降沿，模块产生 I2CxSIF 中断。
5. I2CxRSR 中的数据传送到 I2CxRCV， RBF 标志位置 1 （在第 8 位期间）。
6. 模块将等待主器件发送数据。

当处理中断时，可以通过读 GCSTAT 位的内容来检查中断原因，以确定器件地址是特定于器件还是广播呼叫地址。

请注意，广播呼叫地址是 7 位地址。如果将从模块配置为 10 位地址，且 A10M 和 GCEN 位置 1，从模块还是会检测 7 位广播呼叫地址。

图 24-26： 广播呼叫地址检测时序图 （GCEN = 1）



24.7.3.7 严格地址支持

当 STRICT （I2CxCON<11>）控制位置 1 时，它会使模块强制实行所有保留寻址规则，如果任意地址处于保留地址表中，则不会响应这些地址。

24.7.3.8 地址有效时

如果 7 位地址与 I2CxADD<6:0> 的内容不匹配，从模块将返回到空闲状态并忽略所有总线活动，直到检测到停止条件。

如果 10 位地址的第一个字节与 I2CxADD<9:8> 的内容不匹配，从模块将返回到空闲状态并忽略所有总线活动，直到检测到停止条件。

如果 10 位地址的第一个字节与 I2CxADD<9:8> 的内容匹配，但 10 位地址的第二个字节与 I2CxADD<7:0> 不匹配，从模块将返回到空闲状态并忽略所有总线活动，直到检测到停止条件。

24.7.3.9 保留为不掩码的地址

即使在使能掩码时，有几个地址在硬件中也被掩码排除在外。对于这些地址，无论掩码设置如何，始终不会发送应答。表 24-3 中列出了这些地址。

表 24-3： 保留的 I^2C 总线地址 (1)

7 位地址模式：		
从器件地址	**R/$\overline{W}$ 位**	**说明**
0000 000	0	广播呼叫地址 (1)
0000 000	1	启动字节
0000 001	x	CBUS 地址
0000 010	x	保留
0000 011	x	保留
0000 1xx	x	HS 模式主机码
1111 1xx	x	保留
1111 0xx	x	10 位从器件地址高字节 (2)

注 1： 只有 GCEN = 1 时才会应答地址。

2： 只有 10 位寻址模式下的高字节才会发生与该地址匹配。

24.7.4 接收来自主器件的数据

当地址字节的 R/$\overline{W}$ 位为 0 并发生地址匹配时，R/$\overline{W}$ 位（I2CxSTAT<2>）清零。从模块进入等待主器件发送数据的状态。在器件地址字节之后，数据字节的内容由系统协议定义，且仅由从模块接收。

从模块将 8 个位移入 I2CxRSR 寄存器。在第 8 个时钟 （SCLx）的下降沿，发生以下事件：

1. 模块开始产生 $\overline{ACK}$ 或 NACK。
2. RBF 位置 1，指示接收到数据。
3. I2CxRSR 字节传送到 I2CxRCV 寄存器，供软件访问。
4. D/$\overline{A}$ 位置 1。
5. 产生从器件中断。软件可以通过检查 I2CxSTAT 寄存器的状态来确定事件原因，然后清零 I2CxSIF 标志。
6. 模块将等待下一个数据字节。

24.7.4.1 应答产生

通常，从模块将通过在第 9 个 SCLx 时钟发送 $\overline{ACK}$ 对所有接收的字节作出应答。如果接收缓冲区溢出，则从模块不会产生该 $\overline{ACK}$。如果以下两种情况有一种（或同时）存在，则说明发生溢出：

1. 在接收到数据前，缓冲区满位 RBF （I2CxSTAT<1>）被置 1。
2. 在接收到数据前，溢出位 I2COV （I2CxSTAT<6>）被置 1。

表 24-4 显示了在给定 RBF 和 I2COV 位状态时，接收到数据传输字节时发生的情况。如果在从模块尝试向 I2CxRCV 传送数据时，RBF 位已经置 1，则不发生传送，但会产生中断，且 I2COV 位置 1。如果 RBF 和 I2COV 位均置 1，从模块会执行类似操作。阴影单元显示了在软件没有正确清除溢出条件时的情况。

读 I2CxRCV 会清零 RBF 位。 I2COV 由软件写入 0 进行清零。

表 24-4： 接收到传输数据后的操作

接收到数据字节时的状态位		将 I2CxRSR 值传送到 I2CxRCV	产生 $\overline{ACK}$	产生 I2CxSIF 中断（如果允许则发生中断）	RBF 置 1	I2COV 置 1
RBF	I2COV					
0	0	是	是	是	是	不变
1	0	否	否	是	不变	是
1	1	否	否	是	不变	是
0	1	是	否	是	是	不变

图注： 阴影单元显示了在软件没有正确清除溢出条件时的情况。

24.7.4.2 从器件接收期间的等待状态

当从模块接收到数据字节时，主器件可能会立即开始发送下一字节。这使控制从模块的软件可以有 9 个 SCLx 时钟周期来处理先前接收到的字节。如果该时间不够充足，从器件软件可以产生总线等待周期。

STREN 位（I2CxCON<6>）用于在从器件接收期间产生总线等待。当所接收字节的第 9 个 SCLx 时钟的下降沿 STREN = 1 时，从模块会清零 SCLREL 位。清零 SCLREL 位会使从模块将 SCLx 线下拉为低电平，从而产生等待。主器件和从器件的 SCLx 时钟将进行同步，如**第 24.6.2 节 “主器件时钟同步”**中所示。

当软件准备好恢复接收时，软件将 SCLREL 置 1。这将使从模块释放 SCLx 线，从而主器件可以继续发送时钟。

24.7.4.3 从器件接收的示例报文

接收从器件报文是一个相对自动化的过程。处理从器件协议的软件使用从器件中断来与事件同步。

当从器件检测到有效地址时，关联的中断将通知软件等待接收报文。在接收数据时，每个字节传送到 I2CxRCV 寄存器后，会产生中断通知软件读缓冲区。

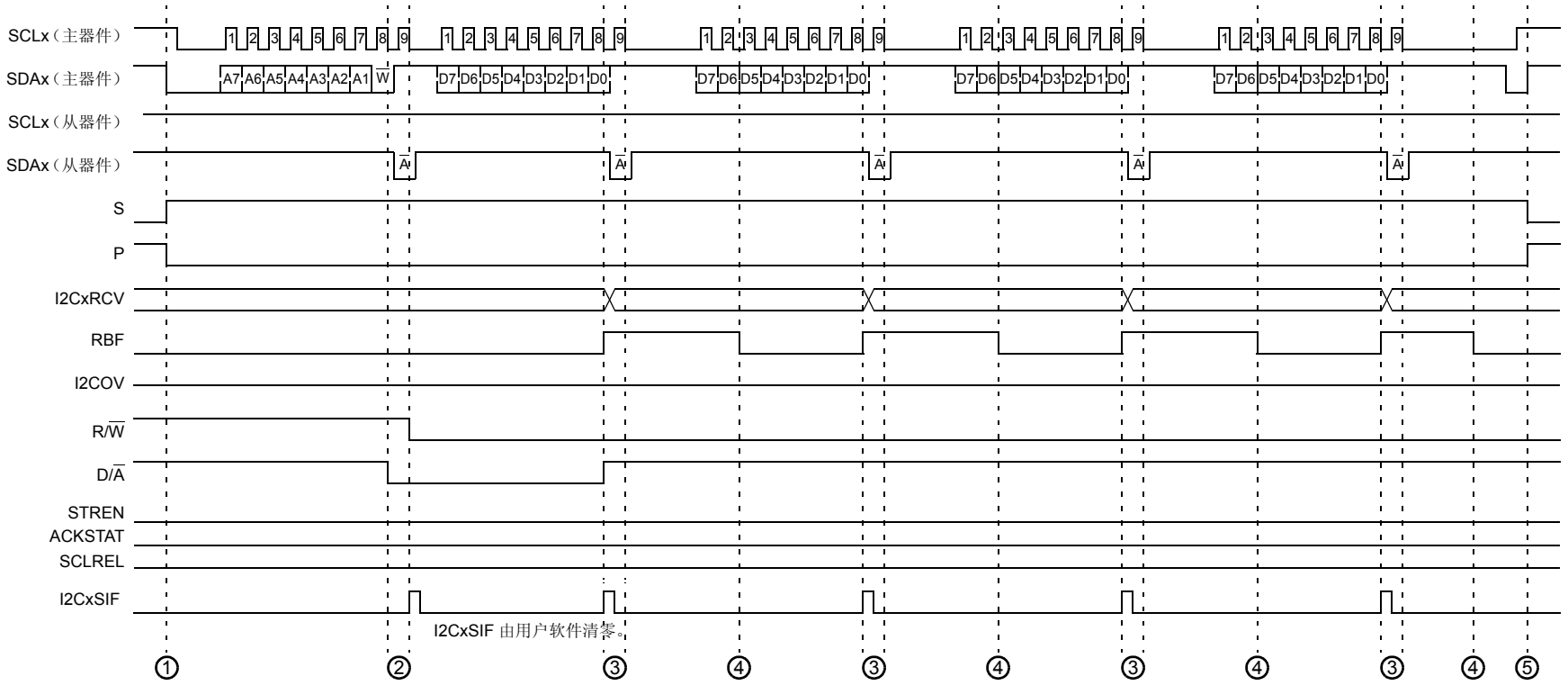
图 24-27 所示为一个简单的接收报文。由于是 7 位地址报文，接收到地址字节时仅产生一次中断。然后，每 4 个数据字节产生一次中断。在发生中断时，软件可以监视 RBF、 D/$\overline{A}$ 和 R/$\overline{W}$ 位来确定所接收字节的状态。

图 24-28 所示为使用 10 位地址的类似报文。在这种情况下，地址需要使用两个字节。

图 24-29 显示的情况是软件不对所接收字节作出响应，并且缓冲区溢出。在接收第二个字节时，模块将自动向主器件发送 NACK。通常，这会使主器件重新发送前一个字节。I2COV 位指示缓冲区发生溢出。 I2CxRCV 缓冲区保留第一个字节的内容。在接收到第三个字节时，缓冲区仍然为满，模块将再次向主器件发送 NACK。在此之后，软件最终读取了缓冲区。读缓冲区将清零 RBF 位，但 I2COV 位仍保持置 1。软件必须清零 I2COV 位。下一个接收到的字节将移到 I2CxRCV 缓冲区，之后模块将发送 ACK 作为响应。

图 24-30 显示了在接收数据时的时钟延长。请注意，在前面的示例中 STREN = 0，这将在接收报文时禁止时钟延长。在该示例中，软件将 STREN 置 1 来使能时钟延长。当 STREN = 1 时，模块将在接收到每个数据字节之后自动延长时钟，使软件可以有更多时间从缓冲区移动数据。请注意，如果在第 9 个时钟的下降沿 RBF = 1，则模块将自动清零 SCLREL 位并将 SCLx 线下拉为低电平。如图所示，对于接收到的第二个数据字节，如果软件可以在第 9 个时钟的下降沿之前读缓冲区并清零 RBF，则不会产生时钟延长。软件也可以随时暂挂总线。通过清零 SCLREL 位，模块将在检测到 SCLx 为低电平之后将 SCLx 下拉为低电平。 SCLx 线将保持低电平，暂挂总线上的事务，直到 SCLREL 置 1。

图 24-27： 从器件报文（向从器件写数据：7 位地址；地址匹配； A10M = 0； GCEN = 0； STRICT = 0）



① 从器件识别启动事件； S 和 P 位相应地置 1/ 清零。

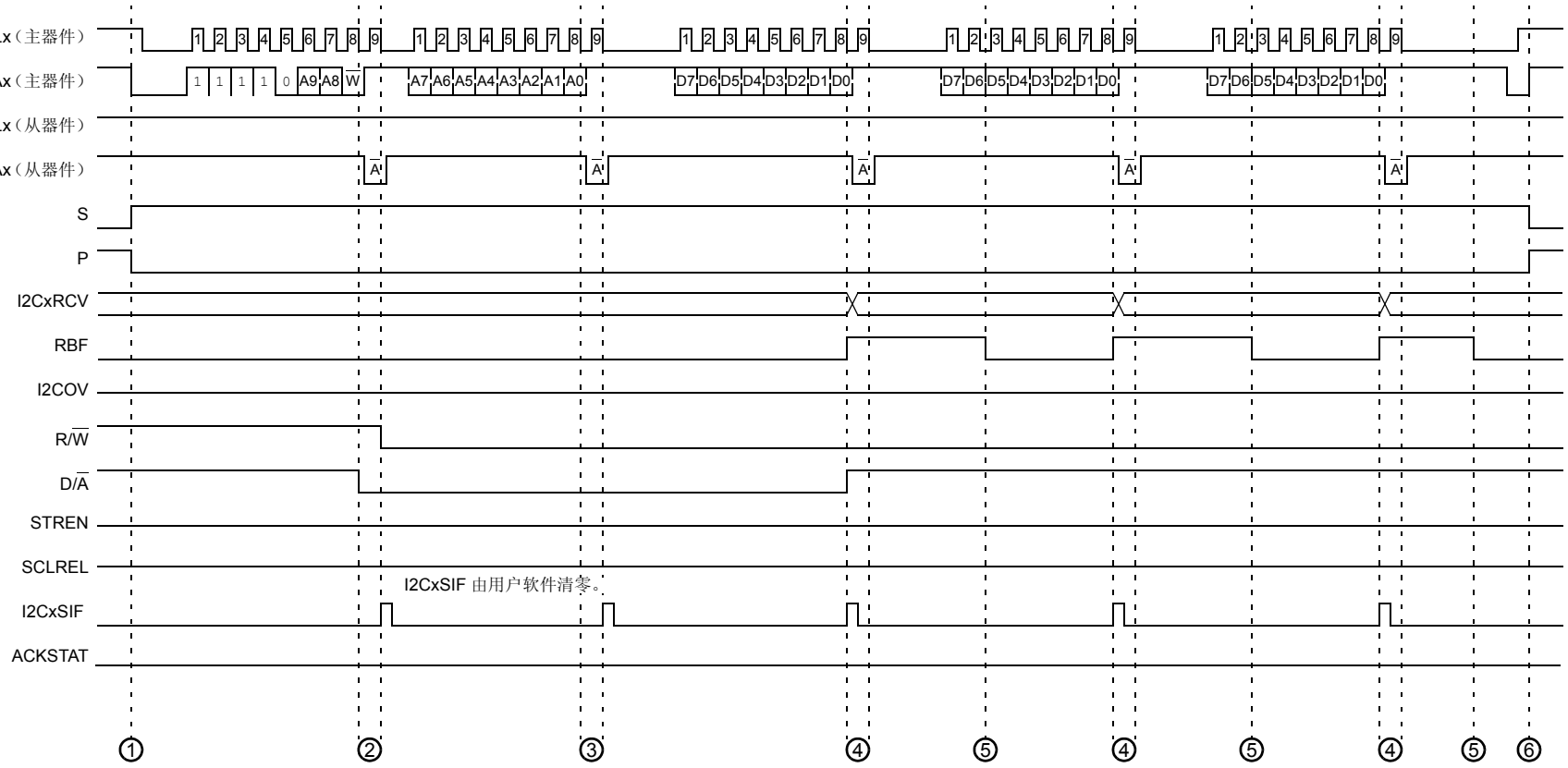
② 从器件接收地址字节。地址匹配。从器件应答并产生中断。
地址字节移入 I2CxRCV 寄存器，且必须由用户软件读取，以防止缓冲区溢出。

③ 下一个接收字节为报文数据。字节移入 I2CxRCV 寄存器，RBF 置 1。
从器件产生中断。从器件应答接收。

④ 软件读 I2CxRCV 寄存器。RBF 位清零。

⑤ 从器件识别停止事件； S 和 P 位相应地置 1/ 清零。

图 24-28： 从器件报文（向从器件写数据：10 位地址；地址匹配； A10M = 1； GCEN = 0； STRICT = 0）



① 从器件识别启动事件； S 和 P 位相应地置 1/ 清零。

② 从器件接收地址字节。高字节地址匹配。
从器件应答并产生中断。地址字节不移入 I2CxRCV 寄存器。

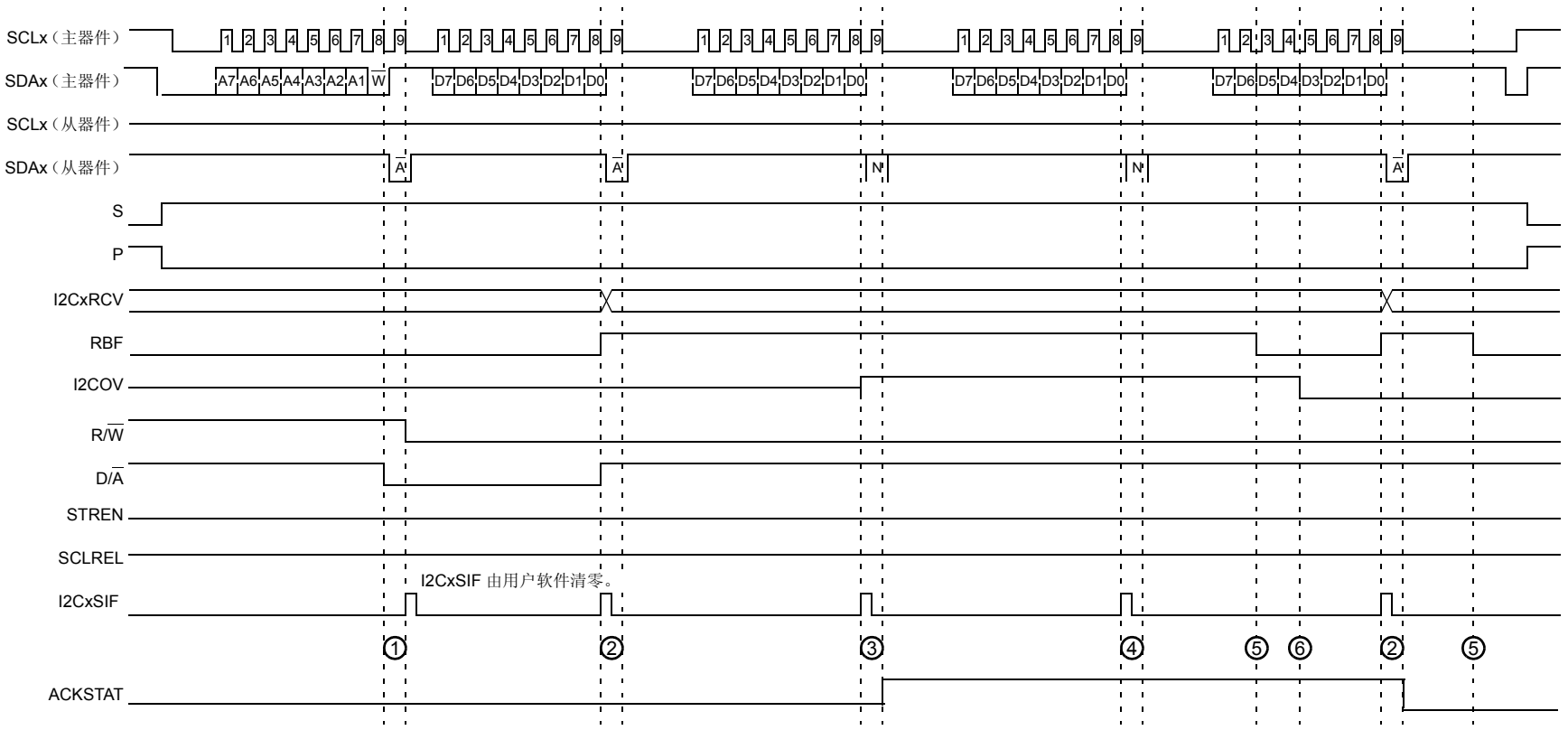
③ 从器件接收地址字节。低字节地址匹配。
从器件应答并产生中断。地址字节不移入 I2CxRCV 寄存器。

④ 下一个接收字节为报文数据。字节移入 I2CxRCV 寄存器，RBF 置 1。
从器件应答并产生中断。

⑤ 软件读 I2CxRCV 寄存器。RBF 位清零。

⑥ 从器件识别停止事件； S 和 P 位相应地置 1/ 清零。

图 24-29：　从器件报文（向从器件写数据：7 位地址；缓冲区溢出；A10M = 0；GCEN = 0；STRICT = 0）



① 从器件接收地址字节。地址匹配。从器件产生中断。
地址字节不移入 I2CxRCV 寄存器。

② 下一个接收字节为报文数据。字节移入 I2CxRCV 寄存器，RBF 置 1。
从器件产生中断。从器件应答接收。

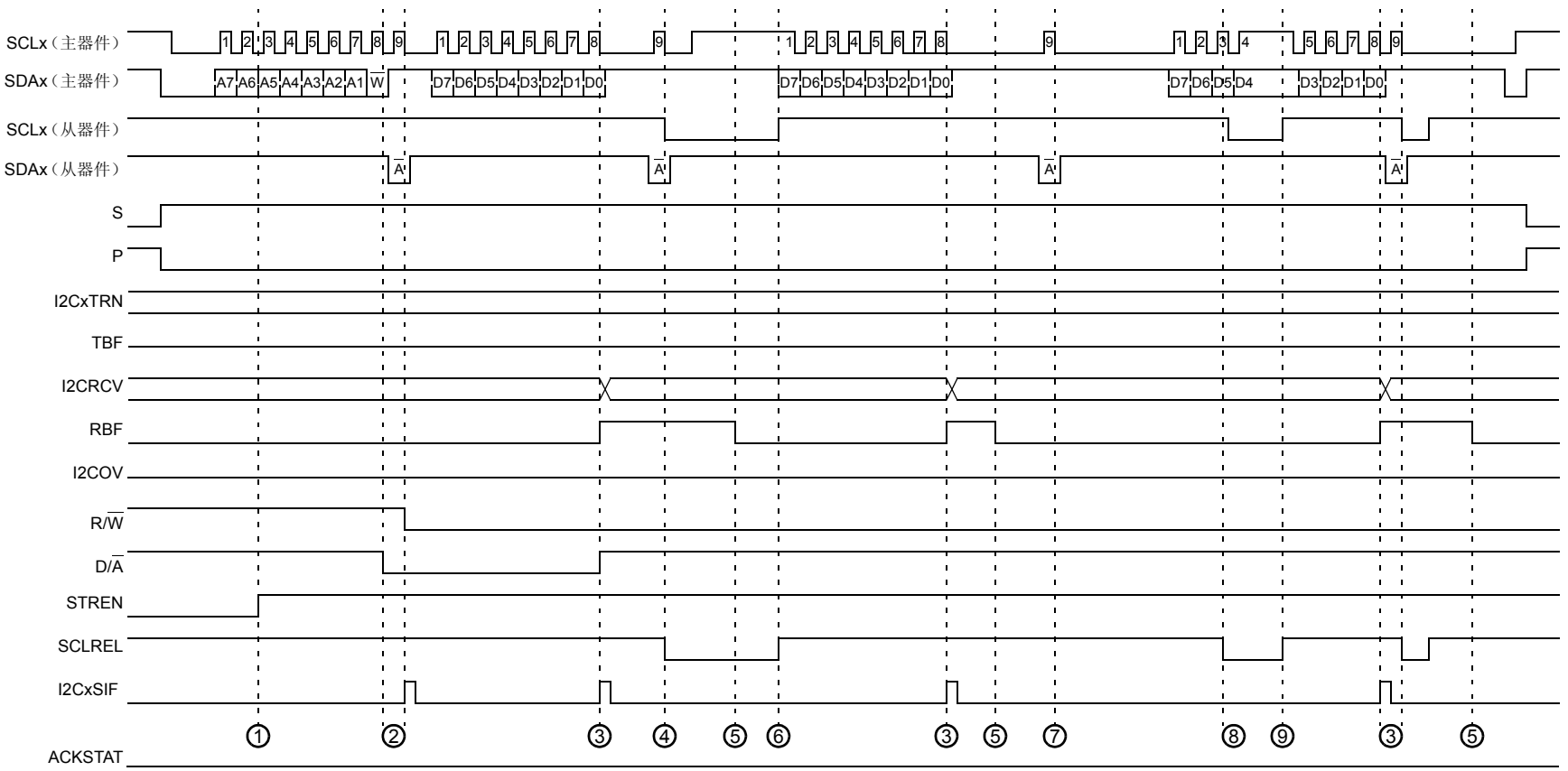
③ 在软件读 I2CxRCV 之前接收到下一字节。I2CxRCV 寄存器不变。
I2COV 溢出位置 1。从器件产生中断。从器件发送 NACK 响应接收。

④ 在软件读 I2CxRCV 之前接收到下一字节。
I2CxRCV 寄存器不变。从器件产生中断。
从器件发送 NACK 响应接收。

⑥ 软件读 I2CxRCV 寄存器。RBF 位清零。

⑦ 软件清零 I2COV 位。

图 24-30： 从器件报文（向从器件写数据：7 位地址；使能时钟延长； A10M = 0； GCEN = 0； STRICT = 0）



① 软件将 STREN 位置 1 以使能时钟延长。

② 从器件接收地址字节。

③ 下一个接收字节为报文数据。字节移入 I2CxRCV 寄存器，RBF 置 1。

④ 因为在第 9 个时钟 RBF = 1，开始自动时钟延长。
从器件清零 SCLREL 位。从器件将 SCLx 线下拉为低电平以延长时钟。

⑤ 软件读 I2CxRCV 寄存器。RBF 位清零。

⑥ 软件将 SCLREL 位置 1 以释放时钟。

⑦ 从器件不清零 SCLREL，因为此时 RBF = 0。

⑧ 软件可以清零 SCLREL 来产生时钟保持。模块必须先检测到 SCLx 为高电平，之后才会将 SCLx 下拉为低电平。

⑨ 软件可以通过将 SCLREL 置 1 来释放时钟保持。

24.7.5 向主器件发送数据

当进入的器件地址字节的 R/$\overline{W}$ 位为 1，且地址匹配时，R/$\overline{W}$ 位（I2CxSTAT<2>）置 1。此时，主器件等候从器件通过发送数据字节作出响应。字节的内容由系统协议定义，且仅由从模块发送。

当地址检测产生中断时，软件可以通过向 I2CxTRN 寄存器写一个字节来启动数据发送。

从模块将 TBF 位置 1。 8 个数据位在 SCLx 输入的下降沿被移出。这可确保在 SCLx 为高电平期间 SDAx 信号是有效的。所有 8 位数据都移出后， TBF 被清零。

从模块在第 9 个 SCLx 时钟的上升沿检测来自主器件 - 接收器的应答。

如果 SDAx 线为低电平，则指示应答 （$\overline{ACK}$），说明主器件需要更多的数据，报文尚未完成。模块会产生从器件中断来通知需要发送更多的数据。

在第 9 个 SCLx 时钟的下降沿产生从器件中断。软件必须检查 I2CxSTAT 寄存器的状态并清零 I2CxSIF 标志。

如果 SDAx 线为高电平，则指示不应答 （NACK），说明数据传输已完成。从模块复位，此时不会产生中断。从模块将等待直到检测到下一个启动位。

24.7.5.1 从器件发送期间的等待状态

在从器件发送报文期间，主器件在检测到有效地址且 R/$\overline{W}$ = 1 之后将期待立即返回数据。出于此原因，每当从模块返回数据时，从模块将自动产生总线等待。

在有效器件地址字节的第 9 个 SCLx 时钟的下降沿或主器件对发送字节产生应答时，将发生自动等待，指示希望发送更多数据。

从模块清零 SCLREL 位。清零 SCLREL 位会使从模块将 SCLx 线下拉为低电平，从而产生等待。主器件和从器件的 SCLx 时钟将进行同步，如**第 24.6.2 节 “主器件时钟同步”**中所示。

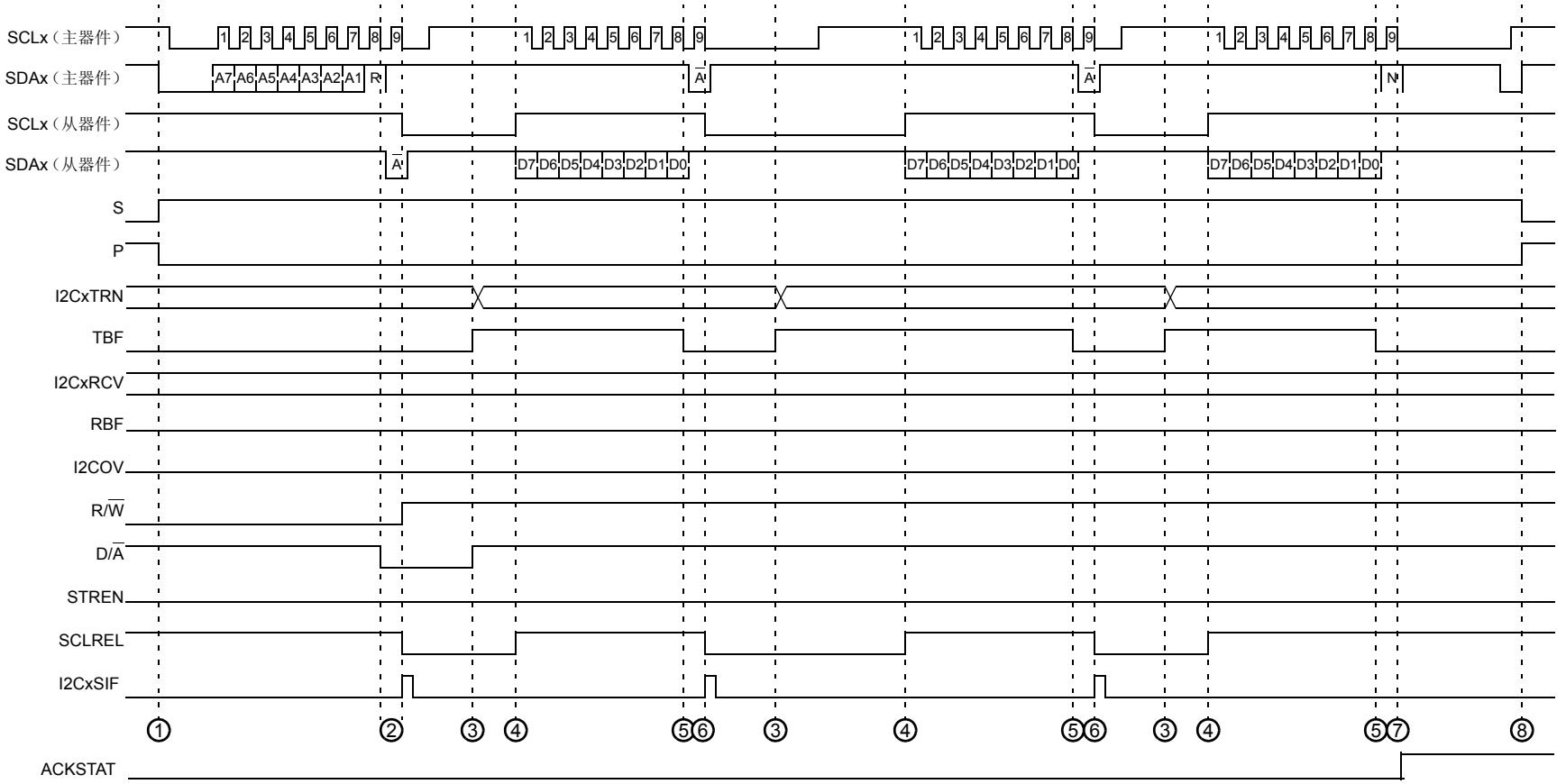
当软件在 I2CxTRN 中装入值并准备好恢复发送时，软件将 SCLREL 置 1。这将使从模块释放 SCLx 线，从而主器件可以恢复产生时钟。

24.7.5.2 从器件发送的示例报文

图 24-31 中显示了 7 位地址报文的从器件发送。当地址匹配且地址的 R/$\overline{W}$ 位指示进行从器件发送时，模块将通过清零 SCLREL 位自动产生时钟延长，并产生中断来指示需要发送响应字节。软件需将响应字节写入 I2CxTRN 寄存器。在发送完成时，主器件将发送应答作为响应。如果主器件答复为 $\overline{ACK}$，则说明主器件需要更多数据，此时模块将再次清零 SCLREL 位并产生另一中断。如果主器件发送 NACK 作为响应，则说明不再需要发送数据，此时模块将不会延长时钟，也不会产生中断。

对应于 10 位地址报文的从器件发送要求从器件首先识别 10 位地址。因为主器件必须发送两个字节的地址，所以地址的第一个字节中的 R/$\overline{W}$ 位必须指定执行写操作。要将报文更改为执行读操作，主器件需要发送重复启动条件并重复发送地址的第一个字节，这时第一个字节的 R/$\overline{W}$ 位应指定执行读操作。此时，从器件发送开始，如图 24-32 所示。

图 24-31： 从器件报文 （自从器件读数据：7 位地址）



① 从器件识别启动事件； S 和 P 位相应地置 1/ 清零。

② 从器件接收地址字节。地址匹配。从器件产生中断。
地址字节不移入 I2CxRCV 寄存器。R/W = 1，指示自从器件读数据。
SCLREL = 0，暂挂主器件时钟。

③ 软件向 I2CxTRN 中写入响应数据。TBF = 1 指示缓冲区已满。
写 I2CxTRN 将 D/A 置 1，指示是数据字节。

④ 软件将 SCLREL 置 1 以释放时钟保持。主器件继续发送时钟，
从器件发送数据字节。

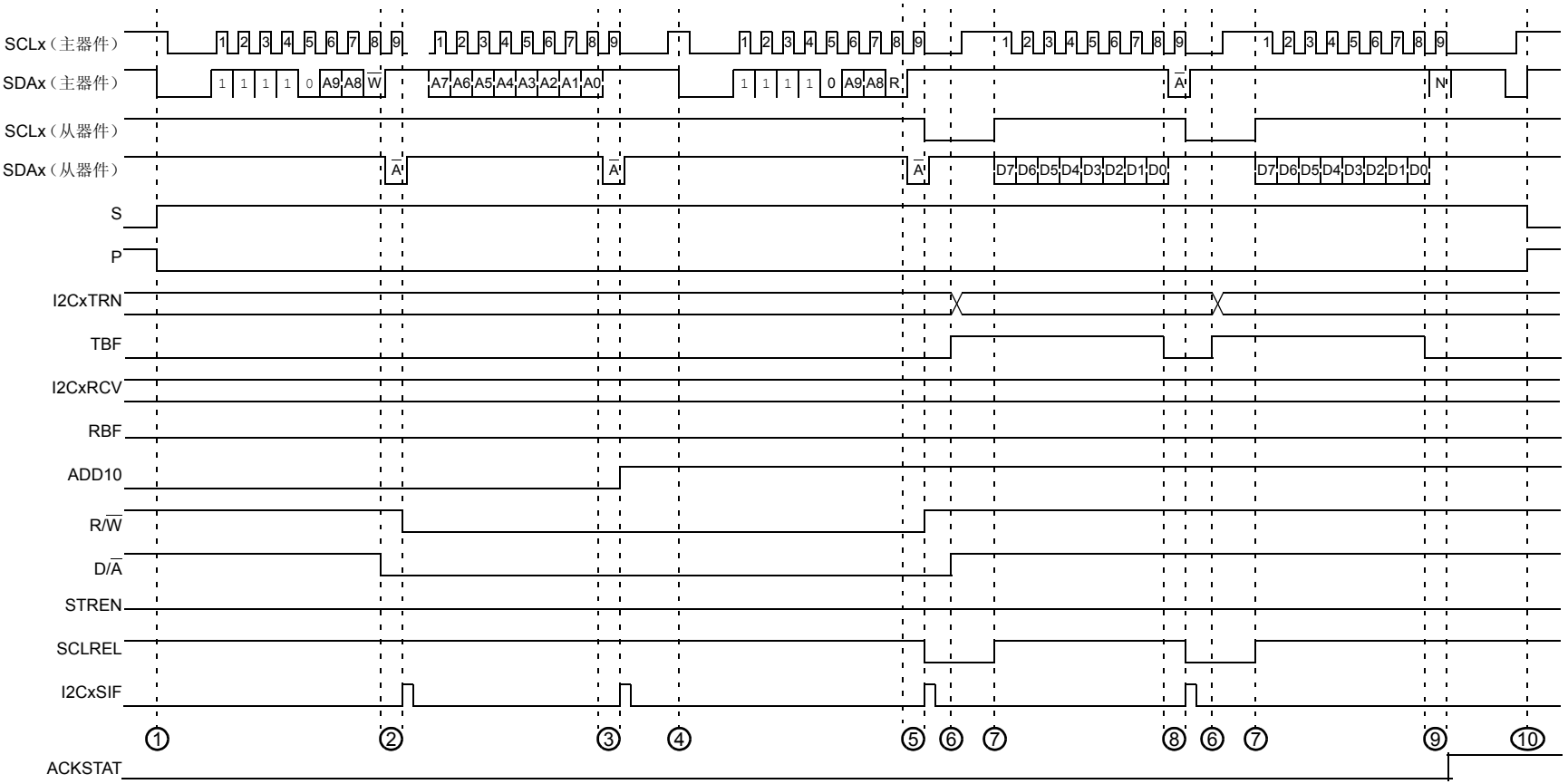
⑤ 接收到最后一位之后，模块清零 TBF 位，指示缓冲区可用于接收下一字节。

⑥ 在第 9 个时钟结束时，如果主器件发送 $\overline{\text{ACK}}$，模块将清零 SCLREL 以暂挂时钟。
从器件产生中断。

⑦ 在第 9 个时钟结束时，如果主器件发送 NACK，则说明不再需要发送数据。
模块不会暂挂时钟，并将产生中断。

⑧ 从器件识别停止事件； S 和 P 位相应地置 1/ 清零。

图 24-32： 从器件报文 （自从器件读数据：10 位地址）



① 从器件识别启动事件； S 和 P 位相应地置 1/ 清零。

② 从器件接收第一个地址字节。指示执行写操作。从器件应答并产生中断。

③ 从器件接收地址字节。地址匹配。从器件应答并产生中断。

④ 主器件发送重复启动条件，以更改报文方向。

⑤ 从器件接收重新发送的第一个地址字节。指示执行读操作。从器件暂挂时钟。

⑥ 软件向 I2CxTRN 中写入响应数据。

⑦ 软件将 SCLREL 置 1 以释放时钟保持。主器件继续发送时钟，从器件发送数据字节。

⑧ 在第 9 个时钟结束时，如果主器件发送 $\overline{\text{ACK}}$，模块将清零 SCLREL 以暂挂时钟。从器件产生中断。

⑨ 在第 9 个时钟结束时，如果主器件发送 NACK，则说明不再需要发送数据。模块不会暂挂时钟或产生中断。

⑩ 从器件识别停止事件； S 和 P 位相应地置 1/ 清零。

24.8 I²C 总线的连接注意事项

因为 I²C 总线定义为按线与方式进行连接，所以在总线上需要接上拉电阻，该电阻为图 24-33 中的 RP。串联电阻 （RS）是可选的，用于提高抗 ESD 能力。电阻 RP 和 RS 的阻值取决于以下参数：

- 供电电压
- 总线电容
- 所连接器件的数量 （输入电流 + 泄漏电流）
- 输入电平选择 （I²C 或 SMBus）

为了获得精确的 SCK 时钟，上升时间应尽可能短。限制因素是 SCK 引脚焊盘上的最大灌电流。以下示例基于 3.3V 电源和 6.6 mA 灌电流 （VOLMAX = 0.4V）计算时的 Rp 最小值：

公式 24-2：

$$R_{PMIN} = (V_{DDMAX} - V_{OLMAX})/I_{OL} = (3.3V - 0.4V)/6.6\ mA = 439\Omega$$

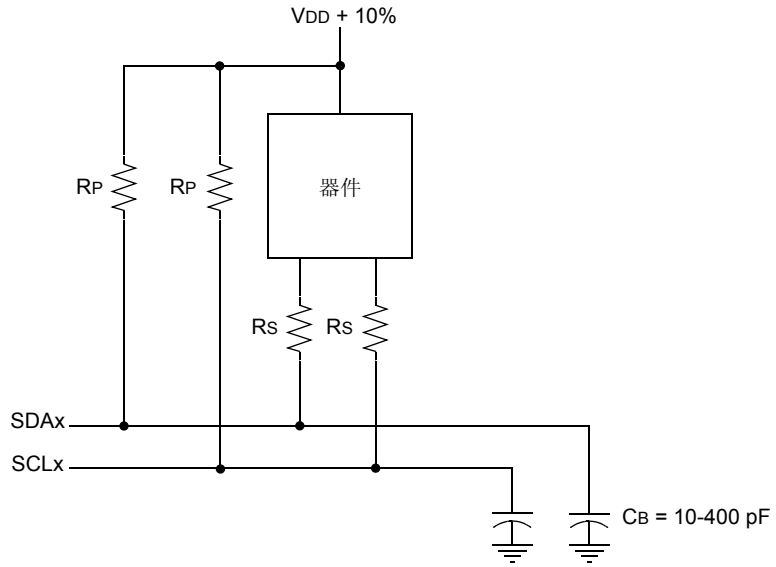
RS 的最大阻值由对应于低电平的期望噪声容限决定。RS 不能降低太多的电压，使得器件 VOL 加 RS 上的电压大于最大 VIL。算术表示为：

公式 24-3：

$$R_{SMAX} = (V_{ILMAX} - V_{OLMAX})/I_{OLMAX} = (0.3\ V_{DD} - 0.4)/6.6\ mA = 89\Omega$$

为确保正常工作，SCLx 时钟输入必须满足最小高电平和低电平时间要求。I²C 规范的高低电平时间以及对 I²C 模块的具体要求，请参见器件数据手册 （DS61143）的 “电气特性”章节。

图 24-33： I²C 总线器件配置示例



注： 输入电平与 VDD 相关的 I²C™ 器件必须具有公共的电源线，上拉电阻也连接到该电源线。

24.8.1 集成的信号调理和压摆率控制

SCLx 和 SDAx 引脚具有输入毛刺滤波器。I^2C 总线在 100 kHz 和 400 kHz 系统中都需要该滤波器。

在 400 kHz 总线上工作时，I^2C 规范要求对器件引脚输出进行压摆率控制。该压摆率控制集成在器件中。如果 DISSLW 位（I2CxCON<9>）清零，则压摆率控制处于有效状态。对于其他总线速度，I^2C 规范不要求压摆率控制，DISSLW 应置 1。

一些实现 I^2C 总线的系统需要 V_{ILMAX} 和 V_{IHMIN} 具有不同的输入电平。在一般的 I^2C 系统中，V_{ILMAX} 为 0.3 V_{DD}；V_{IHMIN} 为 0.7 V_{DD}。与之不同，在 SMBus（系统管理总线）系统中，V_{ILMAX} 设置为 0.8V，而 V_{IHMIN} 设置为 2.1V。

SMEN 位（I2CxCON<8>）用于控制输入电平。将 SMEN 置 1 会将输入电平更改为符合 SMBus 规范。

24.9 节能模式和调试模式下的 I²C™ 操作

注： 在本手册中，对于特定模块中使用的功耗模式和器件使用的功耗模式进行了区分；例如，比较器的 Sleep（休眠）模式和 CPU 的 SLEEP（休眠）模式。为了指示所期望功耗模式的类型，模块功耗模式使用大写字母加小写字母（Sleep，Idle，Debug）（休眠、空闲和调试）来表示，器件功耗模式使用全大写字母（SLEEP，IDLE，DEBUG）（休眠、空闲和调试）来表示。

基于 PIC32MX 的器件具有两种节能模式：

- IDLE（空闲）模式：关闭内核和选定外设
- SLEEP（休眠）模式：关闭整个器件

24.9.1 主模式工作时的休眠

当器件进入 SLEEP（休眠）模式时，模块的所有时钟源都会被关闭。波特率发生器会由于时钟停止而停止。可能必须对它进行复位，以防止检测到不完整的时钟。

如果在主器件发送过程中发生 SLEEP（休眠），则状态机在时钟停止时部分进入发送状态，主模式发送被中止。

在等待发送或接收时，没有任何自动方式可以阻止模块进入 SLEEP（休眠）模式。用户软件必须将 SLEEP（休眠）进入与 I²C 操作进行同步，以避免数据传输中止。

进入 SLEEP（休眠）模式或退出 SLEEP（休眠）模式不会影响寄存器的内容。

24.9.2 从模式工作时的休眠

在器件处于 SLEEP（休眠）模式时，I²C 模块可以在从模式下继续工作。

当在从模式下工作，并且器件进入 SLEEP（休眠）模式时，主器件产生的时钟将运行从器件状态机。该功能可以在接收到的地址匹配时对器件产生中断，以唤醒器件。

进入 SLEEP（休眠）模式或退出 SLEEP（休眠）模式不会影响寄存器的内容。

如果在从器件数据发送操作的过程中将 SLEEP 置 1，则会产生错误条件；此时可能产生不确定的结果。

24.9.3 空闲模式

当器件进入 IDLE（空闲）模式时，所有 PBCLK 时钟源继续工作。如果模块要掉电，则它会禁止它自己的时钟。

对于 I²C，I2CxSIDL 位（I2CxCON<13>）用于选择模块在 IDLE（空闲）模式下是停止还是继续工作。如果 I2CxSIDL = 0，则模块将在 IDLE（空闲）模式下继续工作。如果 I2CxSIDL = 1，则模块将在 IDLE（空闲）模式下停止工作。

对于在 IDLE（空闲）模式下停止工作，I²C 模块将执行与 SLEEP（休眠）模式相同的过程。模块状态机必须复位。

24.9.4 调试模式下的操作

FRZ 位（I2CxCON<14>）决定 CPU 在 DEBUG（调试）模式下执行调试异常代码（即，应用程序暂停）时，I²C 模块是继续运行还是停止。当 FRZ = 0 时，即使应用程序在 DEBUG（调试）模式下暂停，I²C 模块也会继续运行。当 FRZ = 1 且应用程序在 DEBUG（调试）模式下暂停时，模块将冻结其操作，并且不更改 I²C 模块的状态。在 CPU 继续开始执行代码之后，模块将继续工作。

注： 只有 CPU 在调试异常模式下执行时，FRZ 位才可读写。在所有其他模式下，FRZ 位读为 0。如果 FRZ 位在 DEBUG（调试）模式期间发生改变，则只有退出当前调试异常模式并重新进入该模式之后，新值才会生效。在调试异常模式期间，在进入 DEBUG（调试）模式时 FRZ 位会读取外设状态。

24.10 复位的影响

复位（POR 和 WDT 等）会禁止 I²C 模块并终止所有正在进行和待执行的报文活动。关于这些寄存器的复位条件，请参见 I2CxCON 和 I2CxSTAT 的寄存器定义。

注： 在本文中，“IDLE”（空闲）指 CPU 节能状态。小写形式的 “idle”（空闲）指 I²C 模块不在总线上传输数据的时候。

24.11 I²C 模式下的引脚配置

在 I²C 模式下，引脚 SCL 为时钟，引脚 SDA 为数据。模块会改写这些引脚的数据方向位（TRIS 位）。用于 I²C 模式的引脚会被配置为漏极开路。表 24-5 列出了不同模式下的引脚用法。

表 24-5： 所需的 I/O 引脚资源

I/O 引脚名称	主模式	从模式
SDAx	是	是
SCLx	是	是

注： “否”表示引脚不是必需的，可以用作通用 I/O 引脚。

24.12 设计技巧

问 1： *我将器件作为总线主器件工作并发送数据。为什么总是在同一时间产生从器件中断和接收中断？*

答 1： 主器件电路和从器件电路是相互独立的，从模块会从总线上接收主模块发送的事件。

问 2： *我将器件作为从器件工作，在将数据写入I2CxTRN 寄存器时，为什么数据未被发送？*

答 2： 在准备发送数据时，从器件会进入自动等待。请确保将 SCLREL 位置 1，以释放 I²C 时钟。

问 3： *如何确定主模块处于何种状态？*

答 3： 检查 SEN、RSEN、PEN、RCEN、ACKEN 和 TRSTAT 位的值，通过这些位值可以确定主模块的状态。如果所有位的值均为 0，则说明模块处于 IDLE（空闲）状态。

问 4： *器件作为从器件工作时，当 STREN = 0 时接收到一个字节。如果软件无法在接收到下一字节之前处理该字节，软件应执行什么操作？*

答 4： 因为 STREN 为 0，所以在接收字节时，模块不会产生自动等待。但是，软件可以在报文传输期间的任意时刻将 STREN 置 1，然后再清零 SCLREL。这将在下一次同步 SCLx 时钟时产生等待。

问 5： *我的 I²C™ 系统是多主机系统。为什么在我尝试发送报文时，报文被损坏？*

答 5： 在多主机系统中，其他主器件可能会导致总线冲突。在主器件的中断服务程序中，检查 BCL 位，以确保操作完成且未发生冲突。如果检测到冲突，则必须重新发送报文。

问 6： *我的 I²C™ 系统是多主机系统。我应如何确定何时可以开始发送报文？*

答 6： 检查 S 位。如果 S = 0，则说明总线处于 Idle（空闲）状态。

问 7： *我尝试在总线上发送启动条件，然后通过写入 I2CxTRN 寄存器发送一个字节。但字节并未发送。这是什么原因？*

答 7： 您必须等待 I²C 总线上的每个事件完成，然后才能启动下一个事件。在这种情况下，您应查询 SEN 位来确定启动事件何时完成，或者在将数据写入 I2CxTRN 之前等待主器件 I²C 中断。

24.13 相关应用笔记

本节列出了与手册本章内容相关的应用笔记。这些应用笔记可能并不是专为 PIC32MX 器件系列而编写的，但其概念是相近的，通过适当修改并受到一定限制即可使用。当前与 I^2C 模块相关的应用笔记包括：

标题	应用笔记编号
Use of the SSP Module in the I ^{2}C™ Multi-Master Environment	AN578
Using the PIC® Microcontroller SSP for Slave I^2C™ Communication	AN734
Using the PIC® Microcontroller MSSP Module for Master I^2C™ Communications	AN735
An I^2C™ Network Protocol for Environmental Monitoring	AN736

注： 如需获取更多 PIC32MX 系列器件的应用笔记和代码示例，请访问 Microchip 网站（www.microchip.com）。

24.14 版本历史

版本 A （2007 年 10 月）

这是本文档的初始版本。

版本 B （2007 年 10 月）

更新了文档 （删除了 “机密” 状态）。

版本 C （2008 年 4 月）

将状态修改为 “初稿”； 将 U-0 修改为 r-x。

版本 D （2008 年 7 月）

修改了图 24-1； 修改了第 24.2 节 （I2CxMIF）； 修改了寄存器 24-1 的 bit 13 和 bit 14； 修改了寄存器 24-26 至 24-29； 修改了表 24-1 （I2CxCON）； 将保留位从 “保持为” 更改为 “写入”； 为 ON 位 （I2CxCON 寄存器）增加了注释； 删除了第 24.12 节 （电气特性）。

注：

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下， Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是 “牢不可破”的。

代码保护功能处于持续发展中。 Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 （Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

ISBN：978-1-60932-523-7

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
ISO/TS 16949:2002

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2002 认证。公司在 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品方面的质量体系流程均符合 ISO/TS-16949:2002。此外，Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

全球销售及服务网点

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277
技术支持：
http://support.microchip.com
网址：www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

克里夫兰 Cleveland
Independence, OH
Tel: 1-216-447-0464
Fax: 1-216-447-0643

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Farmington Hills, MI
Tel: 1-248-538-2250
Fax: 1-248-538-2260

科科莫 Kokomo
Kokomo, IN
Tel: 1-765-864-8360
Fax: 1-765-864-8387

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

圣克拉拉 Santa Clara
Santa Clara, CA
Tel: 1-408-961-6444
Fax: 1-408-961-6445

加拿大多伦多 Toronto
Mississauga, Ontario,
Canada
Tel: 1-905-673-0699
Fax: 1-905-673-6509

亚太地区

亚太总部 Asia Pacific Office
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 – 北京
Tel: 86-10-8528-2100
Fax: 86-10-8528-2104

中国 – 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 – 重庆
Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 – 香港特别行政区
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 – 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 – 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 – 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 – 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 – 深圳
Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 – 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 – 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 – 厦门
Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 – 珠海
Tel: 86-756-321-0040
Fax: 86-756-321-0049

台湾地区 – 高雄
Tel: 886-7-213-7830
Fax: 886-7-330-9305

台湾地区 – 台北
Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

亚太地区

台湾地区 – 新竹
Tel: 886-3-6578-300
Fax: 886-3-6578-370

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore
Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

印度 India - New Delhi
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune
Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 Japan - Yokohama
Tel: 81-45-471- 6166
Fax: 81-45-471-6122

韩国 Korea - Daegu
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila
Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore
Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok
Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark-Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

英国 UK - Wokingham
Tel: 44-118-921-5869
Fax: 44-118-921-5820

07/15/10