



UNIVERSITAS INDONESIA

DESAIN TWO STAGE BJT 2N2222 COMMON EMITTER AMPLIFIER

LAPORAN ANALISIS PROYEK

MATA KULIAH RANGKAIAN ELEKTRONIKA 1 - 02

KELOMPOK 1

IZZUDIN AL AYYUBI	2006574780
KAISAR SYADDAD D.C	2306156624
ARYA RABBANI PUTRA	2306238845
M. FADLAN ATHARI G	2306266905
M. DAFFA WIBISONO	2306247553

FAKULTAS TEKNIK UNIVERSITAS INDONESIA

DEPARTEMEN TEKNIK ELEKTRO

PROGRAM STUDI TEKNIK ELEKTRO

DEPOK

JUNI 2025

DAFTAR ISI

DAFTAR ISI	i
DAFTAR GAMBAR	ii
DAFTAR TABEL	iii
BAB 1 PENDAHULUAN	1
1.1. Latar Belakang	1
1.2. Rumusan Masalah	1
1.3. Tujuan	2
BAB 2 STUDI LITERATUR	3
2.1. Amplifier	3
2.1.1. Common-Emitter Amplifier	3
2.1.2. Multistage Amplifier	3
BAB 3 PERANCANGAN SISTEM	5
3.1. Perancangan Two Stage BJT Common Emitter Amplifier	5
3.1.1. Kriteria dan Target Desain	5
3.1.2. Perhitungan Teoritis	7
3.2. Simulasi Sistem	14
3.3. Perancangan Desain Layout PCB	16
3.4. Pengujian Sistem	17
BAB 4 HASIL DAN PEMBAHASAN	18
4.1. Hasil Simulasi Rangkaian Two Stage BJT Common Emitter Amplifier .	18
4.1.1. Hasil Simulasi Interaktif Two Stage BJT Common Emitter Amplifier	18
4.1.2. Hasil Simulasi DC Operating Point Two Stage BJT Common Emitter Amplifier	20
4.1.3. Hasil Simulasi AC Sweep Two Stage BJT Common Emitter Amplifier	22
4.2. Hasil Pengujian Rangkaian Two Stage BJT Common Emitter Amplifier	24
BAB 5 KESIMPULAN	28
5.1. Kesimpulan	28
DAFTAR REFERENSI	29

DAFTAR GAMBAR

Gambar 2-1 Common Emitter Amplifier [1].....	3
Gambar 2-2 Multistage Amplifier	4
Gambar 3-1 Rangkaian Two Stage BJT Common Emitter Amplifier dengan Emitter Degeneration=--.....	5
Gambar 3-2 Two Port System	7
Gambar 3-3 Diagram Rangkaian Two Stage BJT 2N2222 Common Emitter Amplifier	14
Gambar 3-4 Rangkaian Simulasi Two Stage BJT CE Amplifier	14
Gambar 3-5 Rancangan Layout PCB 2D	16
Gambar 3-6 Rancangan Layout PCB 3D	16
Gambar 3-7 Pengujian Sistem dengan NI ELVIS	17
Gambar 4-1 Grafik Simulasi Rangkaian Two Stage BJT CE Amplifier dengan Oscilloscope	18
Gambar 4-2 Hasil Simulasi DC Operating Point.....	21
Gambar 4-3 Bode Plot Simulasi Rangkaian Two Stage BJT CE Amplifier	23
Gambar 4-4 Grafik Hasil Pengujian 20Hz	24
Gambar 4-5 Grafik Hasil Pengujian 100Hz	25
Gambar 4-6 Grafik Hasil Pengujian 1kHz	26

DAFTAR TABEL

Tabel 3-1 Target Spesifikasi Desain.....	7
Tabel 3-2 Nilai Parameter Teoritis dan Standar Komersil	10
Tabel 3-3 Nilai Parameter Teoritis dan Standar Komersil	12
Tabel 4-1 Hasil Simulasi Rangkaian Two Stage BJT CE Amplifier	19
Tabel 4-2 Perbandingan Nilai Perhitungan Teoritis dan Hasil Simulasi DC Operating Point.....	21

BAB 1

PENDAHULUAN

1.1. Latar Belakang

Penguat sinyal merupakan salah satu komponen penting dalam sistem elektronika, terutama pada perangkat audio, komunikasi, dan instrumentasi. Salah satu konfigurasi yang sering digunakan dalam penguatan sinyal analog adalah penguat common emitter berbasis transistor BJT. Konfigurasi ini dipilih karena mampu memberikan penguatan tegangan yang cukup besar serta memiliki karakteristik linieritas yang baik.

Dalam beberapa aplikasi, satu tahap penguatan tidak cukup untuk mencapai level sinyal yang diinginkan. Oleh karena itu, dibutuhkan penguat dua tahap (*two-stage amplifier*) untuk meningkatkan total gain sistem secara bertahap tanpa mengorbankan kestabilan dan kualitas sinyal. Desain dua tahap juga memungkinkan kontrol yang lebih baik terhadap titik kerja transistor dan respon frekuensi sistem.

Bipolar Junction Transistor (BJT) banyak digunakan dalam aplikasi rangkaian penguat karena memiliki karakteristik yang stabil, mudah diperoleh, dan cocok untuk aplikasi frekuensi menengah. Dengan menggunakan pendekatan perancangan sistematis, proyek ini bertujuan untuk merancang dan menguji performa penguat dua tahap dengan konfigurasi common emitter menggunakan BJT, serta menganalisis hasilnya melalui simulasi dan pengujian langsung.

1.2. Rumusan Masalah

Berdasarkan latar belakang, rumusan masalah dalam proyek ini dapat dirumuskan sebagai berikut:

1. Bagaimana merancang sistem penguat dua tahap dengan konfigurasi *common emitter* yang mampu bekerja secara optimal dalam rentang frekuensi audio?
2. Bagaimana menentukan nilai komponen yang sesuai agar diperoleh penguatan tegangan (gain) yang stabil dan sesuai target?

3. Bagaimana mengevaluasi kinerja rangkaian melalui simulasi dan pengujian langsung untuk memastikan sistem bekerja sesuai spesifikasi yang ditetapkan?

1.3. Tujuan

Tujuan dari proyek ini adalah untuk merancang, mensimulasikan, dan menguji rangkaian penguat dua tahap dengan konfigurasi *common emitter* berbasis transistor BJT NPN agar memenuhi spesifikasi penguatan dan kestabilan sinyal pada rentang frekuensi audio.

BAB 2

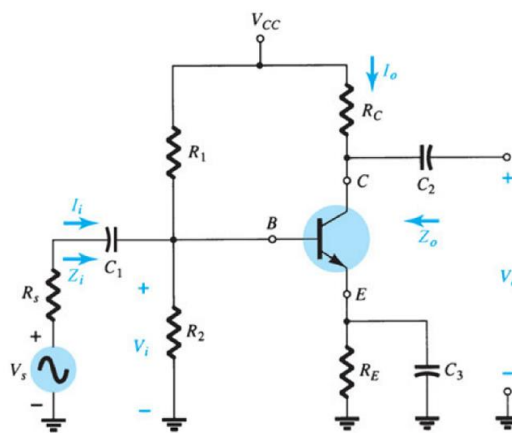
STUDI LITERATUR

2.1. Amplifier

Aplikasi rangkaian ini adalah sebagai amplifier, untuk mengamplify sinyal yang masuk maka digunakan Bipolar Junction Transistor (BJT) yang berada dalam mode common-emitter dengan konfigurasi input sinyal dimasukkan ke basis, output keluar dari collector, dan emitter dihubungkan ke ground, dalam kondisi ini BJT akan berada di active region dan akan mengamplify sinyal yang masuk.

2.1.1. Common-Emitter Amplifier

Konfigurasi common-emitter menempatkan emitter transistor sebagai terminal bersama (ground AC), dengan sinyal masuk ke basis dan sinyal keluar dari kolektor. Dalam konfigurasi ini penguatan sinyal input sangat besar, terjadinya pembalikan fasa sebesar 180° antara input dan output, dengan BJT memiliki impedansi input yang sedang dan impedansi output yang tinggi.



Gambar 2-1 Common Emitter Amplifier [1]

2.1.2. Multistage Amplifier

Rangkaian yang ingin kita buat adalah multistage ampilfier, yaitu rangkaian yang menggabungkan dua atau lebih tahap penguat (misalnya CE, CC, atau CB) secara seri

untuk mencapai gain total yang jauh lebih besar daripada satu tahap tunggal. Untuk menjalankan multistage amplifier dibutuhkan kapasitor pemisah DC dan Direct coupling, dua komponen tersebut harus diperhatikan untuk menjaga stabilitas dan menghindari noise yang tajam.

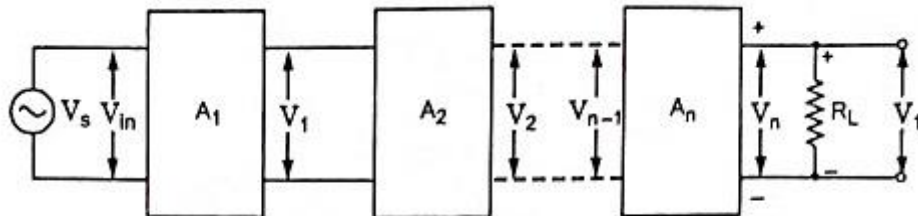


Fig. 16.1 *n-Stage Amplifier*

Gambar 2-2 Multistage Amplifier

BAB 3

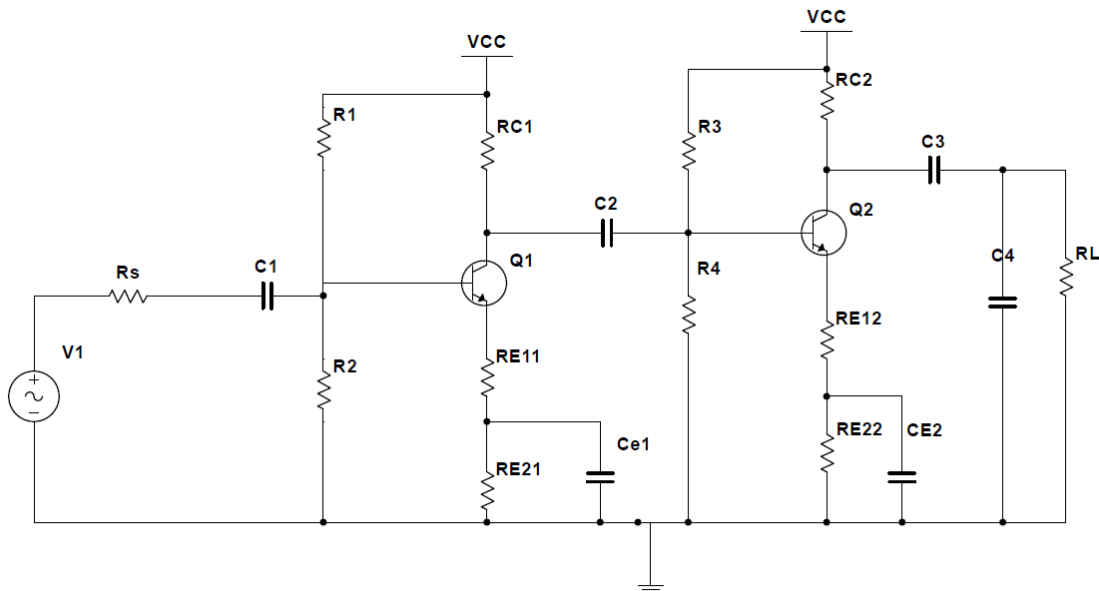
PERANCANGAN SISTEM

3.1. Perancangan Two Stage BJT Common Emitter Amplifier

Metodologi perancangan Two Stage BJT Common Emitter Amplifier dilakukan dengan pendekatan top-down, yaitu dimulai dari penentuan karakteristik sistem secara umum, kemudian diturunkan ke dalam bentuk rancangan tiap stage secara bertahap. Pendekatan ini dipilih karena memberikan kemudahan dalam mengontrol performa akhir sistem serta memperjelas parameter-parameter kritis yang harus dicapai pada setiap tingkat penguat.

3.1.1. Kriteria dan Target Desain

Desain two stage BJT amplifier ini masing-masing menggunakan konfigurasi common emitter (CE) dengan voltage divider bias pada setiap stage-nya, sebagaimana diperlihatkan pada Gambar berikut.



Gambar 3-1 Rangkaian Two Stage BJT Common Emitter Amplifier dengan Emitter Degeneration---

Salah satu aspek penting dalam konfigurasi CE ini adalah penggunaan resistor emitor (degeneration resistor) yang terdiri dari R_{e1} dan R_{e2} . Penambahan resistor pada jalur emitter bertujuan untuk memberikan stabilitas tambahan terhadap titik kerja transistor. Resistor ini menciptakan efek *feedback negatif* yang meredam variasi arus kolektor akibat perubahan suhu atau parameter transistor lainnya. Efek lain yang menguntungkan dari resistor emitor adalah peningkatan linearitas sinyal dan penurunan distorsi harmonik, yang sangat penting dalam aplikasi penguat sinyal analog. Untuk mempertahankan penguatan AC tetap tinggi, sebuah kapasitor bypass (C_e) dipasang paralel terhadap R_{e2} . Kapasitor ini akan melewati sinyal AC melewati resistor R_{e2} sehingga efek feedback negatif hanya berlaku terhadap sinyal DC atau frekuensi rendah, tanpa mengurangi penguatan sinyal pada frekuensi kerja utama.

Pemilihan transistor BJT NPN tipe 2N2222 dalam rangkaian ini didasarkan pada karakteristiknya yang stabil, mudah diperoleh, dan sesuai untuk aplikasi frekuensi menengah. Transistor 2N2222 memiliki penguatan arus (β) yang berada di kisaran 100 hingga 200, tegangan breakdown yang cukup tinggi, serta kecepatan switching dan gain bandwidth product yang memadai untuk keperluan audio atau sinyal analog. Selain itu, transistor ini memiliki kemampuan menangani arus kolektor hingga 800 mA, memberikan margin operasional yang aman dan fleksibel. Kombinasi antara ketersediaan, performa, dan harga yang terjangkau menjadikan 2N2222 sebagai pilihan yang tepat dalam perancangan sistem amplifier dua tahap ini.

Sementara itu, target desain dari sistem penguat dua tingkat ini ditetapkan berdasarkan kebutuhan penguatan sinyal kecil secara bertahap dan stabil, dengan tetap menjaga kestabilan bias dan kualitas sinyal yang baik dalam rentang frekuensi audio. Dalam sistem ini, ditetapkan sebagai berikut,

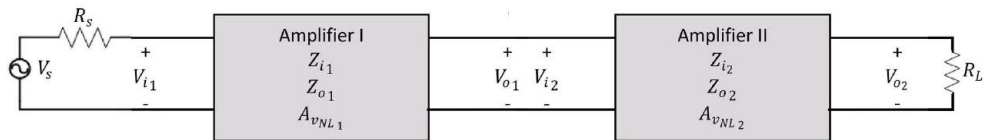
No.	Symbol	Parameter	Target
1	A_v	Overall Gain	20
2	$ A_1 $	Gain First Stage	5
3	$ A_2 $	Gain Second Stage	4
4	R_s	Resistansi Sumber Sinyal	50 Ω
5	R_L	Resistansi Beban	1 k Ω

6	BW	Bandwidth	20 Hz – 20 kHz
7	β	Beta	100 – 200
8	V_{cc}	Tegangan suplai	5 V

Tabel 3-1 Target Spesifikasi Desain

3.1.2. Perhitungan Teoritis

Perhitungan teoritis dilakukan untuk menentukan nilai-nilai komponen utama dalam rangkaian two stage BJT common emitter amplifier. Perancangan dilakukan secara sistematis dari tahap kedua ke tahap pertama (*bottom-up*) untuk memastikan beban yang diterima oleh masing-masing stage sesuai dan penguatan total dapat dicapai sesuai target.



Gambar 3-2 Two Port System

3.1.2.1. Desain Second Stage Amplifier

Second stage merupakan tahap akhir yang langsung menguatkan sinyal untuk diberikan ke beban (R_L). Untuk mencapai transfer daya maksimum dari second stage amplifier menuju beban maka dibutuhkan,

$$Z_{o2} = R_L = 1k\Omega$$

Dengan demikian, gain second stage menjadi,

$$A_{v2} = \frac{R_L}{Z_{o2} + R_L} A_{vNL2}$$

$$A_{v2} = \frac{1}{2} A_{vNL2}$$

Berdasarkan Tabel 3-1, $|A_{v2}|$ telah ditentukan, sehingga

$$|A_{vNL2}| = 2|A_{v2}| = 8$$

Untuk memperoleh amplifikasi dengan maksimum output tegangan swing tidak terdistorsi, Q-point harus berada dekat dengan posisi tengah load line,

$$V_C = \frac{1}{2} V_{CC} = 2.5 \text{ V}$$

$$V_E = 0.1 V_{CC} = 0.5 \text{ V}$$

Karena $Z_{o2} = 1k\Omega$, maka

$$R_C = Z_o = 1k\Omega$$

Dengan demikian, arus collector dapat diperoleh sebagai berikut,

$$I_C = \frac{V_{CC} - V_C}{R_C} = \frac{5 - 2.5}{1 \times 10^3} = 0.0025 \text{ A} = 2.5 \text{ mA}$$

Diasumsikan $I_C \cong I_E$, dengan demikian,

$$I_E = 2.5 \text{ mA}$$

$$R_E = R_{E1} + R_{E2} = \frac{V_E}{I_E} = 200 \Omega$$

$$r_e = \frac{26mV}{I_E} = 10.4 \Omega$$

Berdasarkan nilai r_e yang telah diperoleh,

$$|A_{VNL2}| = 8 = \frac{R_C}{R_{E1} + r_e}$$

$$8 = \frac{1000}{R_{E1} + 10.4}$$

$$R_{E1} = 114.6 \Omega$$

$$R_{E2} = R_E - R_{E1} = 86.4 \Omega$$

Kemudian, untuk menentukan resistansi *voltage divider* yaitu R_1 dan R_2 , dibutuhkan nilai arus yang mengalir melewati rangkaian potential divider yang besar dibandingkan arus base sebenarnya (I_B), sehingga diasumsikan nilainya 10 kali dari I_B mengalir melalui resistor R_2 . Perkiraan arus base adalah sebagai berikut,

$$I_B = \frac{I_C}{\beta} = \frac{2.5mA}{100} = 25 \text{ nA}$$

$$R_2 \leq \frac{V_E + V_{BE}}{10 \times I_B} = 4.8k\Omega$$

Sehingga, nilai R_2 yang dipilih berdasarkan constraint di atas adalah 4000 ohm. Sementara itu, berdasarkan constraint voltage divider,

$$\frac{R_2}{R_1 + R_2} V_{CC} = V_E + V_{BE}$$

$$\frac{4000}{R_1 + 4000} \times 5 = 0.5 + 0.7$$

$$R_1 = 12.67k\Omega$$

Dengan demikian, impedansi input adalah,

$$Z_i = R_1 || R_2 || \beta(R_{E1} + r_e)$$

$$Z_i = 12.67k\Omega || 4k\Omega || 100(114.6 + 10.4)$$

$$Z_{i2} = 2445.3 \Omega$$

Emitter bypass capacitor untuk lower frequency response 20 Hz pada -3 dB,

$$C_E = \frac{1}{2\pi R_{eq} f_L}$$

Sementara nilai R_{eq} yaitu

$$R_{eq} = R_{E2} || r_e || (R_{E1} + \frac{Z_{o1} || R_1 || R_2}{\beta}) = 52.83 \Omega$$

Sehingga nilai $C_E = 150.62 \mu F$

Dengan demikian, diperoleh nilai parameter untuk masing-masing komponen pada second stage pada Tabel berikut,

No.	Komponen	Nilai Teoritis	Nilai Standar Komersil
1	R_C	1 k Ω	1 k Ω

2	R_{E1}	114.60 Ω	100 Ω
3	R_{E2}	85.40 Ω	100 Ω
4	R_2	4.8 k Ω	3.3 k & 1k Ω
5	R_1	12.67 k Ω	10 k & 1 k Ω
6	C_{E1}	150.62 μF	100 μF

Tabel 3-2 Nilai Parameter Teoritis dan Standar Komersil

3.1.2.2. Desain First Stage Amplifier

First stage amplifier adalah blok penguat pertama yang langsung menerima sinyal dari sumber sinyal. Untuk mencapai transfer daya maksimum dari first stage amplifier menuju second stage amplifier maka dibutuhkan,

$$Z_{o1} = Z_{i2} = 2445.3 \Omega$$

Dengan demikian, gain first stage menjadi,

$$A_{v1} = \left(\frac{Z_{i1}}{Z_{i1} + R_s} \right) \left(\frac{Z_{i2}}{Z_{i2} + Z_{o1}} \right) A_{v_{NL1}}$$

Berdasarkan Tabel 3-1, $|A_{v1}|$ telah ditentukan, sehingga

$$|A_{v_{NL1}}| = 10.11$$

Untuk memperoleh amplifikasi dengan maksimum output tegangan swing tidak terdistorsi, Q-point harus berada dekat dengan posisi tengah load line,

$$V_c = \frac{1}{2} V_{cc} = 2.5 V$$

$$V_E = 0.1 V_{cc} = 0.5 V$$

Karena $Z_{o1} = 2445.3 \Omega$, maka

$$R_C = Z_{o1} = 2445.3 \Omega$$

Dengan demikian, arus collector dapat diperoleh sebagai berikut,

$$I_C = \frac{V_{CC} - V_C}{R_C} = \frac{5 - 2.5}{2445.3} = 1.041 mA$$

Diasumsikan $I_C \cong I_E$, dengan demikian,

$$I_E = 1.041 \text{ mA}$$

$$R_E = R_{E1} + R_{E2} = \frac{V_E}{I_E} = 480 \Omega$$

$$r_e = \frac{26 \text{ mV}}{I_E} = 24.96 \Omega$$

Berdasarkan nilai r_e yang telah diperoleh,

$$|A_{VNL1}| = 10.11 = \frac{R_C}{R_{E1} + r_e}$$

$$R_{E1} = 212.34 \Omega$$

$$R_{E2} = R_E - R_{E1} = 267.66 \Omega$$

Kemudian, untuk menentukan resistansi *voltage divider* yaitu R_1 dan R_2 , dibutuhkan nilai arus yang mengalir melewati rangkaian potential divider yang besar dibandingkan arus base sebenarnya (I_B), sehingga diasumsikan nilainya 10 kali dari I_B mengalir melalui resistor R_2 . Perkiraan arus base adalah sebagai berikut,

$$I_B = \frac{I_C}{\beta} = \frac{1.041 \text{ mA}}{100} = 10.4 \text{ nA}$$

$$R_2 \leq \frac{V_E + V_{BE}}{10 \times I_B} = 11.520 \text{ k}\Omega$$

Sehingga, nilai R_2 yang dipilih berdasarkan constraint di atas adalah 11000 ohm. Sementara itu, berdasarkan constraint voltage divider,

$$\begin{aligned} \frac{R_2}{R_1 + R_2} V_{CC} &= V_E + V_{BE} \\ \frac{11000}{R_1 + 11000} \times 5 &= 0.5 + 0.7 \end{aligned}$$

$$R_1 = 34.83 \text{ k}\Omega$$

Dengan demikian, impedansi input adalah,

$$Z_i = R_1 || R_2 || \beta(R_{E1} + r_e)$$

$$Z_{i1} = 6182.07 \Omega$$

Emitter bypass capacitor untuk lower frequency response 20 Hz pada -3 dB,

$$C_E = \frac{1}{2\pi R_{eq} f_L}$$

Sementara nilai R_{eq} yaitu

$$R_{eq} = R_{E2} || r_e || (R_{E1} + \frac{Z_{o1} || R_1 || R_2}{\beta}) = 135.11 \Omega$$

Sehingga nilai $C_E = 58.9 \mu F$

Dengan demikian, diperoleh nilai parameter untuk masing-masing komponen pada second stage pada Tabel berikut,

No.	Komponen	Nilai Teoritis	Nilai Standar Komersil
1	R_C	2.4 k Ω	1 k Ω x 2 (seri)
2	R_{E1}	212.34 Ω	100 Ω x 2 (seri)
3	R_{E2}	267.66 Ω	100 Ω x 2 (seri)
4	R_2	11.52 k Ω	10 k
5	R_1	34.83 k Ω	20 k Ω
6	C_{E1}	58.90 μF	47 μF

Tabel 3-3 Nilai Parameter Teoritis dan Standar Komersil

3.1.2.3. Coupling Capacitor

Coupling capacitor pada rangkaian two stage BJT CE amplifier berfungsi untuk mengalirkan sinyal AC antar stage amplifier sambil menahan aliran komponen DC. Perhitungan coupling capacitor yang meliputi coupling capacitor di antara sumber sinyal dan first stage amplifier, coupling capacitor di antara first stage dan second stage amplifier, serta coupling capacitor di antara second stage amplifier dan beban adalah sebagai berikut,

1. Coupling Capacitor di antara sumber sinyal dan first stage amplifier

$$R_{eq} = R_s + Z_{i1}$$

$$R_{eq} = 6.23 \text{ k}\Omega$$

Untuk frequency response pada 20Hz (-3dB),

$$C_c = \frac{1}{2\pi R_{eq} f_L} = 1.27 \mu F$$

2. Coupling Capacitor di antara first stage dan second stage amplifier

$$R_{eq} = Z_{o1} + Z_{i2}$$

$$R_{eq} = 4.84 \text{ k}\Omega$$

Untuk frequency response pada 20Hz (-3dB),

$$C_c = \frac{1}{2\pi R_{eq} f_L} = 1.64 \mu F$$

3. Coupling Capacitor di antara second stage dan beban

$$R_{eq} = R_L + Z_{o2}$$

$$R_{eq} = 2 \text{ k}\Omega$$

Untuk frequency response pada 20Hz (-3dB),

$$C_c = \frac{1}{2\pi R_{eq} f_L} = 3.97 \mu F$$

4. High Frequency Cutoff Capacitor

Amplifier memiliki cutoff frequency dalam rentang MHz, sehingga dibutuhkan cutoff di sekitar 20 kHz, sehingga diaplikasikan RC lowpass filter pada output sebagai berikut,

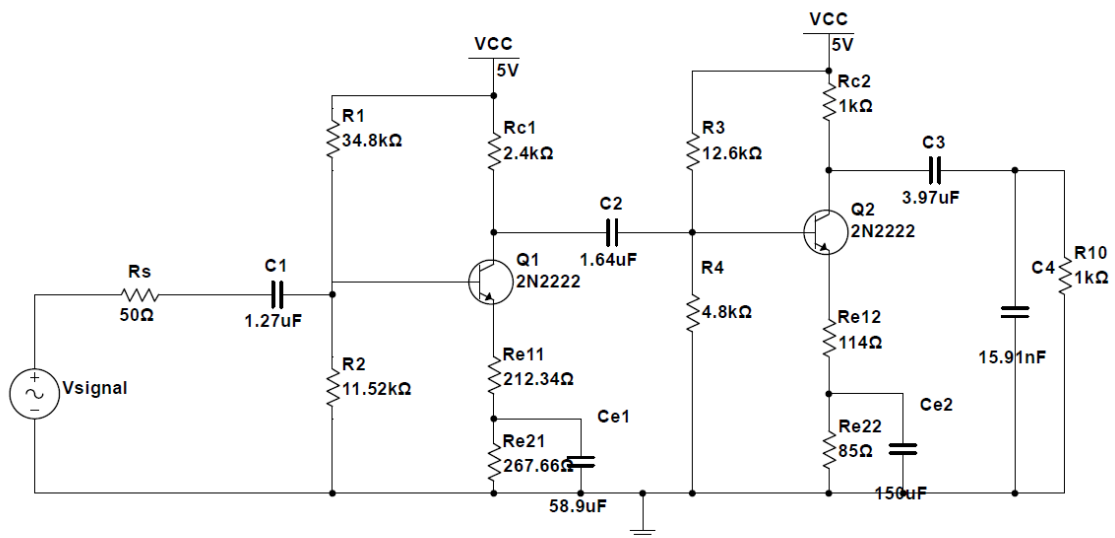
$$R_{eq} = R_L || Z_{o2}$$

$$R_{eq} = 500 \Omega$$

Untuk frequency response pada 20 kHz (-3dB),

$$C_c = \frac{1}{2\pi R_{eq} f_H} = 15.91 \text{ nF}$$

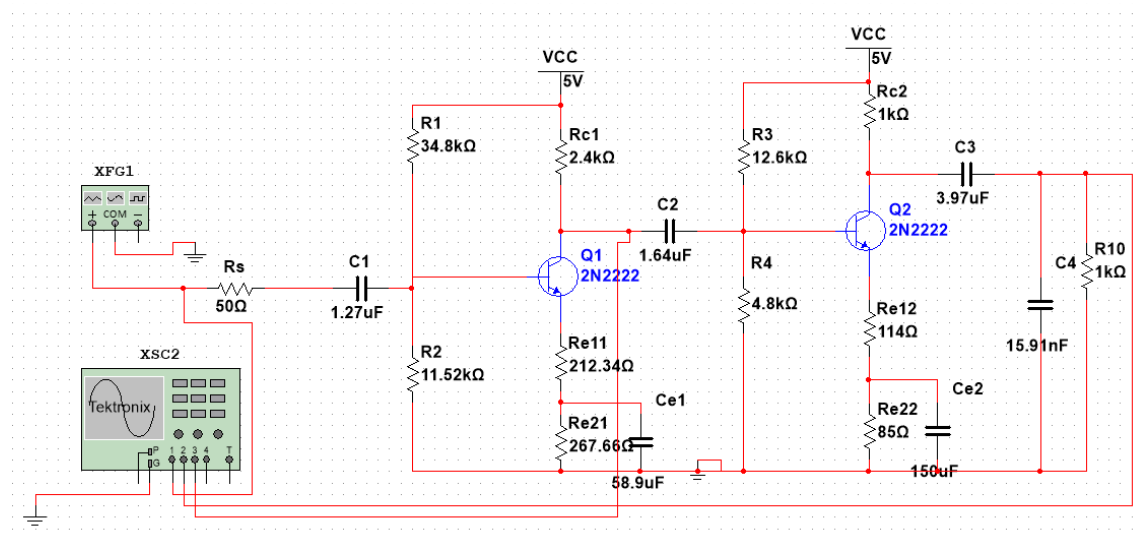
Hasil akhir perancangan rangkaian adalah seperti yang ditunjukkan oleh Gambar 3-3 sebagai berikut,



Gambar 3-3 Diagram Rangkaian Two Stage BJT 2N2222 Common Emitter Amplifier

3.2. Simulasi Sistem

Untuk memverifikasi hasil perancangan dan perhitungan teoritis pada two-stage BJT common emitter amplifier, dilakukan simulasi menggunakan perangkat lunak NI Multisim versi 14.1. Simulasi ini bertujuan untuk menganalisis performa penguat terhadap sinyal AC kecil, termasuk penguatan tegangan (gain), stabilitas titik kerja DC, dan respon frekuensi dalam rentang 20 Hz – 20 kHz.



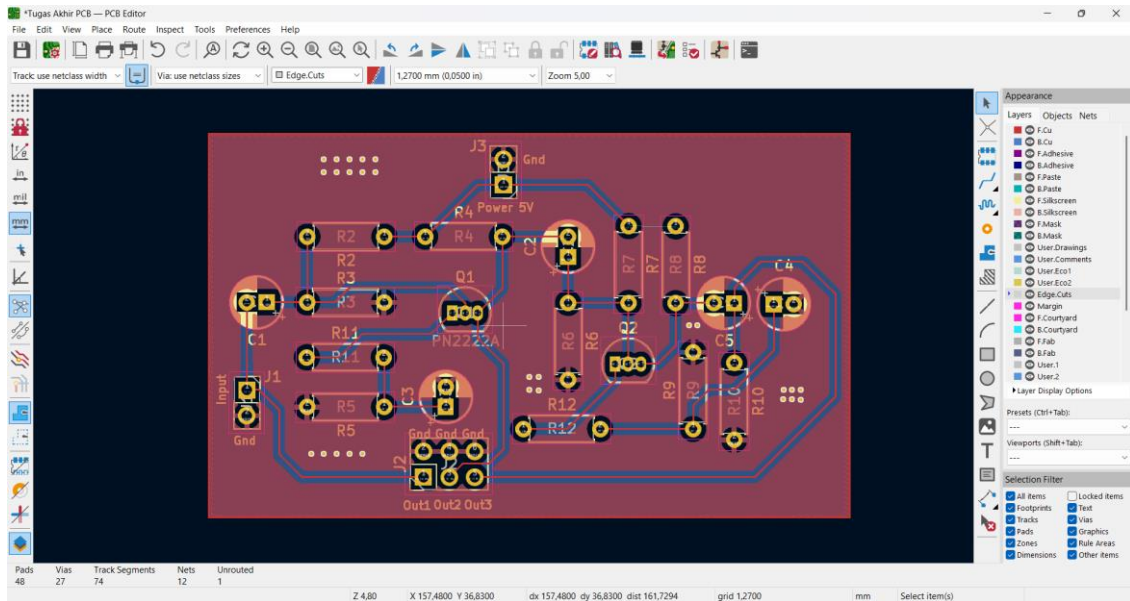
Gambar 3-4 Rangkaian Simulasi Two Stage BJT CE Amplifier

Sebagaimana Gambar 3-4, beberapa komponen seperti Function Generator dan Oscilloscope ditambahkan. Komponen Function Generator XFG1 berfungsi sebagai sumber sinyal AC untuk menggerakkan rangkaian amplifier. Konfigurasi sinyal yang diterapkan pada XFG1 dalam simulasi adalah sebagai berikut,

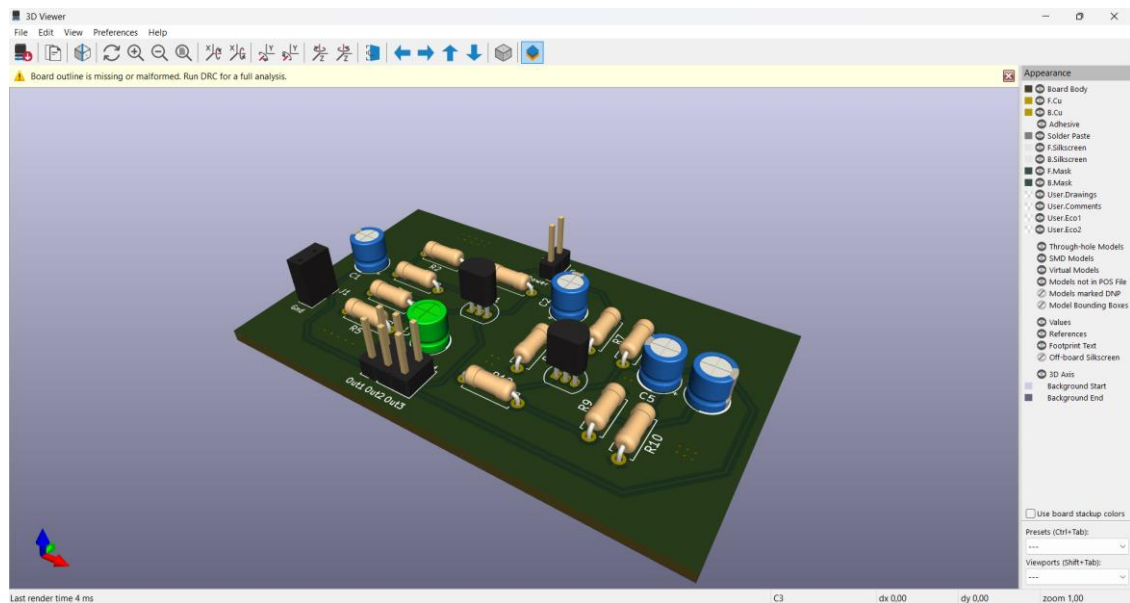
1. Bentuk Gelombang : Sinusoidal (Sine wave)
2. Frekuensi : 1 kHz
3. Amplitudo : 25 mVp
4. DC offset : 0 V
5. Impedansi R_s : 50 Ω

Sementara itu, dalam simulasi ini, oscilloscope XSC1 digunakan sebagai alat utama untuk memantau dan menganalisis bentuk gelombang sinyal di berbagai titik penting dalam rangkaian amplifier. Osiloskop memberikan representasi visual dari sinyal tegangan terhadap waktu, sehingga sangat membantu dalam mengevaluasi performa penguatan, kestabilan bentuk gelombang, dan keberadaan distorsi atau clipping. Untuk memperoleh informasi yang kompherensif, digunakan tiga channel pada oscilloscope. channel 1 (CH1) dihubungkan langsung ke input sinyal dari sumber. Channel ini berfungsi sebagai acuan untuk mengamati seberapa besar amplitudo sinyal masukan yang diberikan ke sistem. Kemudian, channel 2 (CH2) dihubungkan ke titik output akhir dari keseluruhan amplifier di dekat beban setelah second stage amplifier. Channel ini merepresentasikan sinyal keluaran akhir (V_{o2}) dari seluruh rangkaian two-stage amplifier, dan menjadi acuan utama dalam mengukur gain total sistem (A_v). Sedangkan untuk Channel 3 (CH3), ia menunjukkan hasil first stage amplifier (V_{o1}), dan memungkinkan pengguna mengevaluasi apakah penguatan sebesar A_1 telah tercapai.

3.3. Perancangan Desain Layout PCB



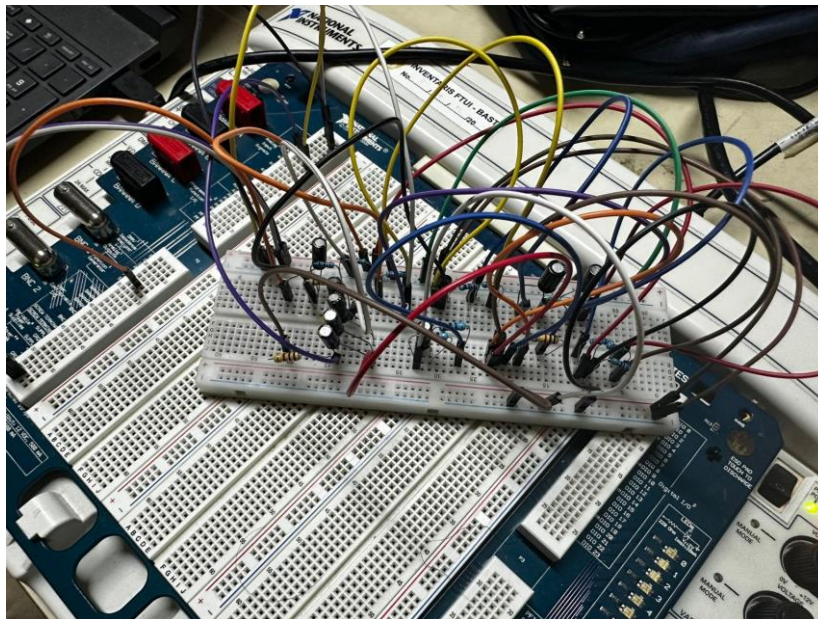
Gambar 3-5 Rancangan Layout PCB 2D



Gambar 3-6 Rancangan Layout PCB 3D

3.4. Pengujian Sistem

Pengujian sistem ini dilakukan dengan merangkai mengikuti skematik yang telah dibuat sebelumnya, hanya saja terdapat perbedaan kecil dari besaran komponen resistor dan kapasitor yang digunakan. Hal ini dikarenakan besaran resistor dan kapasitor yang ada di pasaran hanya terbatas sehingga perlu untuk mencari besaran yang mendekati skematik dan nilai teori di awal. Sistem dirangkai menggunakan breadboard untuk prototipe karena dengan menggunakan breadboard lebih memudahkan dalam merangkai dan troubleshooting jika terjadi suatu masalah atau kesalahan. Setelah sistem berhasil dirangkai, sistem dicoba menggunakan NI ELVIS board karena sudah terdapat suplai daya 5V dan Function Generator yang dapat diatur menggunakan software NI ELVIS di laptop. NI ELVIS juga sudah memiliki oscilloscope sehingga grafik dapat dilihat langsung dari laptop. Sistem diuji dengan mengubah variabel frekuensi sesuai dengan pengujian yang telah dilakukan berdasarkan teori dan simulasi. Karena range frekuensi yang dapat diberikan oleh NI ELVIS hanya terbatas sehingga frekuensi pengujian ada pada 20Hz, 100Hz, dan 1kHz.



Gambar 3-7 Pengujian Sistem dengan NI ELVIS

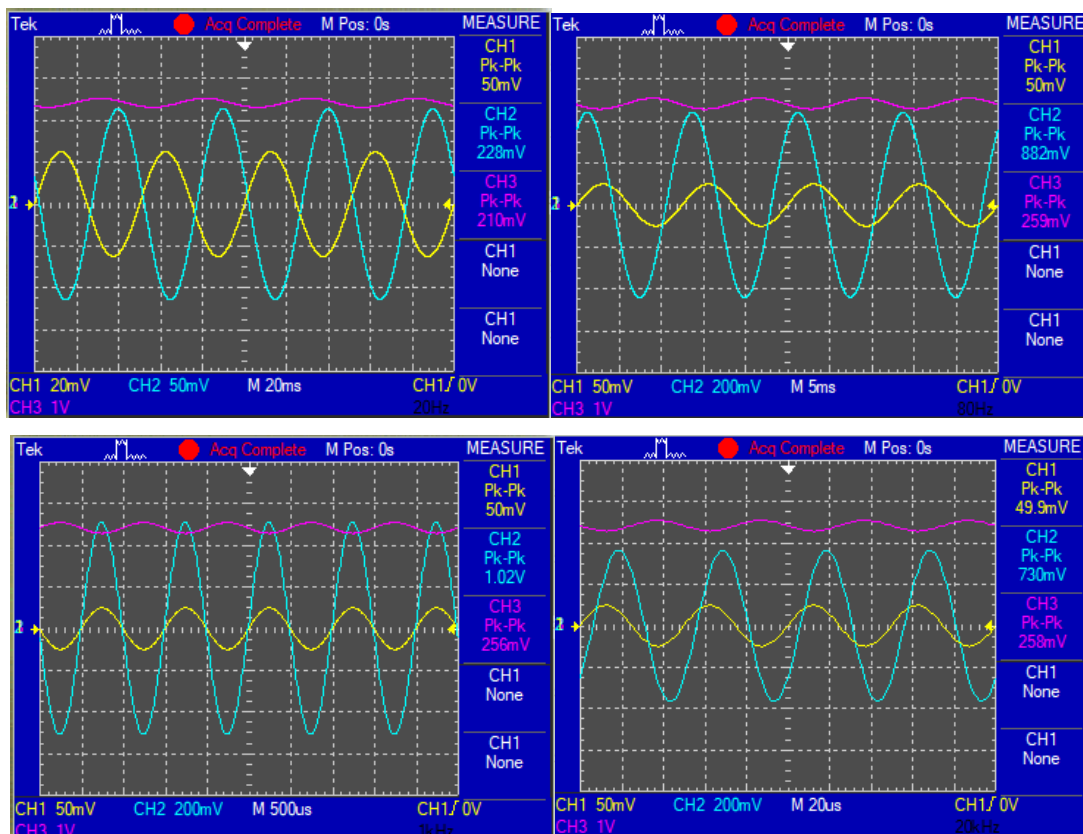
BAB 4

HASIL DAN PEMBAHASAN

4.1. Hasil Simulasi Rangkaian Two Stage BJT Common Emitter Amplifier

4.1.1. Hasil Simulasi Interaktif Two Stage BJT Common Emitter Amplifier

Simulasi ini bertujuan untuk mengevaluasi performa rangkaian Two-Stage BJT Common Emitter Amplifier dalam kondisi frekuensi yang berbeda-beda. Pengujian dilakukan menggunakan tiga kanal pada osiloskop untuk mengamati sinyal input (CH1), sinyal output beban (CH2), dan output dari amplifier tahap pertama (CH3). Pada gambar 4-1, terlihat hasil simulasi dengan frekuensi yang berbeda pada setiap tahap pengujian. Gambar ini menunjukkan respons terhadap perubahan frekuensi dan bagaimana amplitudo sinyal keluarannya (baik dari tahap pertama maupun tahap kedua) terpengaruh oleh frekuensi input.



Gambar 4-1 Grafik Simulasi Rangkaian Two Stage BJT CE Amplifier dengan Oscilloscope

No.	Frekuensi	CH1	CH2	CH3	A_{v1}	A_{v2}	A_v
		V_{signal} (mVpp)	V_{out2} (mVpp)	V_{out1} (mVpp)			
1	20 Hz	50	228	210	4.2	1.09	4.56
2	40 Hz	50	608	255	5.1	2.38	12.16
3	80 Hz	50	882	259	5.18	3.41	17.64
4	100 Hz	50	928	259	5.18	3.58	18.56
5	200 Hz	50	995	257	5.14	3.87	19.9
6	400 Hz	50	1010	257	5.14	3.93	20.2
7	800 Hz	50	1020	256	5.12	3.98	20.4
8	1 kHz	50	1020	256	5.12	3.98	20.4
9	2 kHz	50	1010	256	5.12	3.95	20.2
10	4 kHz	50	1000	256	5.12	3.91	20
11	8 kHz	50	950	257	5.14	3.70	19
12	10 kHz	50	916	257	5.14	3.56	18.32
13	20 kHz	50	730	258	5.16	2.83	14.6
14	40 kHz	50	464	259	5.18	1.79	9.28
15	80 kHz	50	253	260	5.2	0.97	5.06
16	100 kHz	50	205	260	5.2	0.79	4.1
17	200 kHz	50	104	259	5.18	0.40	2.08

Tabel 4-1 Hasil Simulasi Rangkaian Two Stage BJT CE Amplifier

Berdasarkan tabel 4-1, pada rentang frekuensi rendah 20 Hz hingga 100 Hz, overall gain (A_v) masih belum mencapai performa yang optimal. Salah satu hal yang perlu diperhatikan adalah low frequency cutoff yang terjadi sekitar 50 Hz. Hal ini tidak sesuai dengan target desain yang sebelumnya ditetapkan pada sekitar 20 Hz. Sebagai amplifier yang dirancang untuk bekerja pada frekuensi rendah hingga menengah, batasan pada frekuensi sekitar 50 Hz menunjukkan bahwa rangkaian ini mengalami penurunan performa pada frekuensi yang lebih rendah daripada yang diinginkan. Di samping itu, dapat juga dilihat Meskipun amplifier mampu mengamplifikasi sinyal, gain yang dihasilkan masih lebih rendah dari target yang diinginkan. Ini bisa disebabkan oleh faktor-

faktor seperti pengaruh kapasitansi parasitik atau pengaturan komponen yang tidak sepenuhnya sesuai dengan desain yang diharapkan pada frekuensi rendah.

Sementara pada rentang frekuensi midband 100 Hz hingga 8 kHz, performa amplifier menunjukkan hasil yang lebih baik. Overall gain (A_v) pada rentang ini sudah stabil, dengan penguatan yang telah optimal. Hal ini menunjukkan bahwa, pengaruh kapasitansi parasitik dan induktansi rangkaian menjadi sangat kecil, yang berarti bahwa komponen aktif seperti transistor dapat beroperasi pada titik kerja yang lebih optimal. Penguatan pada first stage amplifier (A_{v1}) juga tetap optimal, mencerminkan desain yang cukup baik untuk menangani sinyal audio pada rentang frekuensi ini.

Pada rentang frekuensi ini, terjadi sedikit penurunan pada A_v dan A_{v1} , yang dapat dilihat dari pengurangan sedikit demi sedikit pada nilai output (CH2) dibandingkan dengan sinyal input (CH1). Pada frekuensi 20 kHz, nilai A_v tercatat 14.6, yang menunjukkan -3 dB dari nilai maksimal dan sesuai dengan high frequency cutoff yang diharapkan pada rentang 20 kHz. Penurunan gain sebesar -3 dB adalah fenomena umum pada batas cutoff frekuensi tinggi, yang mengindikasikan bahwa amplifier mulai mengalami penguatan yang berkurang saat frekuensi mendekati batas desainnya. Hal ini merupakan perilaku normal karena amplifier tidak dirancang untuk menangani frekuensi lebih tinggi.

Di samping itu, dalam hasil simulasi yang diperoleh, A_{v2} menunjukkan bahwa nilai penguatan pada tahap kedua cenderung tidak mencapai nilai optimalnya, yaitu sekitar 4, pada dua rentang frekuensi tertentu, yakni 20 Hz hingga 100 Hz dan 10 kHz hingga 200 kHz. Fenomena ini menunjukkan bahwa tahap kedua amplifier lebih sensitif terhadap pengaruh faktor-faktor seperti kapasitansi parasitik, impedansi beban, dan GBW dibandingkan dengan tahap pertama.

4.1.2. Hasil Simulasi DC Operating Point Two Stage BJT Common Emitter Amplifier

Pada subbab ini, dilakukan analisis terhadap DC operating point hasil simulasi pada rangkaian Two-Stage BJT Common Emitter Amplifier. DC operating point merujuk pada kondisi biasing statis di mana transistor beroperasi sebelum adanya sinyal input AC. Kondisi ini sangat penting karena menentukan apakah transistor beroperasi pada titik

yang sesuai untuk memastikan penguatan sinyal yang optimal dan menghindari terjadinya distorsi atau pengaruh lainnya.

Variable	Operating point value
I(Q1[IB])	10.21419 u
I(Q1[IC])	1.07512 m
I(Q1[IE])	-1.08534 m
I(Q1[IS])	0.00000e+000
I(Q2[IB])	29.67996 u
I(Q2[IC])	3.06018 m
I(Q2[IE])	-3.08986 m
I(Q2[IS])	0.00000e+000
V(1) V(VC1)	2.41970
V(3) V(VE1)	520.96240 m
V(4) V(VC2)	1.93982
V(6) V(VE2)	614.88138 m

Gambar 4-2 Hasil Simulasi DC Operating Point

No.	Parameter	Nilai Perhitungan Teoritis	Nilai Hasil Simulasi
1	I_{B1}	$10.4 \mu A$	$10.21 \mu A$
2	I_{C1}	$1.041 mA$	$1.075 mA$
3	I_{E1}	$1.041 mA$	$1.085 mA$
4	I_{B2}	$25 \mu A$	$29.67 \mu A$
5	I_{C2}	$2.5 mA$	$3.06 mA$
6	I_{E2}	$2.5 mA$	$3.089 mA$
7	V_{C1}	$2.5 V$	$2.419 V$
8	V_{E1}	$0.5 V$	$0.52 V$
9	V_{C2}	$2.5 V$	$1.94 V$
10	V_{E2}	$0.5 V$	$0.61 V$

Tabel 4-2 Perbandingan Nilai Perhitungan Teoritis dan Hasil Simulasi DC Operating Point

Berdasarkan Tabel 4-2, perbandingan antara nilai perhitungan teoritis dan nilai hasil simulasi untuk berbagai parameter dalam rangkaian dua tahap amplifier

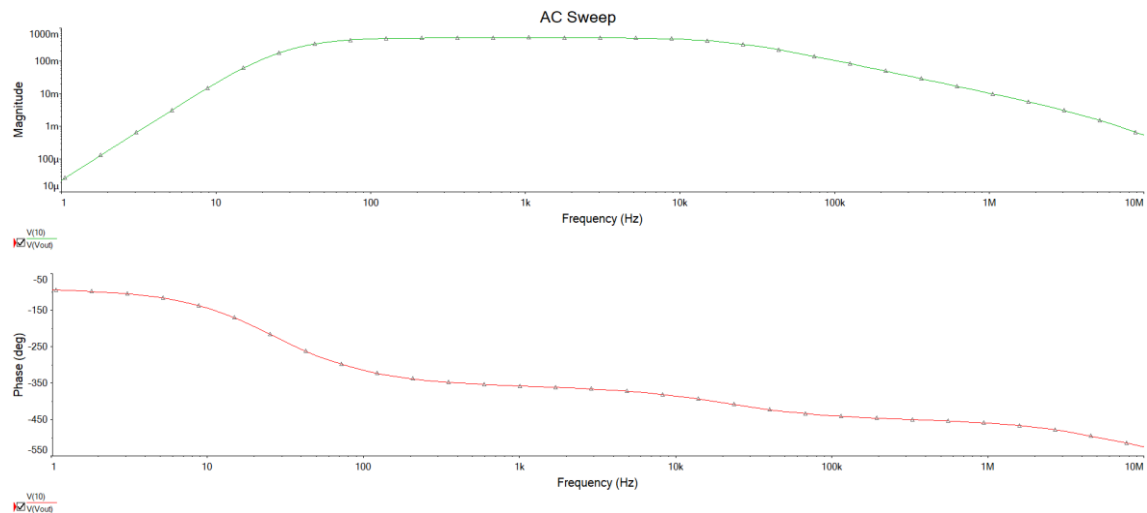
menunjukkan beberapa perbedaan kecil. Untuk arus basis (IB1 dan IB2), hasil simulasi menunjukkan bahwa IB1 ($10.21 \mu\text{A}$ vs $10.4 \mu\text{A}$) memiliki perbedaan yang sangat kecil dengan perhitungan teoritis, yang menunjukkan bahwa transistor Q1 bekerja sesuai dengan yang diharapkan. Namun, pada IB2, arus basis Q2 lebih tinggi dalam simulasi ($29.67 \mu\text{A}$ vs $25 \mu\text{A}$), yang mengindikasikan bahwa transistor Q2 memiliki pengaturan bias lebih tinggi dalam simulasi, menyebabkan arus basisnya lebih besar.

Sementara untuk arus kolektor (IC1 dan IC2), perbedaan yang lebih kecil terlihat pada IC1 (1.075 mA vs 1.041 mA), yang masih dalam batas yang dapat diterima. Namun, pada IC2, terdapat peningkatan yang signifikan pada hasil simulasi (3.06 mA vs 2.5 mA), yang menunjukkan bahwa Q2 mengalirkan lebih banyak arus kolektor dalam simulasi, mungkin karena pengaruh bias yang lebih kuat atau perubahan kondisi lainnya dalam rangkaian. Untuk arus emitor (IE1 dan IE2), IE1 sedikit lebih tinggi dalam hasil simulasi (1.085 mA vs 1.041 mA), yang mencerminkan perbedaan kecil dalam kinerja Q1 antara teori dan simulasi. Pada IE2, hasil simulasi menunjukkan bahwa Q2 mengalirkan lebih banyak arus emitor (3.089 mA vs 2.5 mA), yang bisa disebabkan oleh pengaruh bias atau ketidaksesuaian model transistor yang digunakan dalam simulasi.

Tegangan kolektor (VC1 dan VC2) menunjukkan bahwa pada Q1, tegangan kolektor sedikit lebih rendah dalam simulasi (2.419 V vs 2.5 V), mungkin disebabkan oleh pengaruh resistansi atau faktor non-ideal lainnya. Sedangkan pada Q2, tegangan kolektor lebih rendah dalam simulasi (1.94 V vs 2.5 V), yang mengindikasikan perbedaan dalam pengaturan bias atau peningkatan arus kolektor yang lebih besar. Untuk tegangan emitor (VE1 dan VE2), VE1 sedikit lebih tinggi dalam hasil simulasi (0.52 V vs 0.5 V), menunjukkan sedikit perbedaan dalam biasing Q1. Namun, pada VE2, tegangan emitor pada Q2 lebih tinggi dalam simulasi (0.61 V vs 0.5 V), yang mungkin disebabkan oleh perbedaan dalam pengaturan bias atau model yang digunakan dalam simulasi.

4.1.3. Hasil Simulasi AC Sweep Two Stage BJT Common Emitter Amplifier

Simulasi AC Sweep juga dilakukan untuk menganalisis kinerja suatu sistem amplifier terhadap variasi frekuensi. Pada Gambar 4-2 bagian magnitude plot, dapat diperoleh informasi bagaimana penguatan sistem berubah seiring dengan perubahan frekuensi.



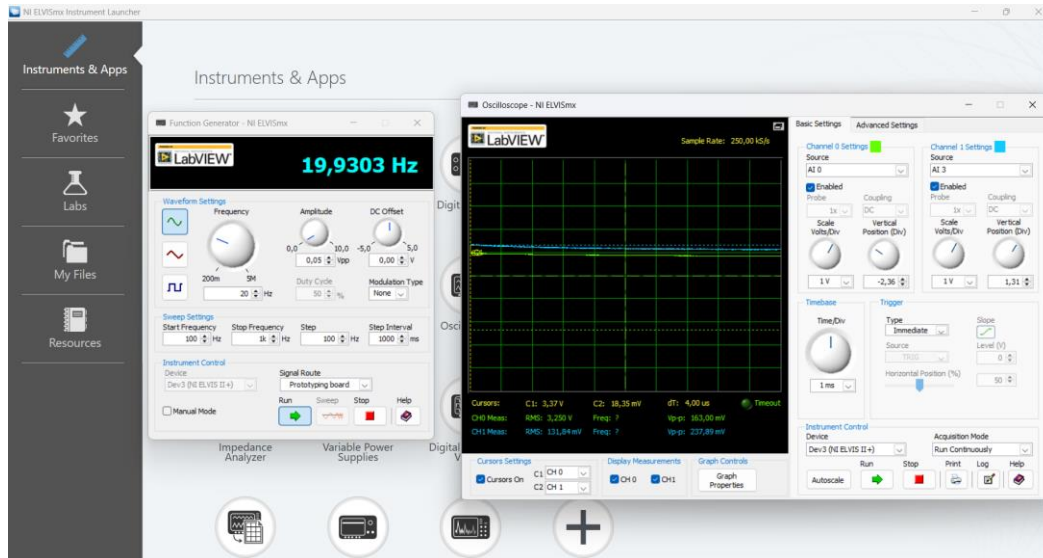
Gambar 4-3 Bode Plot Simulasi Rangkaian Two Stage BJT CE Amplifier

Pada rentang frekuensi rendah, dapat dilihat bahwa gain mengalami peningkatan secara linier terhadap frekuensi. Sedangkan pada rentang midband (1-10 kHz), karakteristik gain terhadap frekuensi yang dapat diperoleh menunjukkan bahwa sistem amplifier berfungsi dengan baik dalam rentang frekuensi ini dan tidak mengalami penurunan penguatan yang signifikan. Hal ini menunjukkan two stage BJT CE amplifier dapat beroperasi secara optimal pada rentang frekuensi ini. Sedangkan pada rentang frekuensi tinggi, terjadi penurunan di mana komponen-komponen seperti kapasitansi parasitik mulai menghambat penguatan lebih lanjut.

Sedangkan pada phase plot, terjadi pergeseran fasa seiring peningkatan frekuensi. Pada rentang frekuensi rendah, pergeseran fase dimulai pada sekitar -50° . Pada frekuensi rendah, fase antara input dan output masih relatif kecil, menunjukkan bahwa sinyal output mengikuti sinyal input dengan sedikit pergeseran. Sementara pada rentang frekuensi midband, pergeseran fase yang terjadi lebih dari -270° . Sedangkan pada frekuensi 1 kHz, pergeseran fase tercatat sekitar -360° . Hal ini menunjukkan bahwa sinyal input dan output menjadi satu fase pada titik ini. Secara praktis, ini berarti bahwa output mengikuti input dengan presisi, tanpa adanya penundaan waktu yang signifikan antara keduanya. Pada frekuensi ini, sinyal output sepenuhnya sejajar dengan sinyal input, yang mengindikasikan bahwa amplifier tidak mengalami pergeseran fase. Untuk frekuensi tinggi, pergeseran fase menjadi semakin besar sehingga tidak lagi sefase dengan sinyal input.

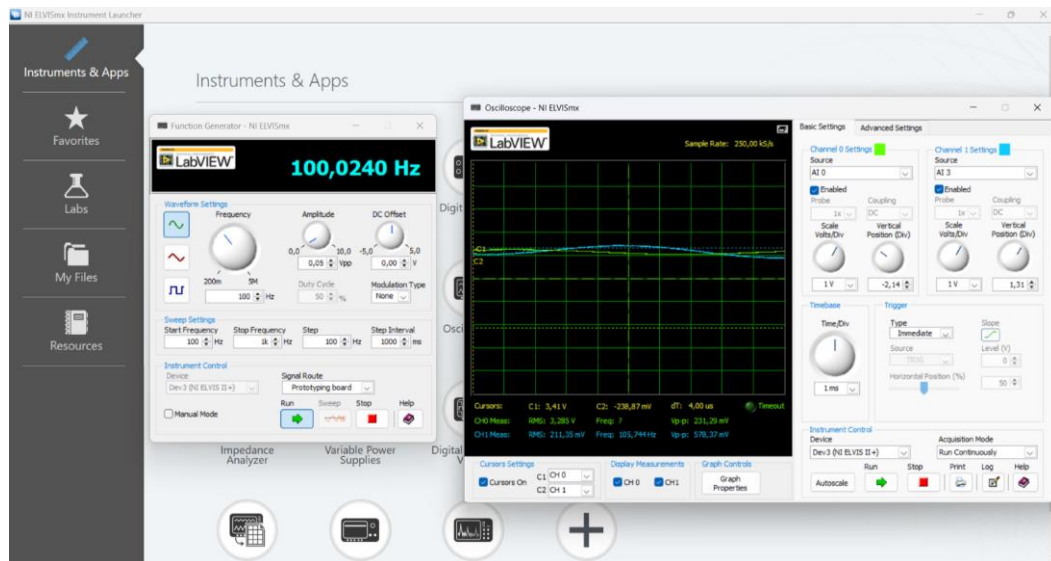
4.2. Hasil Pengujian Rangkaian Two Stage BJT Common Emitter Amplifier

Sesuai metode pengujian yang dilakukan, maka didapatkan tiga hasil berbeda untuk variasi frekuensi yang dilakukan yaitu 20Hz, 100Hz, dan 1kHz sesuai dengan gambar berikut,



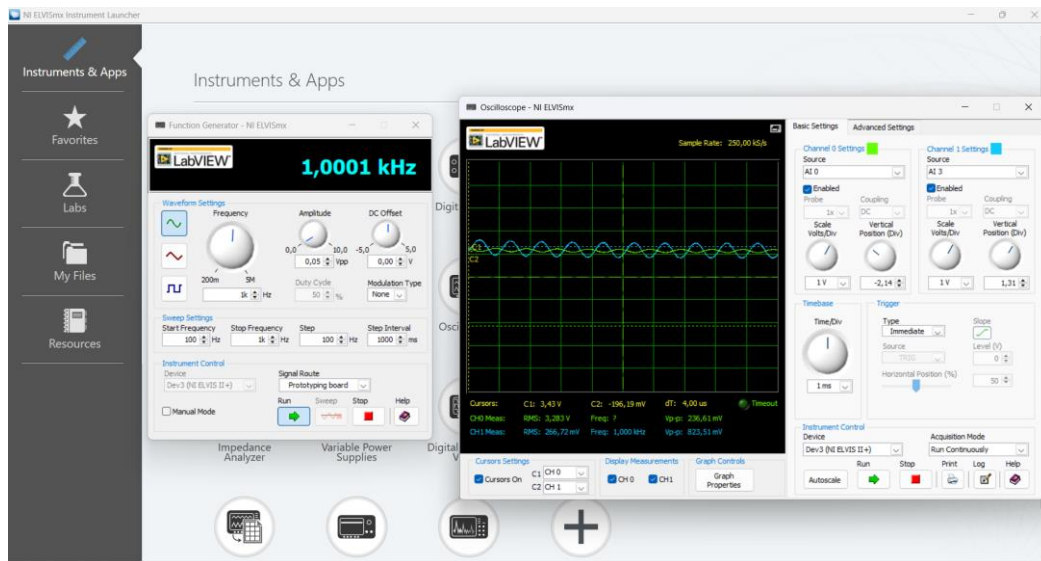
Gambar 4-4 Grafik Hasil Pengujian 20Hz

Pada frekuensi 19.9 Hz, kita melihat penguatan yang cukup stabil pada output amplifier pertama (V_{out1}) dan output keseluruhan (V_{out2}). V_{pp} untuk output amplifier pertama (V_{out1}) adalah 163 mV, dan V_{pp} untuk output keseluruhan (V_{out2}) adalah 237.89 mV, yang sesuai dengan prediksi penguatan pada frekuensi rendah. Gain yang diperoleh pada tahap pertama (A_{v1}) adalah 4.2, sementara gain total (A_v) adalah 4.56. Namun, jika dibandingkan dengan nilai A_{v1} dan A_v pada tabel sebelumnya, nilai A_{v1} (4.2) sedikit lebih rendah dari yang tertera pada tabel simulasi (4.56).



Gambar 4-5 Grafik Hasil Pengujian 100Hz

Sementara, pada 100 Hz, penguatan menunjukkan hasil yang lebih baik pada output amplifier pertama (V_{out1}) dan output keseluruhan (V_{out2}). V_{pp} untuk output amplifier pertama (V_{out1}) tercatat 231.29 mV, sedangkan output keseluruhan (V_{out2}) tercatat 578.37 mV, menunjukkan bahwa penguatan pada frekuensi ini lebih optimal. Nilai A_{v1} untuk tahap pertama adalah 5.18, dan A_{v2} untuk output keseluruhan adalah 3.93, menghasilkan A_v total sebesar 20.2. Dibandingkan dengan tabel simulasi, penguatan pada frekuensi 100 Hz lebih tinggi dari prediksi sebelumnya, yang menunjukkan bahwa amplifier bekerja dengan sangat baik pada rentang midband ini.



Gambar 4-6 Grafik Hasil Pengujian 1kHz

Sedangkan, pada frekuensi 1000 Hz, penguatan tetap terjaga baik pada output amplifier pertama (V_{out1}) dan output keseluruhan (V_{out2}). V_{pp} untuk output amplifier pertama (V_{out1}) adalah 236.61 mV, sementara output keseluruhan (V_{out2}) tercatat 823.51 mV. Penguatan pada frekuensi ini menunjukkan hasil yang stabil dan lebih tinggi, yang mencerminkan performansi optimal amplifier pada frekuensi midband. Nilai A_{v1} pada tahap pertama tercatat 5.12, dan A_{v2} pada output keseluruhan adalah 3.98, yang menghasilkan A_v total 20.4, sedikit lebih tinggi dari hasil yang diperoleh pada simulasi sebelumnya pada frekuensi ini. Hal ini menunjukkan bahwa amplifier bekerja dengan baik pada frekuensi 1 kHz, memberikan penguatan yang stabil tanpa penurunan yang signifikan.

Kemudian, salah satu alasan utama perbedaan antara nilai hasil pengujian dan yang tertera dalam tabel simulasi adalah penggunaan nilai komponen komersial yang tersedia di pasar. Komponen yang digunakan dalam rangkaian praktis sering kali tidak dapat memenuhi secara sempurna nilai-nilai yang diharapkan berdasarkan perhitungan teoritis. Hal ini disebabkan oleh toleransi pabrik pada komponen-komponen seperti resistor, kapasitor, dan transistor, yang dapat menyebabkan deviasi dalam nilai-nilai komponen tersebut. Misalnya, resistor memiliki toleransi yang memungkinkan variasi nilai sebesar $\pm 1\%$, $\pm 5\%$, atau bahkan lebih besar pada komponen tertentu. Kapasitor juga memiliki toleransi kapasitas yang dapat mempengaruhi penguatan atau frekuensi cutoff

yang dihitung. Selain itu, transistor memiliki variasi parameter seperti β (h_{FE}) yang bisa bervariasi antar unit meskipun merek dan tipe transistor tersebut sama.

Dengan adanya variasi seperti ini, deviasi nilai pada hasil pengukuran sangat umum terjadi dan dapat dianggap sebagai hal yang wajar dalam eksperimen praktis. Oleh karena itu, meskipun simulasi memberikan nilai yang sangat ideal dan tepat, pengujian praktis dengan komponen yang tersedia di pasar dapat menghasilkan perbedaan kecil dalam penguatan atau frekuensi cutoff. Perbedaan ini tidak hanya dipengaruhi oleh kualitas dan toleransi komponen, tetapi juga oleh faktor-faktor lain seperti kapasitansi parasitik atau pengaruh lingkungan yang tidak dapat diprediksi sepenuhnya dalam perhitungan teoritis.

BAB 5

KESIMPULAN

5.1. Kesimpulan

Berdasarkan penelitian yang telah dilakukan meliputi perhitungan teoritis, simulasi, dan pengujian, maka kesimpulan yang dapat ditarik terkait desain two stage BJT CE Amplifier adalah sebagai berikut,

1. Hasil simulasi memberikan penguatan yang lebih stabil dan ideal dibandingkan dengan perhitungan teoritis. Namun, pengaruh kapasitansi parasitik dan toleransi komponen dalam rangkaian fisik menyebabkan penguatan pada frekuensi rendah (sekitar 20 Hz) sedikit lebih rendah dari yang diharapkan. Pada frekuensi midband (100 Hz hingga 8 kHz), simulasi dan perhitungan teoritis memberikan hasil yang hampir identik, menunjukkan bahwa rangkaian bekerja sesuai dengan desain. Namun, pada frekuensi tinggi (di atas 20 kHz), hasil simulasi menunjukkan penurunan penguatan yang lebih tajam yang mana telah sesuai dengan target desain yang diinginkan.
2. Pada hasil pengujian, penguatan yang tercatat pada frekuensi rendah (20 Hz) lebih rendah dari yang diharapkan, yang disebabkan oleh kapasitansi parasitik dan toleransi komponen. Pada frekuensi midband (100 Hz dan 1 kHz), penguatan yang diperoleh pada pengujian lebih tinggi daripada yang dihasilkan oleh simulasi, menunjukkan bahwa komponen nyata dalam rangkaian memberikan kinerja yang lebih baik dalam rentang ini.

DAFTAR REFERENSI

- [1] R. L. Boylestad, *Electronic Devices and Circuit Theory*, 11th ed. Pearson Education, 2013.

- [2] A. W. Wardhana, Y. Ramadhani, and P. Priswanto, "Design and Simulation of a Multistages Common-Emitter, Common-Collector, AC Voltage Amplifier," *Electrical Department, Faculty of Engineering, Universitas Jenderal Soedirman, Jalan Mayjend Sungkono KM. 5, Purbalingga, 53371, Indonesia*, Mar. 16, 2022, revised July 4, 2022, available online: July 31, 2022.