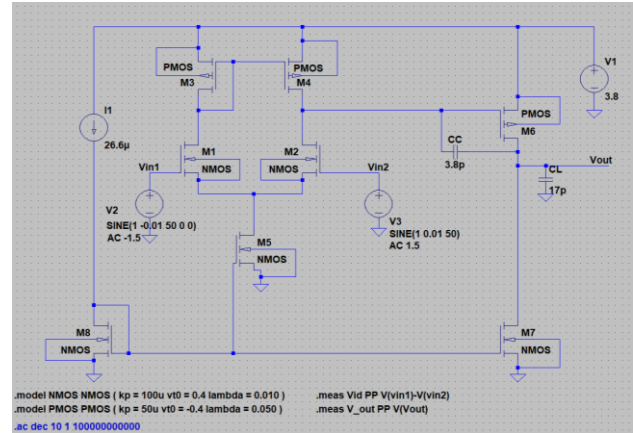
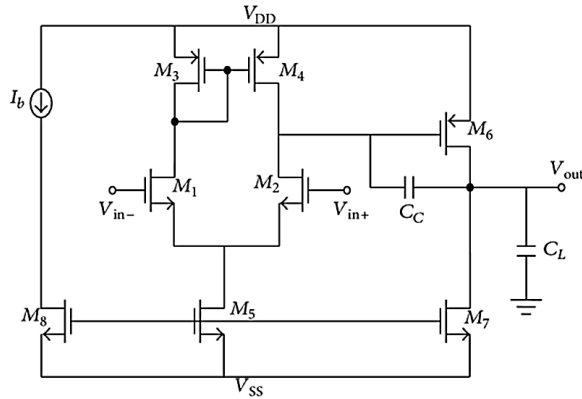


## 1. Gambar Rangkaian



Gambar 1 Rangkaian Two Stage Opamp

## 2. Analisis Matematis

### a. Kriteria Design

2 stage OpAmp (phase margin =  $60^\circ$ )  
 Open loop gain ( $A_v$ , dB) = 122 dB = 120 dB  
 GB (Bandwidth) = XY MHz = 78 MHz  
 $V_{DD} = 3.3 \text{ Volt} = 3.3 \text{ V}$   
 $V_{SS} = 0 \text{ V}$   
 Slew Rate > X Volt/us = SR > 7 V/us  
 Power < 10 mW  
 $C_L = 1 \text{X pF} = 17 \text{ pF}$   
 ICMR = -1 V sampai 1.5 V

### b. Konstanta Desain

PMOS:  $\mu_p C_{ox} (K_p) = 50 \mu\text{A}/\text{V}^2$   
 NMOS:  $\mu_n C_{ox} (K_p) = 100 \mu\text{A}/\text{V}^2$   
 $\lambda_p = 0.05 \text{Z V}^{-1} = 0.050 \text{ V}^{-1}$   
 $\lambda_n = 0.01 \text{Z V}^{-1} = 0.010 \text{ V}^{-1}$   
 $V_{thp} = -0.4 \text{ V}$   
 $V_{thn} = 0.4 \text{ V}$

$$C_c > \left(\frac{2.2}{10}\right) \cdot C_L = 3.74 \text{ pF} \rightarrow C_c = 3.8 \text{ pF}$$

$$I_5 = \text{SR} \cdot C_c = 26.18 \mu\text{A}$$

$$M_3 = \left(\frac{W}{L}\right)_3 = \frac{I_5}{K'_3 [(V_{DD} - V_{in(max)} - |V_{T03(max)}| + V_{T1(min)})^2]} = 0.13$$

$$gm_1 = 2 \cdot \pi \cdot \text{GB} \cdot C_c = 1832.93 \mu\text{S}$$

$$M1 = \left(\frac{W}{L}\right)_1 = M_2 = \left(\frac{W}{L}\right)_2 = \frac{gm_1^2}{(K'_1 \cdot I_5)} = 1283.28$$

$$\beta_1 = K'_1 \cdot \left(\frac{W}{L}\right)_1 = 128328.32 \mu\text{A}/\text{V}^2$$

$$V_{DS5} = V_{in(min)} - V_{SS} - \left(\frac{I_5}{\beta_1}\right)^{\frac{1}{2}} - V_{T1(max)} = -1.56 \text{ V}$$

$$S_5 = \left(\frac{W}{L}\right)_5 = \frac{2 \cdot I_5}{K'_5 \cdot V_{DS5}^2} = 0.21$$

$$gm_6 = 2.2 \cdot gm_2 \cdot \left(\frac{C_L}{C_c}\right) = 18329.31 \mu\text{S}$$

$$M_4 = \left(\frac{W}{L}\right)_3 = 0.13$$

$$I_1 = \frac{gm_1^2}{(2K'_1 \cdot \left(\frac{W}{L}\right)_1)} = 13.09 \mu\text{A}$$

$$I_4 = \left(\frac{M_4}{M_3}\right) \cdot I_3 = \left(\frac{M_4}{M_3}\right) \cdot I_1 = 13.09 \mu\text{A}$$

$$gm_4 = \sqrt{2K'_4 \cdot \left(\frac{W}{L}\right)_4 \cdot I_4} = 13.09 \mu\text{S}$$

$$S_6 = M_6 = \left(\frac{W}{L}\right)_6 = \left(\frac{W}{L}\right)_4 \cdot \left(\frac{gm_6}{gm_4}\right) = 183.29$$

$$I_6 = \frac{gm_6^2}{(2K'_6 \cdot \left(\frac{W}{L}\right)_6)} = 18329.31 \mu\text{A}$$

$$M_7 = \left(\frac{W}{L}\right)_7 = \left(\frac{W}{L}\right)_5 \cdot \left(\frac{I_6}{I_5}\right) = 149.81$$

$$A_v = \frac{2gm_2 \cdot gm_6}{I_5(\lambda_2 + \lambda_4) I_6(\lambda_6 + \lambda_7)} = 38895.91 = 91.79 \text{ dB}$$

$$P_{diss} = (V_{DD} + |V_{SS}|)(I_6 + I_5) = 69.75 \text{ mW}$$

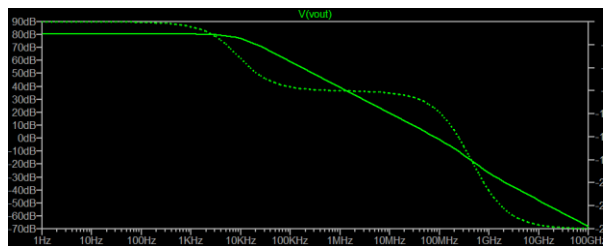
Berdasarkan hasil analisis terhadap perhitungan teoritis desain 2-stage op-amp yang didasarkan pada [1], diperoleh nilai open loop gain sebesar 91.79 dB dan power dissipation sebesar 69.75 mW. Keduanya tidak memenuhi target spesifikasi yang telah ditetapkan dalam kriteria desain, yaitu open loop gain sebesar 120 dB dan power dissipation kurang dari 10 mW. Karena seluruh nilai hasil perhitungan bergantung pada parameter awal, maka yang dapat dianalisis untuk dimodifikasi hanyalah parameter-parameter yang bersifat tetap dan ditentukan sejak awal, yaitu parameter dalam bagian kriteria desain dan konstanta desain. Semua parameter lainnya merupakan hasil turunan dari perhitungan dan tidak dapat diubah secara bebas kecuali jika desain tidak benar-benar mengharuskan terikat dengan perhitungan teoritis secara absolut.

Dari sisi konstanta desain, salah satu parameter yang memiliki dampak signifikan terhadap open loop gain ( $A_v$ ) adalah nilai lambda ( $\lambda$ ), yaitu parameter channel length modulation. Dalam desain ini, nilai  $\lambda$  yang digunakan adalah  $\lambda_n = 0.01 \text{ V}^{-1}$  dan  $\lambda_p = 0.05 \text{ V}^{-1}$ . Nilai lambda yang kecil ini menyebabkan resistansi output ( $r_o$ ) menjadi besar, sehingga penguatan tahap-tahap penguat dalam rangkaian menjadi terbatas. Karena open loop gain sangat bergantung pada nilai  $g_m$  dan resistansi output dari transistor, maka lambda yang rendah membatasi pencapaian gain yang tinggi. Oleh karena itu, untuk meningkatkan open loop gain, salah satu pendekatan yang dapat dilakukan adalah memilih teknologi fabrikasi dengan nilai lambda yang lebih besar.

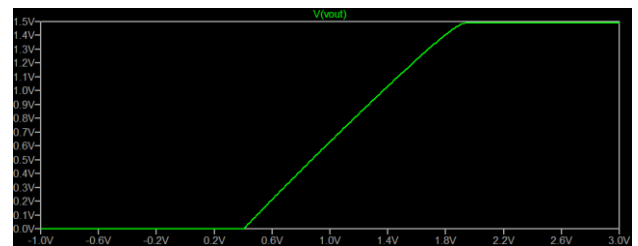
Selanjutnya, dari sisi kriteria desain, terdapat beberapa parameter yang secara langsung berdampak terhadap besarnya arus bias dalam rangkaian, dan dengan demikian mempengaruhi power dissipation. Salah satu di antaranya adalah Slew Rate (SR), yang dalam desain ini ditetapkan harus lebih besar dari  $7 \text{ V}/\mu\text{s}$ . Karena SR berbanding lurus dengan arus  $I_s$  melalui hubungan  $SR = \frac{I_s}{C_c}$ , maka semakin tinggi nilai SR yang ditargetkan, semakin besar pula  $I_s$  yang dibutuhkan, yang secara langsung meningkatkan daya konsumsi rangkaian. Selain itu, Gain Bandwidth (GBW) sebesar  $78 \text{ MHz}$  juga menuntut nilai transkonduktansi  $g_m$  yang tinggi agar hubungan  $GBW = \frac{g_m}{2\pi C_c}$  terpenuhi. Nilai  $g_m$  yang tinggi ini pada akhirnya mendorong arus bias lebih besar, khususnya pada tahap input.

### 3. Hasil Simulasi

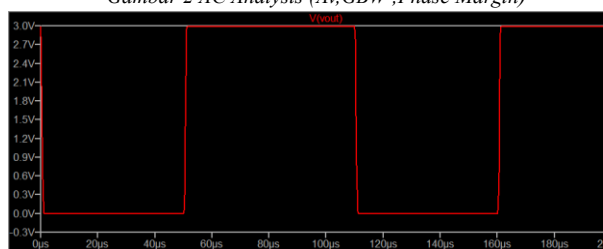
No.	Parameter	Hasil Simulasi	Perhitungan Teoritis	Kriteria Desain
1	Open Loop Gain ( $A_v$ )	80.43 dB	91.79 dB	120 dB
2	Gain Bandwidth (GBW)	90.18 MHz	78 MHz	78 MHz
3	Phase Margin	64.47°	60°	$\geq 60^\circ$
4	Slew Rate (SR)	3.49 V/ $\mu\text{s}$	7 V/ $\mu\text{s}$	$> 7 \text{ V}/\mu\text{s}$
5	ICMR	0.41 V s.d. 1.9 V	-1 V s.d. 1.5 V	-1 V s.d. 1.5 V
6	Power Dissipation	35.69 mW	69.75 mW	$< 10 \text{ mW}$
7	Arus $I_s$	16.111 $\mu\text{A}$	26.18 $\mu\text{A}$	-
8	Arus $I_6$	9.3772 mA	18329.31 $\mu\text{A}$	-



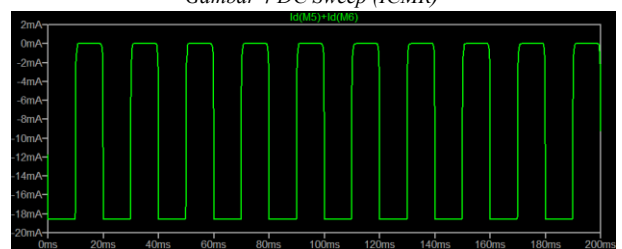
Gambar 2 AC Analysis ( $A_v$ , GBW, Phase Margin)



Gambar 4 DC Sweep (ICMR)



Gambar 3 Transient Analysis (Slew Rate)



Gambar 5 Transient Analysis (Arus  $I_s$  dan  $I_6$ )

### 4. Analisis Simulasi

Berdasarkan hasil simulasi two-stage opamp yang diperoleh, terdapat beberapa perbedaan signifikan jika dibandingkan dengan hasil perhitungan teoritis maupun spesifikasi dalam kriteria desain. Nilai open loop gain dari simulasi sebesar 80.43 dB menunjukkan penurunan yang cukup besar dibandingkan dengan nilai teoritis yaitu 91.79 dB, dan jauh dari target desain sebesar 120 dB. Salah satu faktor utama penyebab penurunan ini adalah perbedaan arus  $I_s$  dan  $I_6$ , yang berbeda antara hasil simulasi dan teori. Pada simulasi, nilai  $I_s$  tercatat sebesar 16.111  $\mu\text{A}$ , jauh lebih kecil dibandingkan dengan  $I_s = 26.18 \mu\text{A}$  yang dihitung secara teoritis. Hal ini berpengaruh pada  $g_m$  yang lebih kecil dari yang diperkirakan, yang pada gilirannya menurunkan gain. Selain itu,  $I_6$  pada hasil simulasi sebesar 9.3772 mA, jauh lebih kecil dibandingkan dengan nilai teoritis  $I_6 = 18.33 \text{ mA}$ , yang juga berdampak pada penurunan gain dan bandwidth.

Jika dibandingkan dengan paper referensi [2] dan [3], nilai gain dari simulasi sudah termasuk cukup tinggi, mengingat pada kedua referensi tersebut gain yang dicapai masing-masing hanya 21.18 dB dan 98.98 dB, dengan power

dissipation sekitar 5.35 mW dan 240  $\mu$ W. Artinya, pencapaian desain simulasi ini masih dalam rentang yang realistis dan kompetitif di antara hasil penelitian lain, meskipun belum memenuhi ekspektasi desain awal sebesar 120 dB. Kegagalan dalam mencapai kriteria desain juga terjadi pada [2] yang mana target desain mencakup open loop gain 40 dB, gain bandwidth (GBW) 5 MHz, dan power dissipation yang diharapkan di bawah 5 mW. Namun, hasil simulasi yang diperoleh menunjukkan open loop gain hanya 21.18 dB, yang jauh lebih rendah dari target, meskipun phase margin dan GBW melebihi ekspektasi, dengan power dissipation sebesar 5.35 mW, sedikit melebihi target.

Sementara itu, gain bandwidth (GBW) hasil simulasi tercatat sebesar 90.18 MHz yang mana lebih tinggi dari hasil teoritis dan kriteria desain yang sama-sama sebesar 78 MHz. Hal ini bisa terjadi karena nilai  $g_{m1}$  dalam simulasi lebih besar atau karena  $C_c$  yang lebih kecil akibat efek parasitik. Meskipun nilai GBW lebih tinggi dari target, namun hal ini tidak diiringi dengan peningkatan slew rate dan gain, yang justru menurun. Phase margin sebesar  $64.47^\circ$  menunjukkan bahwa sistem masih dalam kondisi stabil dan sesuai dengan spesifikasi minimum yaitu  $\geq 60^\circ$ , menandakan bahwa desain kompensasi sudah bekerja dengan baik.

Slew rate (SR) dalam hasil simulasi tercatat 3.49 V/ $\mu$ s, yang jauh lebih rendah dibandingkan dengan target desain yang lebih dari 7 V/ $\mu$ s. Penurunan ini terutama disebabkan oleh arus  $I_s$  yang lebih kecil dalam simulasi, yaitu 16.111  $\mu$ A dibandingkan dengan nilai teoritis 26.18  $\mu$ A. Arus  $I_s$  yang lebih kecil mengurangi  $g_m$  pada tahap first stage amplifier yang menurunkan slew rate. Dalam perhitungan teoritis, slew rate berbanding lurus dengan arus  $I_s$  dan dengan arus yang lebih kecil, kemampuan op-amp untuk mengubah tegangan output dengan cepat berkurang, sehingga SR lebih rendah. Namun, meskipun arus  $I_s$  lebih kecil dari yang diinginkan, power dissipation hasil simulasi tercatat 35.69 mW, yang jauh lebih rendah dibandingkan dengan nilai teoritis 69.75 mW walaupun tidak memenuhi batas maksimum yang ditetapkan dalam kriteria desain yaitu  $<10$  mW. Adanya arus  $I_6$  yang tercatat dalam simulasi 9.3772 mA yang jauh lebih besar dibandingkan dengan nilai teoritis yang dihitung, yaitu  $I_6 = 18.33$   $\mu$ A, mengarah pada peningkatan konsumsi daya, meskipun arus  $I_s$  lebih kecil.

Untuk parameter ICMR, rentang hasil simulasi adalah 0.41 V hingga 1.9 V, yang berbeda dari spesifikasi desain yaitu -1 V hingga 1.5 V. Perbedaan ini menunjukkan adanya ketidakseimbangan karakteristik transistor input. Parameter dimensi M3 dan tegangan  $V_{DS5}$  cukup sensitif terhadap perubahan ICMR dan secara tidak langsung, dua parameter tersebut juga berpengaruh berbagai parameter lain yang salah satunya adalah arus  $I_6$  yang pada akhirnya juga akan memengaruhi nilai gain  $A_v$  dan  $P_{diss}$ .

## 5. Kesimpulan

Berdasarkan hasil analisis matematis dan simulasi two-stage op-amp, terdapat perbedaan yang signifikan antara hasil simulasi dan perhitungan teoritis, yang menunjukkan ketidaksesuaian dengan kriteria desain. Nilai open loop gain dari simulasi sebesar 80.43 dB lebih rendah dibandingkan dengan nilai teoritis 91.79 dB dan jauh dari target desain 120 dB. Hal ini disebabkan oleh perbedaan arus  $I_s$  dan  $I_6$ , yang pada simulasi masing-masing tercatat 16.111  $\mu$ A dan 9.3772 mA, lebih kecil dari nilai perhitungan teoritis yaitu 26.18  $\mu$ A dan 18.33 mA. Arus yang lebih kecil pada  $I_s$  menyebabkan penurunan  $g_m$  yang mengurangi  $A_v$  dan slew rate. Meskipun demikian, gain bandwidth (GBW) dalam simulasi tercatat 90.18 MHz yang mana lebih tinggi dari perhitungan teoritis dan kriteria desain yang sebesar 78 MHz yang mengindikasikan pengaruh positif dari  $g_m$  yang lebih besar atau efek parasitik pada  $C_c$ . Namun, meskipun GBW meningkat, slew rate dan  $A_v$  tetap tidak memenuhi target desain, dengan SR tercatat hanya 3.49 V/ $\mu$ s. Sementara itu, power dissipation tercatat 35.69 mW lebih rendah dari nilai perhitungan teoritis yaitu 69.75 mW walaupun keduanya tetap lebih tinggi dari batas maksimum yang ditetapkan dalam kriteria desain yaitu  $<10$  mW. Pada parameter ICMR, rentang simulasi 0.41 V hingga 1.9 V menunjukkan perbedaan dari spesifikasi desain -1 V hingga 1.5 V yang dapat mempengaruhi nilai parameter dimensi M3 dan  $V_{DS5}$ , yang pada secara tidak langsung juga akan berpengaruh pada arus  $I_6$ ,  $A_v$ , dan power dissipation. Secara keseluruhan, desain ini masih perlu optimalisasi lebih lanjut, terutama dalam mengatur arus bias dan parameter lainnya untuk memenuhi spesifikasi desain yang lebih ketat.

## 6. Daftar Referensi

- [1] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*. Oxford University Press, 2016. [Online]. Available: <https://books.google.co.id/books?id=SWBKnQAACAAJ>
- [2] K. T. Tan, N. Ahmad, M. M. Isa, and F. A. S. Musa, "Design and analysis of two stage CMOS operational amplifier using 0.13  $\mu$ m technology," in *AIP Conference Proceedings*, 2020.
- [3] T. Priyanka, H. S. Aravind, and Y. Hg, "Design and implementation of two stage operational amplifier," *International Research Journal of Engineering and Technology*, 2017, [Online]. Available: [www.irjet.net](http://www.irjet.net)