

DISEÑO DIGITAL 2

MEMORIA DEL DISEÑO:

NIVEL

Autor: Nombre y Apellidos

Curso 2021-2022.

Control de versiones

|  |  |  |  |
| --- | --- | --- | --- |
| Versión | Fecha | Autor | Cambios realizados |
| 0.0 | 19/04/2022 | DTE | Inicial |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

Tabla de contenido

[1 Especificación del diseño. 4](#_Toc101270474)

[1.1 Introducción 4](#_Toc101270475)

[1.2 Interfaces 4](#_Toc101270476)

[1.2.1 Interfaz con el acelerómetro 4](#_Toc101270477)

[1.2.2 Interfaz con la barra de displays de 7 segmentos 4](#_Toc101270478)

[1.2.3 Interfaz con la barra de LEDs 5](#_Toc101270479)

[1.3 Especificaciones 5](#_Toc101270480)

[2 Diseño jerárquico 6](#_Toc101270481)

[2.1 Bloque (completar) 6](#_Toc101270482)

[2.2 Bloque … 7](#_Toc101270483)

[3 Diseño detallado 8](#_Toc101270484)

[4 Pruebas de verificación funcional de NIVEL 9](#_Toc101270485)

[4.1 Test nº 1 9](#_Toc101270486)

[4.2 Test nº 2… 9](#_Toc101270487)

[5 Diseño físico 10](#_Toc101270488)

[5.1 Asignación de pines 10](#_Toc101270489)

[5.2 Restricciones de la síntesis 11](#_Toc101270490)

[5.3 Recursos utilizados 11](#_Toc101270491)

[5.4 Frecuencia máxima de reloj 11](#_Toc101270492)

[6 Bibliografía 12](#_Toc101270493)

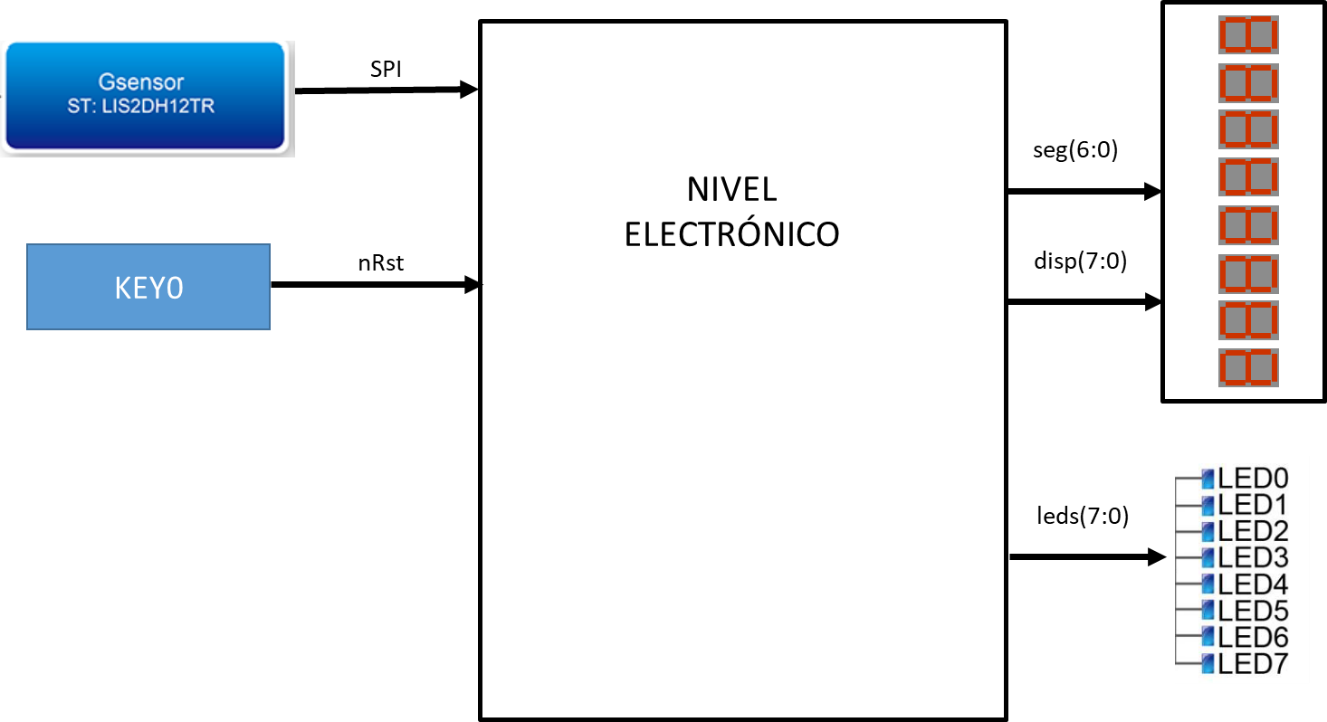
# Especificación del diseño.

## Introducción

El nivel electrónico (NIVEL) permite detectar la inclinación de la tarjeta DECA en dos ejes de movimiento. La información de la inclinación de la tarjeta se obtiene utilizando el acelerómetro incluido en la DECA. La visualización de la inclinación se realiza utilizando los LEDs de la DECA para uno de los ejes y los displays de 7 segmentos de la XDECA para el otro.

## Interfaces

El diagrama de bloques general del diseño se muestra en la siguiente figura.



*Fig. 1. Interconexión del NIVEL al acelerómetro y a los LEDs y displays de 7 segmentos.*

### Interfaz con el acelerómetro

El sistema se comunica con el acelerómetro con una interfaz SPI. Las señales de esta interfaz son las siguientes:

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

### Interfaz con la barra de displays de 7 segmentos

El sistema realiza la visualización de la inclinación en uno de los ejes utilizando una barra de displays de 7 segmentos del tipo cátodo común. La interfaz es la siguiente :

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| seg[7..0] | salida | seg[0] : segmento g  seg [1] : segmento f  seg [2] : segmento e  seg [3] : segmento d  seg [4] : segmento c  seg [5] : segmento b  seg [6] : segmento a  seg [7] : segmento punto |
| mux\_disp[4..0] | salida | mux\_disp [0] : cátodo del display 0 (LSD)  mux\_disp [1] : cátodo del display 1  mux\_disp [2] : cátodo del display 2  mux\_disp [3] : cátodo del display 3  mux\_disp [4] : … |

La interfaz permite iluminar solo un display a la vez. El display se selecciona activando (a nivel bajo) el cátodo correspondiente. El display activo se ilumina de acuerdo al código de 7 segmentos y punto decimal introducido (nivel alto).

### Interfaz con la barra de LEDs

El sistema realiza la visualización de la inclinación en el otro eje utilizando una barra de displays de 7 segmentos :

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

## Especificaciones

Las especificaciones funcionales y no funcionales del NIVEL se detallan en el documento [1].

# Diseño jerárquico

El diagrama de la Fig. 2 representa el primer nivel de la jerarquía del diseño[[1]](#footnote-1):

*Fig. 2. Diagrama de bloques del primer nivel de la jerarquía de NIVEL.*

En los siguientes subapartados se describe la interfaz y la función de cada uno de estos bloques.

## Bloque (completar)

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

## Bloque …

# Diseño detallado

El proyecto está almacenado en la carpeta NIVEL, la cual a su vez contiene las carpetas hdl, modelsim y quartus. La carpeta *hdl* contiene los ficheros RTL y estructural del diseño. La carpeta *modelsim* contiene el proyecto de simulación (NIVEL.mpf), y los ficheros donde se definen los diferentes test‑benches. Finalmente, *quartus* contiene el proyecto para el diseño físico y los ficheros relacionados con éste.

# Pruebas de verificación funcional de NIVEL

El plan de pruebas de NIVEL consiste en ....

## Test nº 1

Es un test ....

|  |  |  |
| --- | --- | --- |
| Ubicación de los ficheros del test | En /NIVEL/modelsim/… | |
| Simulación escalada | Sí/No | |
| Ficheros |  |  |
|  |  |
|  |  |
|  |  |
| Descripción del test |  | |

## Test nº 2…

# Diseño físico

En este apartado se documentan los detalles básicos relacionados con el diseño físico del circuito: la asignación de pines, las restricciones de la síntesis y los informes que proporciona Quartus Prime sobre los recursos de la FPGA utilizados y la frecuencia máxima de reloj obtenida.

## Asignación de pines

En la siguiente tabla se detalla la asignación de los pines de la interfaz de NIVEL a los pines de la FPGA especificando para cada caso el tipo de pin, el número de pin de la FPGA que se corresponde con el pin del diseño, el banco al que corresponde y el estándar de entrada/salida que utiliza.

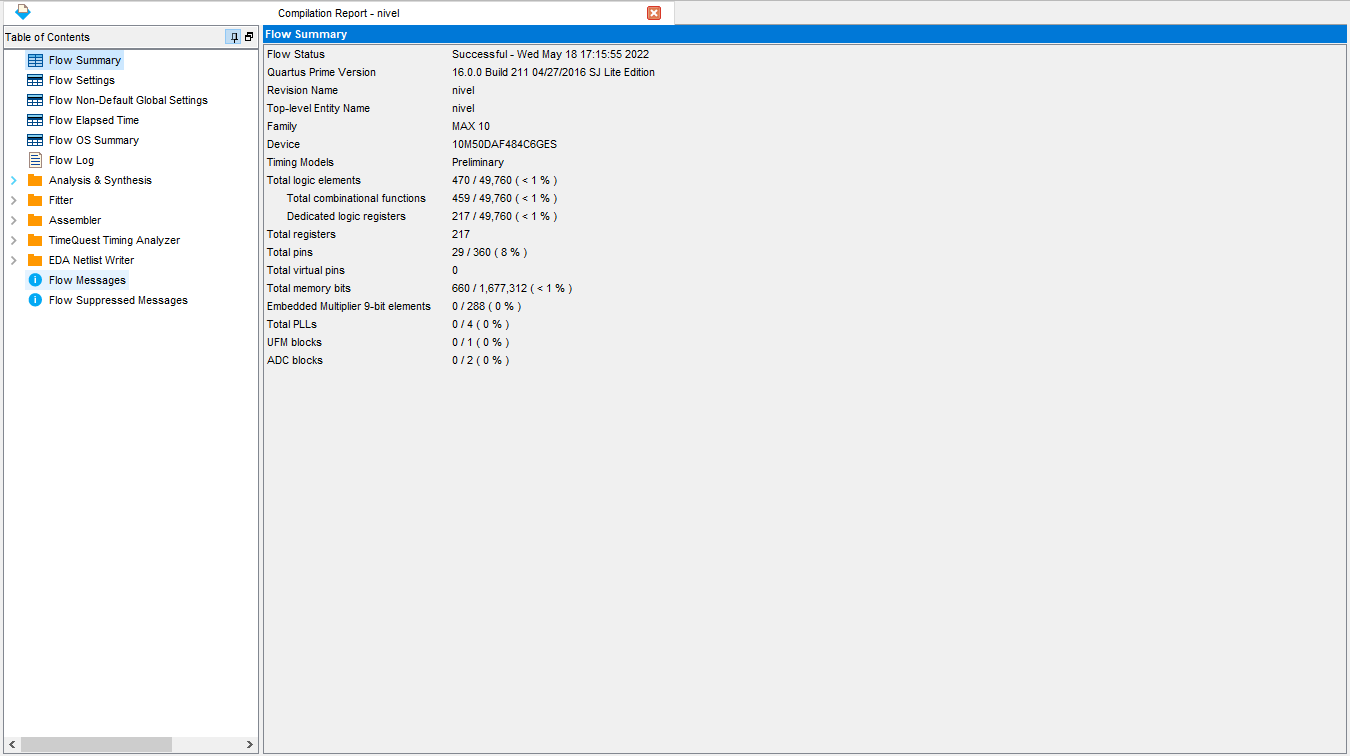
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | direccion | Pin FPGA | I/O bank | I/O standard |
| clk | Input | M8 | 2 | 2.5-V |
| rst\_n | Input | H21 | 6 | 1.5-V Scmitt Trigger |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

## Restricciones de la síntesis

Se ha utilizado el siguiente fichero sdc :

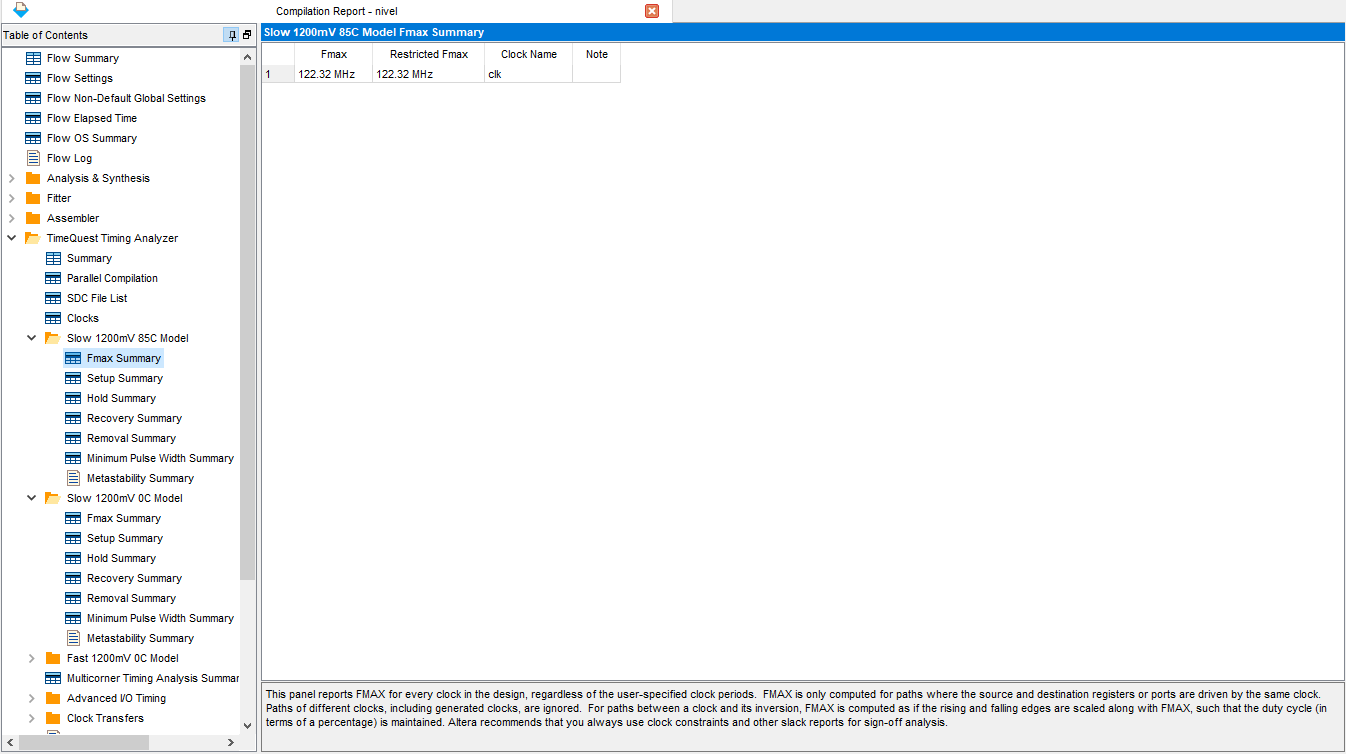
## Recursos utilizados

A continuación se muestra la pantalla que genera el compilador (opción *Flow Summary* del *Compilation Report*) :



## Frecuencia máxima de reloj

A continuación se muestra la pantalla que genera el compilador (*Fmax Summary*) :



# Bibliografía

[1] Especificación del diseño : nivel electrónico (NIVEL) [moodle DD2]

[2] Tarjeta DECA-MAX10 (página web del fabricante). [online] https://www.arrow.com/en/products/deca/arrow-development-tools

[3] Tarjeta XDECA. Manual de usuario. [moodle DD2-documentacion técnica]

1. Todos los bloques tienen un reloj común, clk, y una entrada de reset asíncrono, rst\_n, activa a nivel bajo. Estas señales no se incluyen en las interfaces por simplicidad. [↑](#footnote-ref-1)