

# 浙江大学

## 本科实验报告

课程名称：数字逻辑设计

姓 名：蒋奕

学 院：计算机学院

系：计算机系

专 业：计算机科学与技术

学 号：3210103803

指导教师：马德

2022 年 11 月 21 日

# 浙江大学实验报告

课程名称: 数字逻辑设计 实验类型: 绘图实验+模块调用

实验项目名称: 锁存器与触发器基本原理

学生姓名: 蒋奕 专业: 计算机科学与技术 学号: 3210103803

同组学生姓名: 任庭旭 指导老师: 马德

实验地点: 东 4-509 实验日期: 2022 年 11 月 21 日

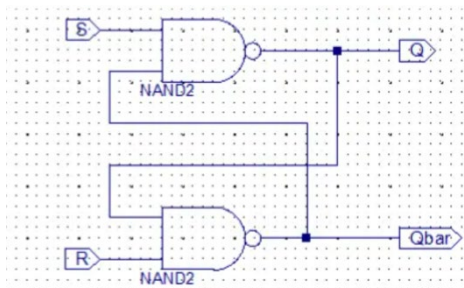
## 一、实验目的:

- ① 掌握锁存器与触发器构成的条件和工作原理
- ② 掌握锁存器与触发器的区别
- ③ 掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器、D 触发器的基本功能
- ④ 掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器存在的时序问题

## 二、实验内容

实验一: 实现基本 SR 锁存器, 验证功能和存在的时序问题

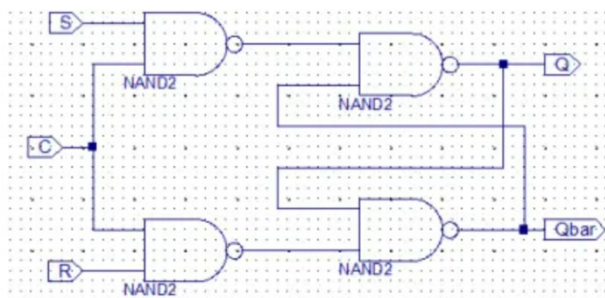
新建工程 MyLATCHS, 新建源文件 SR\_LATCH.sch, 用原理图方式设计 (用 NAND2 实现) 如下图:



建立仿真波形文件, 进行仿真

实验二: 实现基本门控 SR 锁存器, 验证功能和存在的时序问题

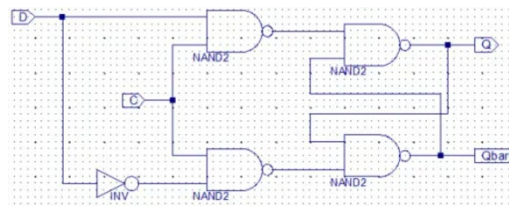
新建源文件 CSR\_LATCH.sch, 用原理图方式设计 (用 NAND2 实现)。生成自定义符号的 CSR\_LATCH.sym。



建立仿真波形文件, 进行仿真

实验三：实现基本 D 锁存器，验证功能和存在的时序问题

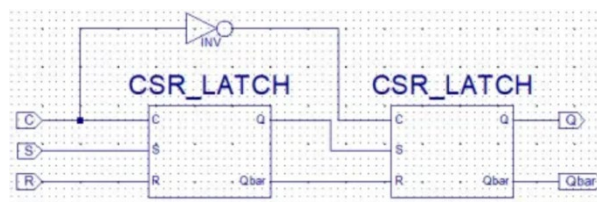
新建源文件 D\_LATCH.sch，用原理图方式设计（用 NAND2 实现）。



建立仿真波形文件，进行仿真

实验四：实现基本 SR 主从触发器，验证功能和存在的时序问题和一次性采样问题

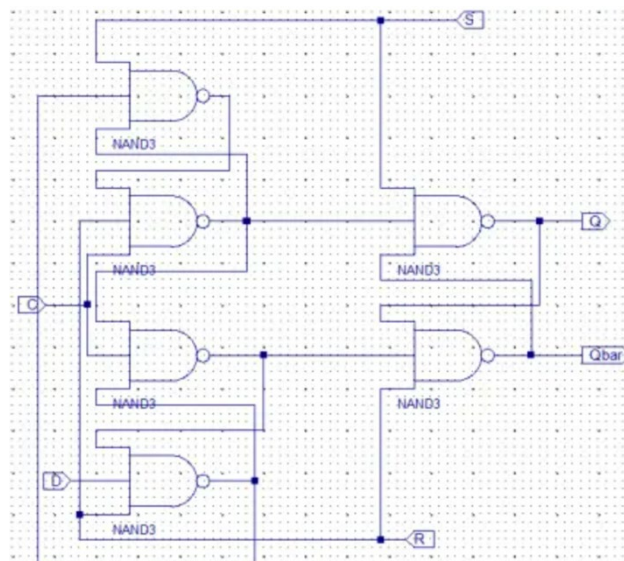
新建源文件 MS\_FLIPFLOP.sch，用原理图方式设计（调用 CSR\_LATCH 实现）。



建立仿真波形文件，进行仿真

实验五：实现基本 D 触发器，验证功能和存在的时序问题

新建源文件 D\_FLIPFLOP.sch，用原理图方式设计（调用 NAND3 实现）。



建立仿真波形文件，进行仿真

## 二、实验数据记录和处理

实验一：实现基本 SR 锁存器，验证功能和存在的时序问题

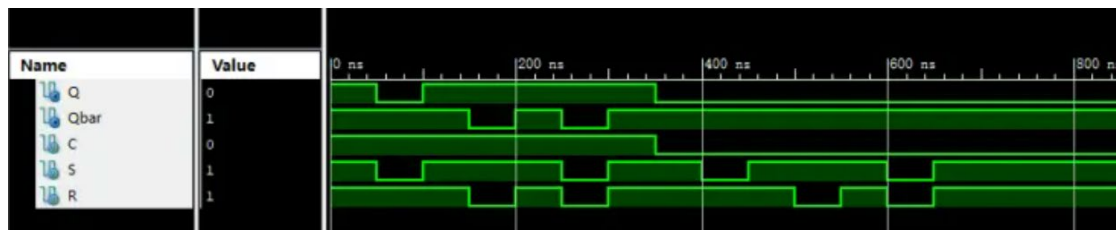


实验仿真波形如上

对应的 Verilog 仿真代码如下：

```
`timescale 1ns / 1ps
module SR_LATCH_SR_LATCH_sch_tb();
    reg S;
    reg R;
    wire Q;
    wire Qbar;
    SR_LATCH UUT (
        .S(S),
        .R(R),
        .Q(Q),
        .Qbar(Qbar)
    );
    initial begin
        R=1;S=1; #50;
        R=1;S=0; #50;
        R=1;S=1; #50;
        R=0;S=1; #50;
        R=1;S=1; #50;
        R=0;S=0; #50;
        R=1;S=1; #50;
    end
end
endmodule
```

## 实验二：实现基本门控 SR 锁存器，验证功能和存在的时序问题

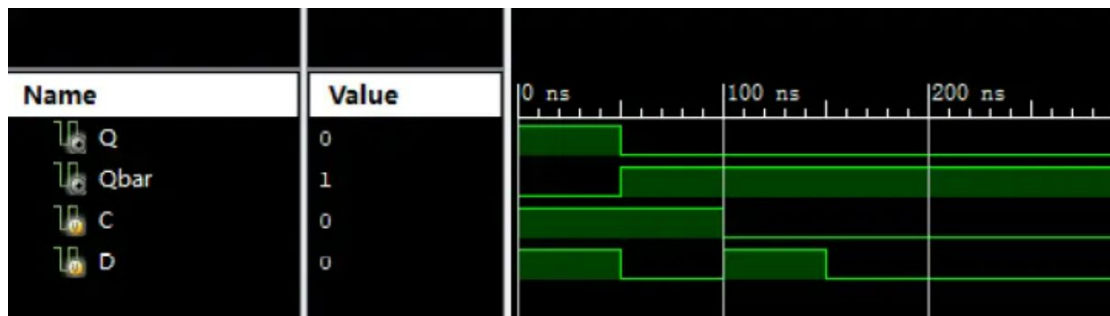


实验仿真波形如上

对应的 Verilog 仿真代码如下：

```
`timescale 1ns / 1ps
module CSR_LATCH_CSR_LATCH_sch_tb();
    reg C;
    reg S;
    reg R;
    wire Q;
    wire Qbar;
    CSR_LATCH UUT (
        .C(C),
        .S(S),
        .R(R),
        .Q(Q),
        .Qbar(Qbar)
    );
    initial begin
        C=1;R=1;S=1; #50;
        R=1;S=0; #50;
        R=1;S=1; #50;
        R=0;S=1; #50;
        R=1;S=1; #50;
        R=0;S=0; #50;
        R=1;S=1; #50;
        C=0;R=1;S=1; #50;
        R=1;S=0; #50;
        R=1;S=1; #50;
        R=0;S=1; #50;
        R=1;S=1; #50;
        R=0;S=0; #50;
        R=1;S=1; #50;
    end
endmodule
```

### 实验三：实现基本 D 锁存器，验证功能和存在的时序问题

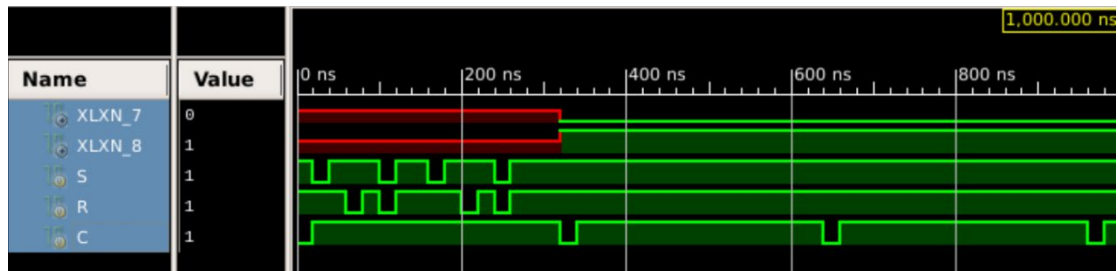


实验仿真波形如上

对应的 Verilog 仿真代码如下：

```
`timescale 1ns / 1ps
module D_LATCH_D_LATCH_sch_tb();
    reg C;
    reg D;
    wire Q;
    wire Qbar;
    D_LATCH UUT (
        .C(C),
        .Q(Q),
        .Qbar(Qbar),
        .D(D)
    );
    initial begin
        C=1;D=1; #50;
        D=0; #50;
        C=0;D=1; #50;
        D=0;
    end
end
endmodule
```

实验四：实现基本 SR 主从触发器，验证功能和存在的时序问题和一次性采样问题



实验仿真波形如上

对应的 Verilog 仿真代码如下：

```
`timescale 1ns / 1ps
module MS_FLIPFLOP_MS_FLIPFLOP_sch_tb();
    reg S,reg R,C;
    wire XLXN_7,XLXN_8;
    MS_FLIPFLOP UUT (
        .S(S),
        .R(R),
        .C(C),
        .XLXN_7(XLXN_7),
        .XLXN_8(XLXN_8)
    );
    initial begin
        S = 1;R = 1;#20;
        S = 0;R = 1;#20;
        S = 1;R = 1;#20;
        S = 1;R = 0;#20;
        S = 1;R = 1;#20;
        S = 0;R = 0;#20;
        S = 1;R = 1;#20;
        S = 1;R = 1;#20;
        S = 0;R = 1;#20;
        S = 1;R = 1;#20;
        S = 1;R = 0;#20;
        S = 1;R = 1;#20;
        S = 0;R = 0;#20;
        S = 1;R = 1;#20;
    end
    always begin
        C = 0; #20;
        C = 1; #300;
    end
end
endmodule
```

### 实验五：实现基本 D 触发器，验证功能和存在的时序问题



实验仿真波形如上

对应的 Verilog 仿真代码如下：

```
`timescale 1ns / 1ps
module D_FLIPFLOP_D_FLIPFLOP_sch_tb();
    reg C;
    reg R;
    reg S;
    reg D;
    wire Qbar;
    wire Q;
    D_FLIPFLOP UUT (
        .C(C),
        .R(R),
        .Qbar(Qbar),
        .Q(Q),
        .S(S),
        .D(D)
    );
    initial begin
        S = 1;
        R = 1;
        D = 0; #150;
        D = 1; #150;
    end
    always begin
        C=0; #50;
        C=1; #50;
    end
endmodule
```



注：该实验已经在 2022.11.21 晚由胡有能助教验收通过

### 三、实验结果与分析

实验结果和预测结果一样，实验操作正确无误。

### 四、讨论、心得（选填）

实验过程中我体会到要认真对待每一次操作，正如我多次因为不小心而操作不熟练使得实验进程受阻。