

# 浙江大学

## 本科实验报告

课程名称： 数字逻辑设计

姓 名： 蒋奕

学 院： 计算机学院

系： 计算机系

专 业： 计算机科学与技术

学 号： 3210103803

指导教师： 马德

2022 年 12 月 11 日

# 浙江大学实验报告

课程名称: 数字逻辑设计 实验类型: 绘图实验+模块调用

实验项目名称: 移位寄存器设计与应用

学生姓名: 蒋奕 专业: 计算机科学与技术 学号: 3210103803

同组学生姓名: 任庭旭 指导老师: 马德

实验地点: 东 4-509 实验日期: 2022 年 12 月 11 日

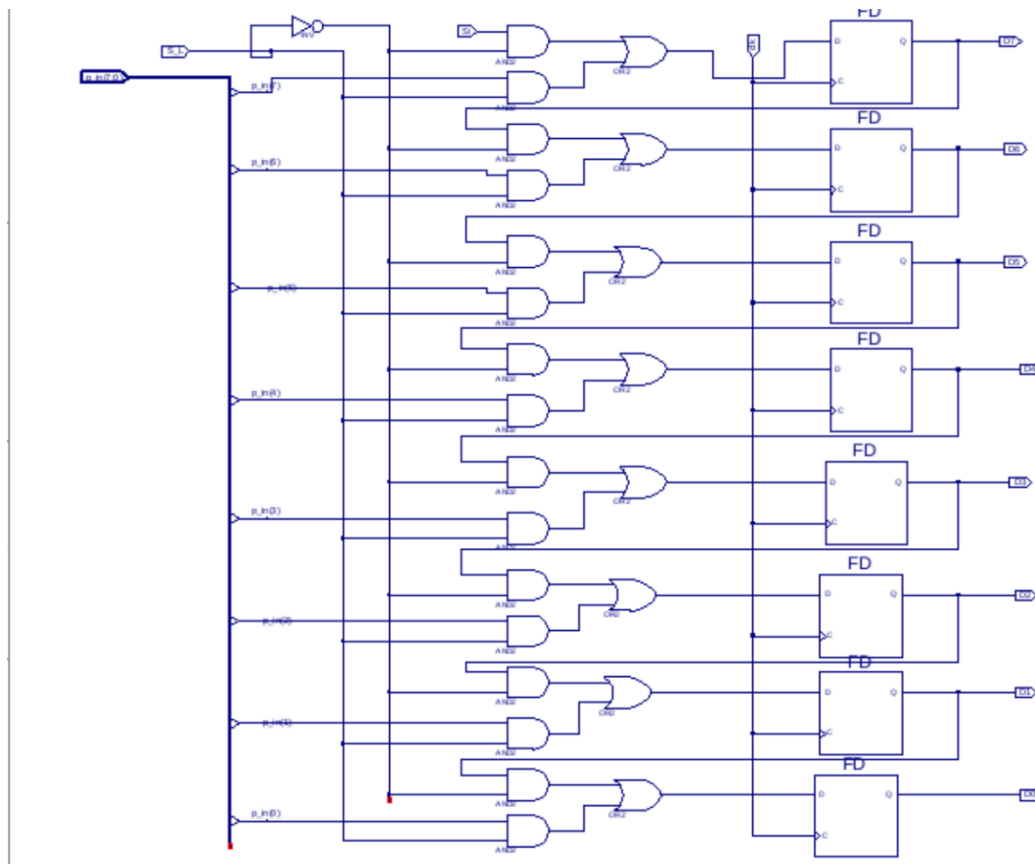
## 一、实验目的:

- ①掌握支持并行输入的移位寄存器的工作原理
- ②掌握支持并行输入的移位寄存器的设计方法

## 二、实验内容

实验一: 设计 8 位带并行输入的右移移位寄存器

工程名称用 ShfitReg8b, Top Level Source Type 用结构化描述设计:



建立仿真波形文件, 进行仿真

## 实验二：设计主板 LED 灯驱动模块

工程名称用 LEDP2S。Top Level Source Type 用 HDL。

利用 ShfitReg8b 模块，设计 LED 灯驱动模块 LED\_DRV，自行设计激励代码，对驱动模块进行仿真。

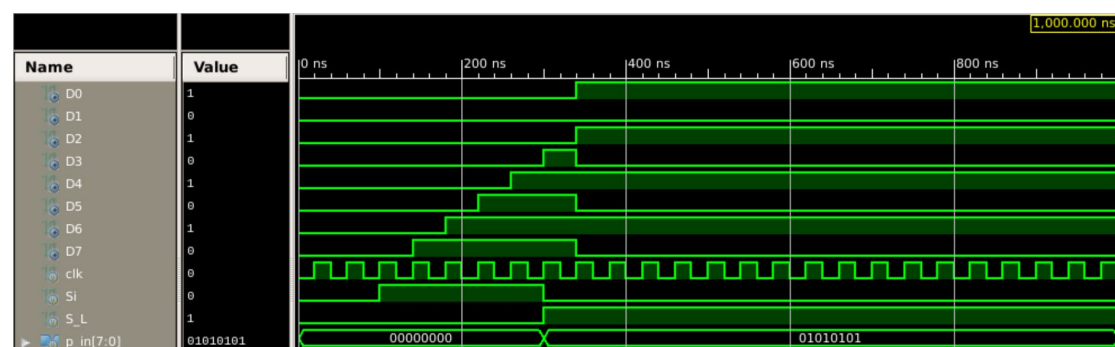
## 实验三、设计主板七段数码管驱动模块

工程名称用 SEGP2S。，Top Level Source Type 用 HDL。

利用 ShfitReg8b 模块，设计主板七段数码管驱动模块 SEG\_DRV，调用 MyMC14495 模块进行段码译码(显示的 num 为学号后 8 位)，自行设计激励代码，对驱动模块进行仿真。

## 二、实验数据记录和处理

### 实验一：原理图方式设计 4 位同步二进制计数器



实验仿真波形如上  
对应的 Verilog 仿真代码如下：

```
`timescale 1ns / 1ps
module ShfitReg8b_ShfitReg8b_sch_tb();
    reg clk;
    reg Si;
    reg S_L;
    reg [7:0] p_in;
    wire D0;
    wire D1;
    wire D2;
    wire D3;
    wire D4;
    wire D5;
    wire D6;
    wire D7;
    ShfitReg8b UUT (
        .D0(D0),
        .D1(D1),
        .D2(D2),
        .D3(D3),
        .D4(D4),
```

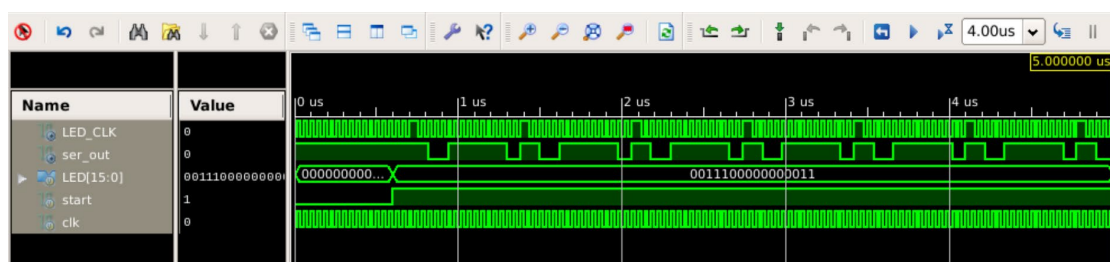
```

        .D5(D5),
        .D6(D6),
        .D7(D7),
        .clk(clk),
        .Si(Si),
        .S_L(S_L),
        .p_in(p_in)
    );
    initial begin
        clk = 0;
        S_L = 0;
        Si = 0;
        p_in = 0;
        #100;
        S_L = 0;
        Si = 1;
        p_in = 0;
        #200;
        S_L = 1;
        Si = 0;
        p_in = 8'b0101_0101;
        #500;
    end

    always begin
        clk = 0; #20;
        clk = 1; #20;
    end
endmodule

```

## 实验二：设计主板 LED 灯驱动模块

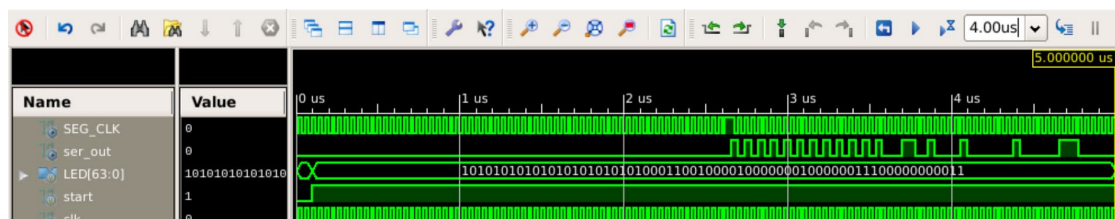


实验仿真波形如上

对应的 Verilog 仿真代码如下：

```
`timescale 1ns / 1ps
module LED_DRV_test;
    reg [15:0] LED;
    reg start;
    reg clk;
    wire LED_CLK;
    wire ser_out;
    LED_DRV uut (
        .LED(LED),
        .start(start),
        .clk(clk),
        .LED_CLK(LED_CLK),
        .ser_out(ser_out)
    );
    initial begin
        LED=0;
        start = 0;
        #600;
        LED=16'b00111100000000011; //3803
        start=1;
        #600;
    end
    always begin
        clk=0;
        #20;
        clk=1;
        #20;
    end
endmodule
```

### 实验三、设计主板七段数码管驱动模块



实验仿真波形如上

对应的 Verilog 代码如下：

```
`timescale 1ns / 1ps
module SEG_DRV_test;
    reg [63:0] LED;
    reg start;
    reg clk;
    wire SEG_CLK;
    wire ser_out;
    SEG_DRV uut (
        .LED(LED),
        .start(start),
        .clk(clk),
        .SEG_CLK(SEG_CLK),
        .ser_out(ser_out)
    );
    initial begin
        LED = 0;
        start = 0;
        clk = 0;
        #100;
        LED
64'b101010101010101010101010100011001000010000000100000011100000000011;
//3210103803
        start=1;
    end
    always begin
        clk=0;
        #20;
        clk=1;
        #20;
    end
end
endmodule
```

**注：相关代码由于数量较多，已经打包在附件压缩包中，在此不再罗列。**

### 三、实验结果与分析

实验结果和预测结果一样，实验操作正确无误。

### 四、讨论、心得 （选填）

实验过程中我体会到要认真对待每一次操作，正如我多次因为不小心而操作不熟练使得实验进程受阻。