

浙江大学

本科实验报告

课程名称： 数字逻辑设计

姓 名： 蒋奕

学 院： 计算机学院

系： 计算机系

专 业： 计算机科学与技术

学 号： 3210103803

指导教师： 马德

2022 年 12 月 19 日

浙江大学实验报告

课程名称: 数字逻辑设计 实验类型: 模块调用

实验项目名称: 计数器、定时器设计与应用

学生姓名: 蒋奕 专业: 计算机科学与技术 学号: 3210103803

同组学生姓名: 任庭旭 指导老师: 马德

实验地点: 东 4-509 实验日期: 2022 年 12 月 19 日

一、实验目的:

- ① 掌握同步四位二进制计数器 74LS161 的工作原理和设计方法
- ② 掌握时钟/定时器的工作原理与设计方法

二、实验内容

实验一: 采用行为描述设计同步四位二进制计数器 74LS161

工程名称用 My74LS161。Top Level Source Type 用 HDL。用行为描述设计: CR 是异步清零, 低电平有效; LD 是同步置位, 低电平有效。建立仿真波形文件, 进行仿真。

对应的 Verilog 仿真代码如下:

```
initial begin
    CR = 0; D = 0; CTP = 0; CTT = 0;
    Ld = 0;
    #100;
    CR = 1;
    Ld = 1;
    D = 4'b1100;
    CTT = 0; CTP = 0;
    #30 CR = 0;
    #20 CR = 1;
    #10 Ld = 0;
    #30 CTT = 1;
    CTP = 1;
    #10 Ld = 1;
    #510;
    CR = 0;
    #20 CR = 1;
    #500;
end
```

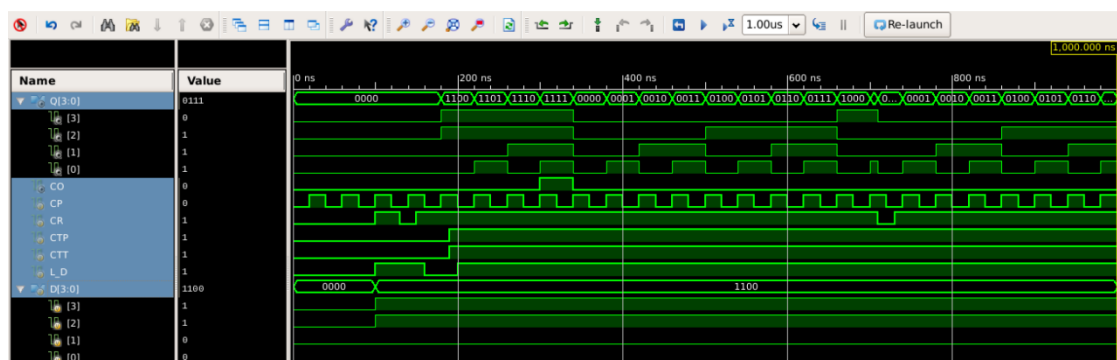
实验二：基于 74LS161 设计时钟应用

设计一个数字钟，使用 74LS161 模块，设计 60 进制和 24 进制计数器，实现 24 小时内时间的实时显示。数字钟的初值通过初始化语句来实现，选择大实验板上的 6 个数码管显示，前两位显示小时的十位和个位，中间两位显示分钟的十位和个位，最后两位显示秒的十位和个位。

工程名称用 MyClock。Top Level Source Type 用 HDL。用结构化描述设计，调用 My74LS161。调用分频模块，用 1us 作为驱动时钟，直接显示计数值。建立仿真波形文件，进行仿真。

二、实验数据记录和处理

实验一：采用行为描述设计同步四位二进制计数器 74LS161



实验仿真波形如上

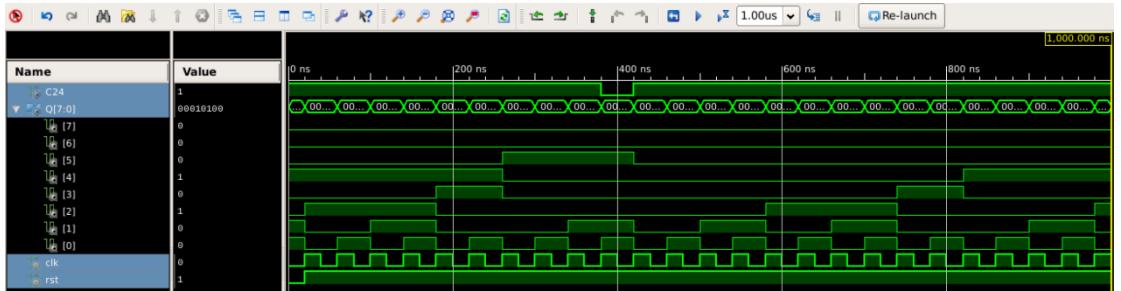
实验二：基于 74LS161 设计时钟应用

二十四进制计数器

对应的 Verilog 代码如下：

```
module Counter_24(  
    input clk,  
    input rst,  
    output C24,  
    output [7:0] Q  
);  
  
    wire LD1,CT,NAND_1,NAND_2;  
    assign NAND_1 = ~(Q[0]&Q[3]);  
    assign NAND_2 = ~(Q[0]&Q[1]&Q[5]);  
    assign LD1 = NAND_1 & NAND_2;  
    assign C24 = NAND_2;  
    assign CT = ~NAND_1;  
    My74LS161 m1 (.CP(clk),.CR(rst),  
        .CTP(1'b1),.CTT(1'b1),  
        .L_D(LD1),  
        .D(4'b0000),  
        .D_CR(4'b0011), //initial value set to 0001 by jiang yi  
        .Q({Q[3],Q[2],Q[1],Q[0]})  
    );
```

```
My74LS161 m2 (.CP(clk),.CR(rst),
    .CTP(CT),.CTT(CT),
    .L_D(NAND_2),
    .D(4'b0000),
    .D_CR(4'b0001), //initial value set to 0001 by jiang yi
    .Q({Q[7],Q[6],Q[5],Q[4]}))
);
endmodule
```



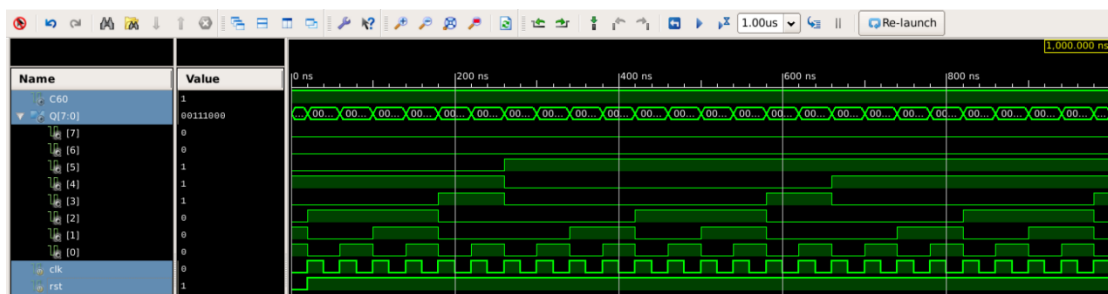
实验仿真波形如上
对应的 Verilog 仿真代码如下：

```
`timescale 1ns / 1ps
module Counter_24_test;
    // Inputs
    reg clk;
    reg rst;
    // Outputs
    wire C24;
    wire [7:0] Q;
    // Instantiate the Unit Under Test (UUT)
    Counter_24 uut (
        .clk(clk),
        .rst(rst),
        .C24(C24),
        .Q(Q)
    );
    initial begin
        clk = 0;
        rst = 0;
        #20;
        rst = 1;
    end
    always begin
        clk = 0; #20;
        clk = 1; #20;
    end
endmodule
```

六十进制计数器

对应的 Verilog 代码如下：

```
module Counter_60(  
    input clk,  
    input rst,  
    output C60,  
    output [7:0] Q  
);  
  
    wire LD1;  
    wire CT;  
    wire NAND_1,NAND_2;  
    assign NAND_1 = ~(Q[0]&Q[3]);  
    assign NAND_2 = ~(Q[5]&Q[6]);  
    assign LD1 = NAND_1 & NAND_2;  
    assign C60 = NAND_2;  
    assign CT = ~NAND_1;  
  
    My74LS161 m1 (.CP(clk),.CR(rst),  
        .CTP(1'b1),.CTT(1'b1),  
        .L_D(LD1),  
        .D(4'b0000),  
        .D_CR(4'b0011), //initial value set to 0011 by jiang yi  
        .Q({Q[3],Q[2],Q[1],Q[0]}))  
    );  
  
    My74LS161 m2 (.CP(clk),.CR(rst),  
        .CTP(CT),.CTT(CT),  
        .L_D(NAND_2),  
        .D(4'b0000),  
        .D_CR(4'b0001), //initial value set to 0001 by jiang yi  
        .Q({Q[7],Q[6],Q[5],Q[4]}))  
    );  
endmodule
```



实验仿真波形如上

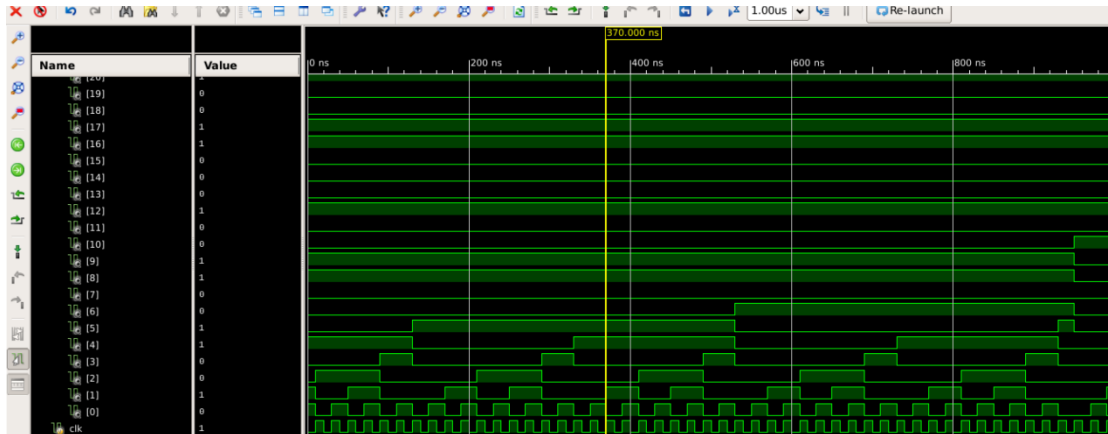
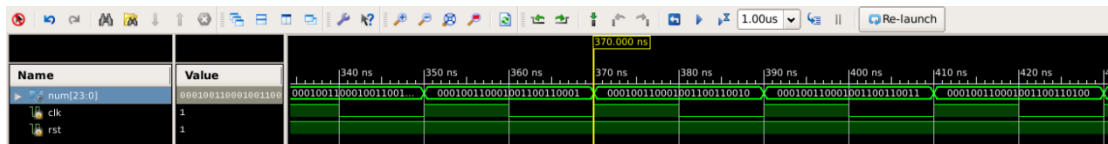
对应的 Verilog 仿真代码如下：

```
`timescale 1ns / 1ps
module Counter_60_test;
    reg clk;
    reg rst;
    wire C60;
    wire [7:0] Q;
    Counter_60 uut (
        .clk(clk),
        .rst(rst),
        .C60(C60),
        .Q(Q)
    );
    initial begin
        clk = 0;
        rst = 0;
        #20;
        rst = 1;
    end
    always begin
        clk = 0;#20;
        clk = 1;#20;
    end
endmodule
```

MyClock 模块

对应的 Verilog 代码如下：

```
module MyClock (
    input rst,
    input clk,
    output reg [23:0] num
);
    wire secondco, minco, hourco;
    Counter_60
second(.rst(rst),.Q(num[7:0]),.C60(secondco),.clk(clk));//clk
    Counter_60
minute(.rst(rst),.Q(num[15:8]),.C60(minco),.clk(~secondco));
    Counter_24
hour(.rst(rst),.Q(num[23:16]),.C24(hourco),.clk(~minco));
endmodule
```



实验仿真波形如上

对应的 Verilog 仿真代码如下：

```
module MyClock_test;
    reg clk;
    reg rst;
    wire [23:0] num;
    MyClock uut (
        .clk(clk),
        .rst(rst),
        .num(num)
    );
    initial begin
        clk = 0;rst = 0;
        #10;
        rst = 1;
    end
    always begin
        clk = 0;#10;
        clk = 1;#10;
    end
endmodule
```

说明：以上仿真代码看似没有设置初始值，但是在附件 MyClock 里面，second、minute、hour 模块内部的 My74SL161 模块均有对 D_CR 设置初始值。（详见附件）下面的 top 模块计数起点也是 second、minute、hour 里设置的初始值。

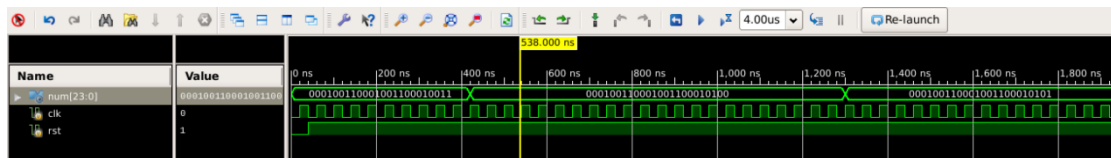
1us 分频器对应的 Verilog 代码如下：

```
module counter1us(
    input wire clk,
    output reg clk_1us
);
    reg [31:0] cnt;
    initial cnt <= 0;
    initial clk_1us <= 0;
    always @ (posedge clk) begin
        if ( cnt < 10 ) begin
            cnt <= cnt + 1;
        end
        else begin
            cnt <= 0;
            clk_1us <= ~clk_1us;
        end
    end
endmodule
```

Top 模块

对应的 Verilog 代码如下：

```
odule top(
    input rst,
    input clk,
    output [23:0] num
);
    wire secondco;
    wire minco;
    wire hourco;
    wire clk_1us;
    counter1us c1(clk, clk_1us);
    Counter_60
second(.rst(rst),.Q(num[7:0]),.C60(secondco),.clk(clk_1us));
    Counter_60
minute(.rst(rst),.Q(num[15:8]),.C60(minco),.clk(~secondco));
    Counter_24
hour(.rst(rst),.Q(num[23:16]),.C24(hourco),.clk(~minco));
endmodule
```

实验仿真波形如上

对应的 Verilog 仿真代码如下：

```
module top_test;
    reg clk;
    reg rst;
    wire [23:0] num;
    top uut (
        .clk(clk),
        .rst(rst),
        .num(num)
    );
    initial begin
        clk = 0;
        rst = 0;
        #40;
        rst = 1;
    end
    always begin
        clk = 0;#20;
        clk = 1;#20;
    end
endmodule
```

三、实验结果与分析

实验结果和预测结果一样，实验操作正确无误。

四、讨论、心得 （选填）

实验过程中我体会到要认真对待每一次操作，正如我多次因为不小心而操作不熟练使得实验进程受阻。