

浙江大学

本科实验报告

课程名称： 数字逻辑设计

姓 名： 蒋奕

学 院： 计算机学院

系： 计算机系

专 业： 计算机科学与技术

学 号： 3210103803

指导教师： 马德

2022 年 11 月 28 日

浙江大学实验报告

课程名称: 数字逻辑设计 实验类型: 绘图实验+模块调用

实验项目名称: 同步时序电路设计

学生姓名: 蒋奕 专业: 计算机科学与技术 学号: 3210103803

同组学生姓名: 任庭旭 指导老师: 马德

实验地点: 东 4-509 实验日期: 2022 年 11 月 28 日

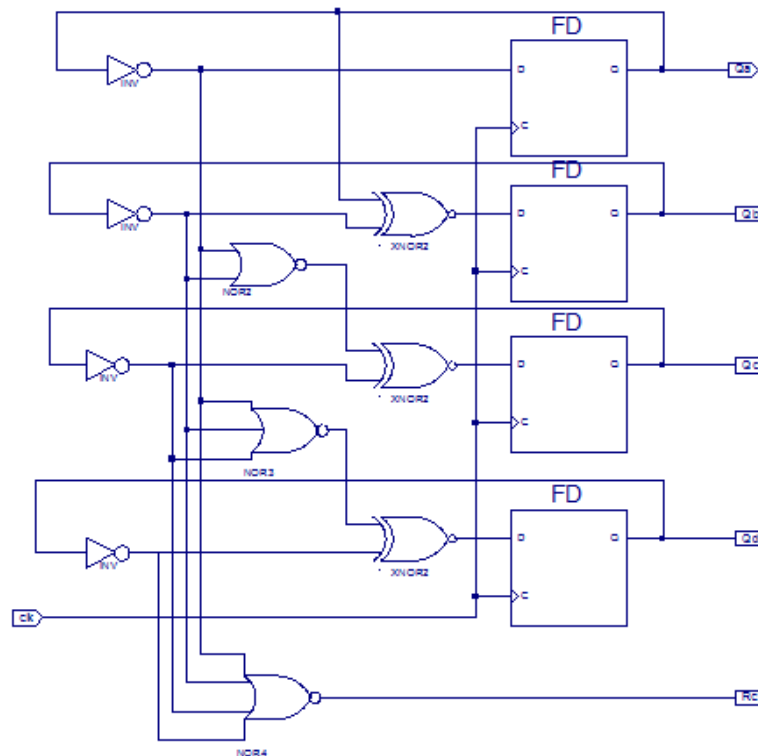
一、实验目的:

- ① 掌握典型同步时序电路的工作原理和设计方法
- ② 掌握时序电路的激励函数、状态图、状态方程的运用
- ③ 掌握用 Verilog 进行有限状态机的设计、调试、仿真
- ④ 掌握用 FPGA 实现时序电路功能

二、实验内容

实验一: 原理图方式设计 4 位同步二进制计数器

新建工程,工程名称用 MyCounter,新建 Schematic 源文件,文件名称用 Counter4b,用原理图方式设计如下图:



建立仿真波形文件,进行仿真

实验二：以 Verilog 行为描述方式设计 16 位可逆二进制同步计数器

新建 Verilog 类型源文件，用作时钟，文件名称用 clk_1s。

新建 Verilog 类型源文件，文件名称用 Top，右键设为“Set as Top Module”。输入为 clk（100MHZ）时钟，每秒自增 1，显示在 1 位数码管上，Rc 显示在 LED 灯上

新建工程，名称用 myRevCounter，Top Level Source Type 用 HDL。新建源文件，设计 16 位可逆同步二进制计数器，类型是 Verilog，文件名称用 RevCounter，采用行为描述方式进行设计。

建立仿真波形文件（包含正向计数和反向计数），进行仿真。

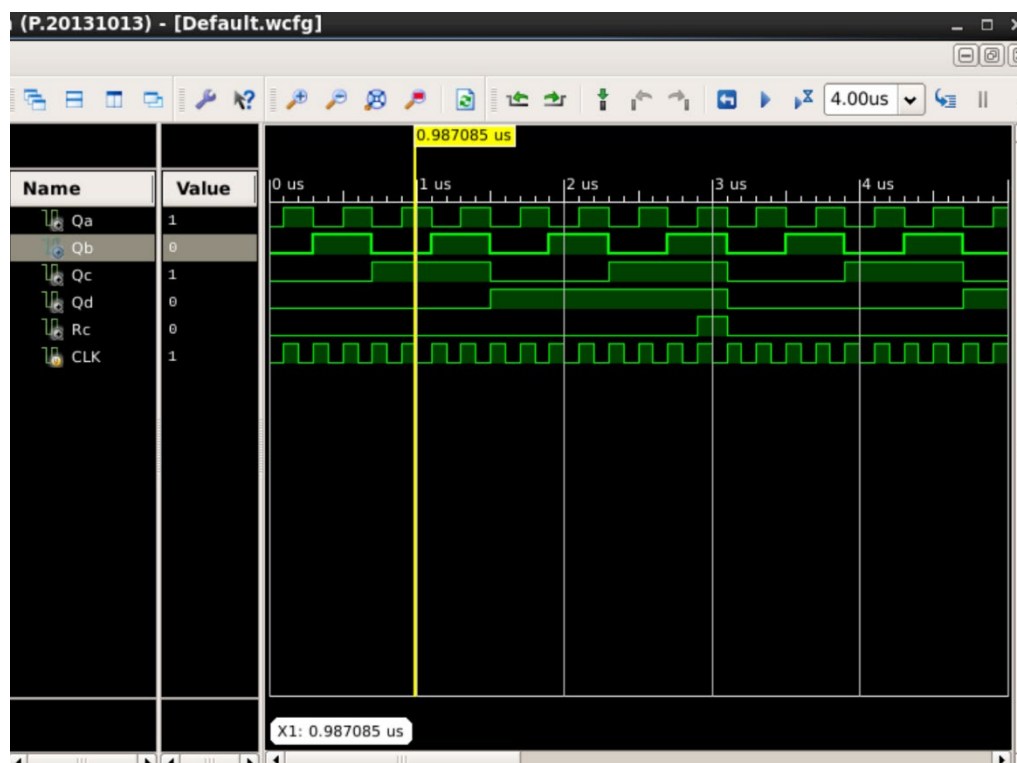
新建 Verilog 类型源文件，设计 100ms 时钟，文件名称用 clk_100ms，采用 Verilog 行为描述。

新建 Verilog 类型源文件，设计顶层模块，文件名称用 Top，右键设为“Set as Top Module”。

Top 模块的输入为 clk（100MHZ）时钟，RevCounter 模块的时钟输入为 100ms 时钟，用 sw[0]控制自增/自减 1（每 0.1 秒），计数结果显示在 4 位数码管上，Rc 状态用 LED 灯来显示。建立仿真波形文件，进行仿真。

二、实验数据记录和处理

实验一：原理图方式设计 4 位同步二进制计数器

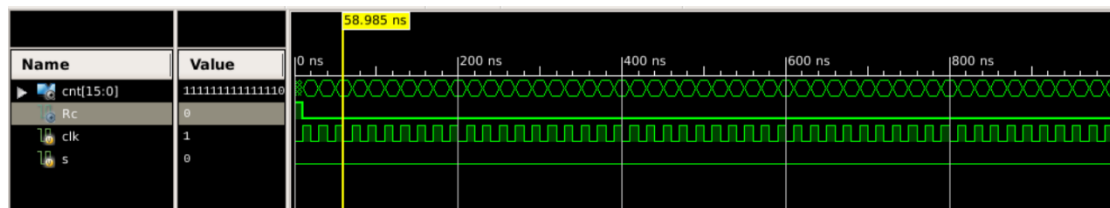


实验仿真波形如上

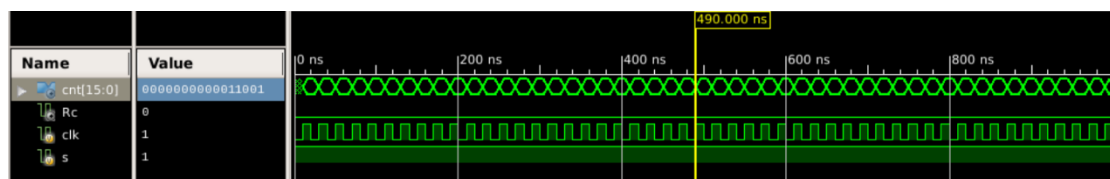
对应的 Verilog 仿真代码如下：

```
`timescale 1ns / 1ps
module Counter4b_Counter4b_sch_tb();
    reg CLK;
    wire Qa;
    wire Qb;
    wire Qc;
    wire Qd;
    wire Rc;
    Counter4b UUT (
        .Qa(Qa),
        .Qb(Qb),
        .Qc(Qc),
        .Qd(Qd),
        .CLK(CLK),
        .Rc(Rc)
    );
    // Initialize Inputs
    initial forever begin
        CLK = 1'b0; #100;
        CLK = 1'b1; #100;
    end
endmodule
```

实验二：以 Verilog 行为描述方式设计 16 位可逆二进制同步计数器



实验仿真波形如上（逆向计数）



实验仿真波形如上（正向计数）

对应的 Verilog 仿真代码如下：

```
`timescale 1ns / 1ps
module RevCounter_test;
    reg clk;
    reg s;
    wire [15:0] cnt;
    wire Rc;
    RevCounter uut (
        .clk(clk),
        .s(s),
        .cnt(cnt),
        .Rc(Rc)
    );
    initial forever begin
        s = 1'b1; // s = 1'b0 是反向计数
        clk = 1'b0; #10;
        clk = 1'b1; #10;
    end
endmodule
```

1s 分频器对应的 Verilog 代码如下：

```
module counter_1s(clk, clk_1s);
    input wire clk;
    output reg clk_1s;
    reg [31:0] cnt;
    always @ (posedge clk) begin
        if (cnt < 50_000_000) begin
            cnt <= cnt + 1;
        end else begin
            cnt <= 0;
            clk_1s <= ~clk_1s;
        end
    end
endmodule
```

可逆二进制 4 位同步计数器对应的 Verilog 代码如下：

```
`timescale 1ns / 1ps
module RevCounter(clk, s, cnt, Rc);
    input wire clk, s;
    output reg [15:0] cnt;
    output wire Rc;
    assign Rc = (~s & (~|cnt)) | (s & (&cnt));
    initial begin
        cnt = 0;
    end
    always@(posedge clk) begin
        if (s)
            cnt <= cnt + 1;
        else
            cnt <= cnt - 1;
        end
    end
endmodule
```

三、实验结果与分析

实验结果和预测结果一样，实验操作正确无误。

四、讨论、心得 （选填）

实验过程中我体会到要认真对待每一次操作，正如我多次因为不小心而操作不熟练使得实验进程受阻。