

# 浙江大学

## 本科实验报告

课程名称： 数字逻辑设计

姓 名： 蒋奕

学 院： 计算机学院

系： 计算机系

专 业： 计算机科学与技术

学 号： 3210103803

指导教师： 马德

2022 年 10 月 17 日

# 浙江大学实验报告

课程名称：\_\_\_\_数字逻辑设计\_\_\_\_实验类型：\_\_\_\_绘图实验\_\_\_\_

实验项目名称：\_\_\_\_变量译码器设计与应用\_\_\_\_

学生姓名：蒋奕 专业：\_\_\_\_计算机科学与技术\_\_\_\_学号：\_\_\_\_3210103803\_\_\_\_

同组学生姓名：\_\_\_\_任庭旭\_\_\_\_指导老师：\_\_\_\_马德\_\_\_\_

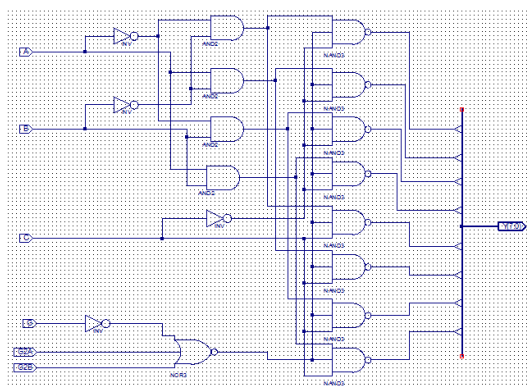
实验地点：\_\_\_\_东 4-509\_\_\_\_实验日期：\_\_\_\_2022 年 10 月 17 日\_\_\_\_

## 一、实验目的：

- ①掌握变量译码器的逻辑构成和逻辑功能
- ②用变量译码器实现组合函数
- ③采用原理图设计电路模块，进一步熟悉 ISE 平台及下载实验平台物理验证

### 实验一：原理图设计实现 74LS138 译码器模块

- ① 新建工程，工程名称用 D\_74LS138\_SCH。新建 Schematic 源文件，文件名称用 D\_74LS138。用如下原理图进行设计。
- ② Check Design Rules，检查错误。View HDL Functional Model，查看并学习 Verilog HDL 代码
- ③ 对 D\_74LS138 模块进行仿真，激励代码如下
- ④ Create Schematic Symbol，系统生成 D\_74LS138 模块的逻辑符号图文件，文件后缀. sym



```
integer i;
initial begin
    C = 0;
    B = 0;
    A = 0;

    G = 1;
    G2A = 0;
    G2B = 0;
    #50;

    for (i=0; i<=7; i=i+1) begin
        {C,B,A} = i;
        #50;
    end

    assign G = 0;
    assign G2A = 0;
    assign G2B = 0;
    #50;

    assign G = 1;
    assign G2A = 1;
    assign G2B = 0;
    #50;

    assign G = 1;
    assign G2A = 0;
    assign G2B = 1;
    #50;
end
```

- ⑤ 验证 D\_74LS138：新建工程“D\_74LS138\_Test”。新建 Schematic 文件“D\_74LS138\_Test”。复制 D\_74LS138. sym 和. sch 到工程目录。
- ⑥ 用拨盘开关控制模块的输入，用 LED(7:0)作为模块的输出，验证模块的功能
- ⑦ 在 D\_74LS138 模块上点右键，在菜单的 Symbol Push into Symbol 可以参看模块的原理图，空白处右键菜单里的 Pop to calling Schematic 回到上层模块。

⑧ 下载验证:

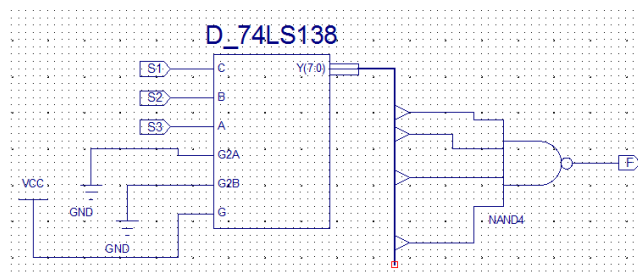
建立K7.ucf文件:

```
NET "S1" LOC = AA10 | IOSTANDARD = LVCMOS15;  
NET "S2" LOC = AB10 | IOSTANDARD = LVCMOS15;  
NET "S3" LOC = AA13 | IOSTANDARD = LVCMOS15;  
NET "S4" LOC = AA12 | IOSTANDARD = LVCMOS15;  
NET "S5" LOC = Y13 | IOSTANDARD = LVCMOS15;  
NET "S6" LOC = Y12 | IOSTANDARD = LVCMOS15;  
NET "LED[0]" LOC = W23 | IOSTANDARD = LVCMOS33;  
NET "LED[1]" LOC = AB26 | IOSTANDARD = LVCMOS33;  
NET "LED[2]" LOC = Y25 | IOSTANDARD = LVCMOS33;  
NET "LED[3]" LOC = AA23 | IOSTANDARD = LVCMOS33;  
NET "LED[4]" LOC = Y23 | IOSTANDARD = LVCMOS33;  
NET "LED[5]" LOC = Y22 | IOSTANDARD = LVCMOS33;  
NET "LED[6]" LOC = AE21 | IOSTANDARD = LVCMOS33;  
NET "LED[7]" LOC = AF24 | IOSTANDARD = LVCMOS33;
```

⑨ 根据真值表，操作实验板，验证功能。

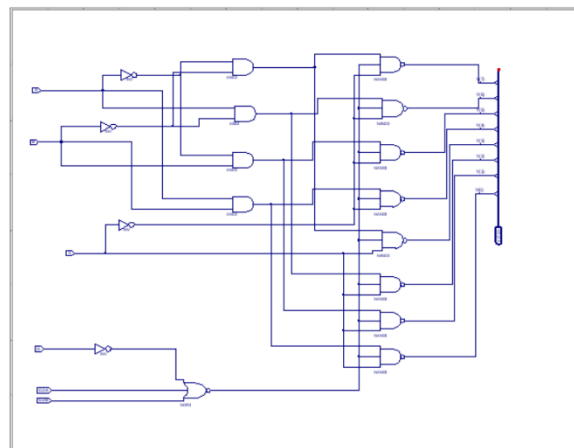
实验二：用 74LS138 译码器实现楼道灯控制器

- ① 新建工程 LampCtrl138。复制 D\_74LS138.sym 和.sch 文件到工程目录。在 symbols 框里的第一个元件，就是 D\_74LS138。根据前面原理，用如下原理图方式输入。1 用 VCC，0 用 GND。
- ② 仿真下载与实验 1 相同

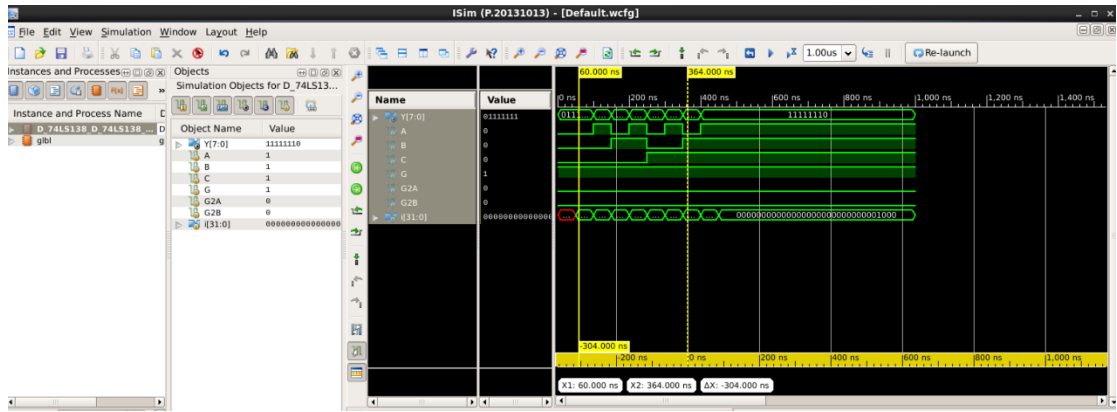


## 二、实验数据记录和处理

实验一：原理图设计实现 74LS138 译码器模块



自主作图如上



实验仿真波形如上

Pin Number	Signal Name	Pin Usage	Pin Name	Direction	IO Standard	IO Bank Number	Drive (mA)	Slew Rate	Termination	I/OB Delay	Voltage	Consta
1	A1		GND									
2	A2		GND									
3	A3	OPAD	MGTXTXN3_116	UNUSED								
4	A4	OPAD	MGTXTXP3_116	UNUSED								
5	A5		GND									
6	A6		GND									
7	A7		GND									
8	A8	IOB335	IO_L0N_T1_D05_16	UNUSED		16						
9	A9	IOB33M	IO_L0P_T1_D05_16	UNUSED		16						
10	A10	IOB335	IO_L2N_T3_16	UNUSED		16						
11	A11		VCCO_16			16					any*****	
12	A12	IOB335	IO_L24N_T3_16	UNUSED		16						
13	A13	IOB33M	IO_L24P_T3_16	UNUSED		16						
14	A14	IOB335	IO_L21N_T3_D05_16	UNUSED		16						
15	A15	IOB335	IO_L23N_T3_16	UNUSED		16						
16	A16		GND									
17	A17	IOB335	IO_L3N_T0_D05_AD1N_15	UNUSED		15						
18	A18	IOB33M	IO_L2P_T0_AD0P_15	UNUSED		15						
19	A19	IOB335	IO_L2N_T0_AD0N_15	UNUSED		15						
20	A20	IOB335	IO_L0N_T1_D12_14	UNUSED		14						
21	A21		VCCO_14			14					any*****	
22	A22	IOB335	IO_L2N_T0_D03_14	UNUSED		14						
23	A23	IOB33M	IO_L4P_T0_D04_14	UNUSED		14						
24	A24	IOB335	IO_L4N_T0_D05_14	UNUSED		14						
25	A25	IOB335	IO_L1N_T0_D03_D1M_14	UNUSED		14						

运行正确得到 report 如上

实验得到的 Verilog 代码如下

```

////////////////////////////////////
////////////////////////////////////
// Copyright (c) 1995-2013 Xilinx, Inc. All rights reserved.
////////////////////////////////////
////////////////////////////////////
//
// _____
// / / \ / /
// /___/ \ / Vendor: Xilinx
// \ \ \ / Version : 14.7
// \ \ Application : sch2hd1
// / / Filename : D_74LS138.vf
// /___/ /\ Timestamp : 10/17/2022 08:39:02
// \ \ / \
// \___\ \ \
//
//
//Command: /opt/Xilinx/14.7/ISE DS/ISE/bin/lin64/unwrapped/sch2hd1 -

```

```

intstyle ise -family kintex7 -verilog D_74LS138.vf -w
/home/ise/D_74LS138_SCH/D_74LS138.sch
//Design Name: D_74LS138
//Device: kintex7
//Purpose:
// This verilog netlist is translated from an ECS schematic.It can
be
// synthesized and simulated, but it should not be modified.
//
`timescale 1ns / 1ps
module D_74LS138(A, B, C, G, G2A, G2B, Y);
    input A;
    input B;
    input C;
    input G;
    input G2A;
    input G2B;
    output [7:0] Y;
    wire XLXN_4;
    wire XLXN_11;
    wire XLXN_16;
    wire XLXN_18;
    wire XLXN_20;
    wire XLXN_28;
    wire XLXN_37;
    wire XLXN_39;
    wire XLXN_42;

    AND2 XLXI_1 (.I0(XLXN_11),
                .I1(XLXN_4),
                .O(XLXN_39));
    AND2 XLXI_2 (.I0(XLXN_11),
                .I1(A),
                .O(XLXN_16));
    AND2 XLXI_3 (.I0(B),
                .I1(XLXN_4),
                .O(XLXN_18));
    AND2 XLXI_4 (.I0(B),
                .I1(A),
                .O(XLXN_20));
    NAND3 XLXI_5 (.I0(XLXN_28),
                 .I1(XLXN_37),
                 .I2(XLXN_39),
                 .O(Y[7]));
    NAND3 XLXI_6 (.I0(XLXN_28),

```

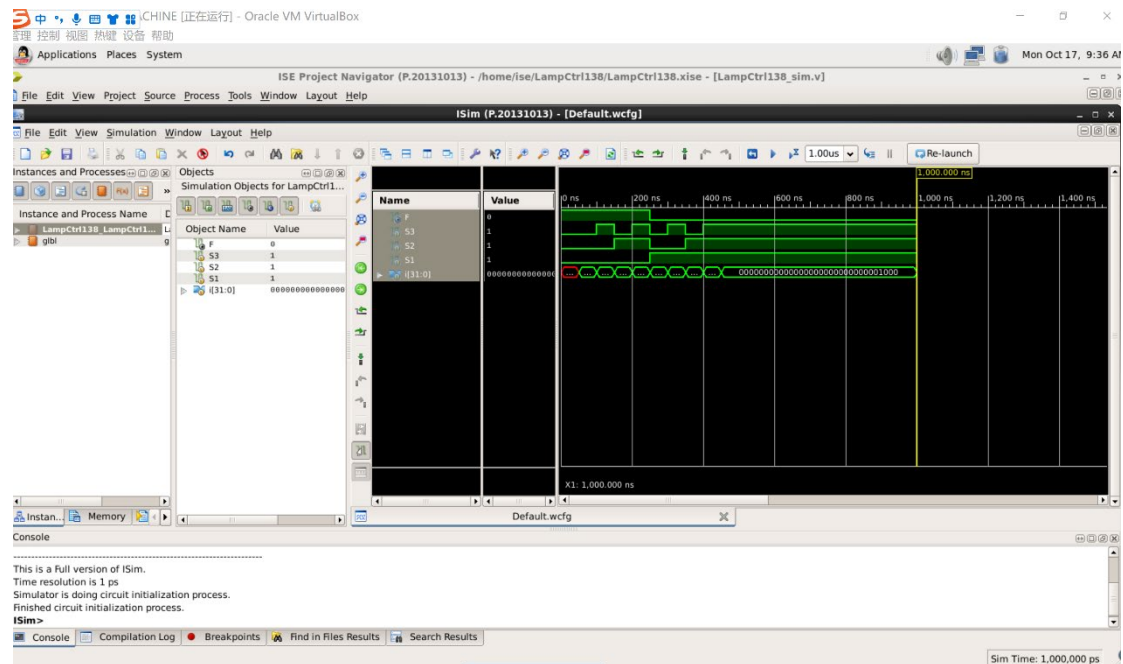
```

        .I1(XLXN_37),
        .I2(XLXN_16),
        .O(Y[6]));
NAND3 XLXI_7 (.I0(XLXN_28),
        .I1(XLXN_37),
        .I2(XLXN_18),
        .O(Y[5]));
NAND3 XLXI_8 (.I0(XLXN_28),
        .I1(XLXN_37),
        .I2(XLXN_20),
        .O(Y[4]));
NAND3 XLXI_9 (.I0(C),
        .I1(XLXN_37),
        .I2(XLXN_39),
        .O(Y[3]));
NAND3 XLXI_10 (.I0(C),
        .I1(XLXN_37),
        .I2(XLXN_16),
        .O(Y[2]));
NAND3 XLXI_11 (.I0(C),
        .I1(XLXN_37),
        .I2(XLXN_18),
        .O(Y[1]));
NAND3 XLXI_12 (.I0(C),
        .I1(XLXN_37),
        .I2(XLXN_20),
        .O(Y[0]));
NOR3 XLXI_13 (.I0(G2B),
        .I1(G2A),
        .I2(XLXN_42),
        .O(XLXN_37));
INV XLXI_14 (.I(A),
        .O(XLXN_4));
INV XLXI_15 (.I(B),
        .O(XLXN_11));
INV XLXI_16 (.I(C),
        .O(XLXN_28));
INV XLXI_17 (.I(G),
        .O(XLXN_42));
endmodule

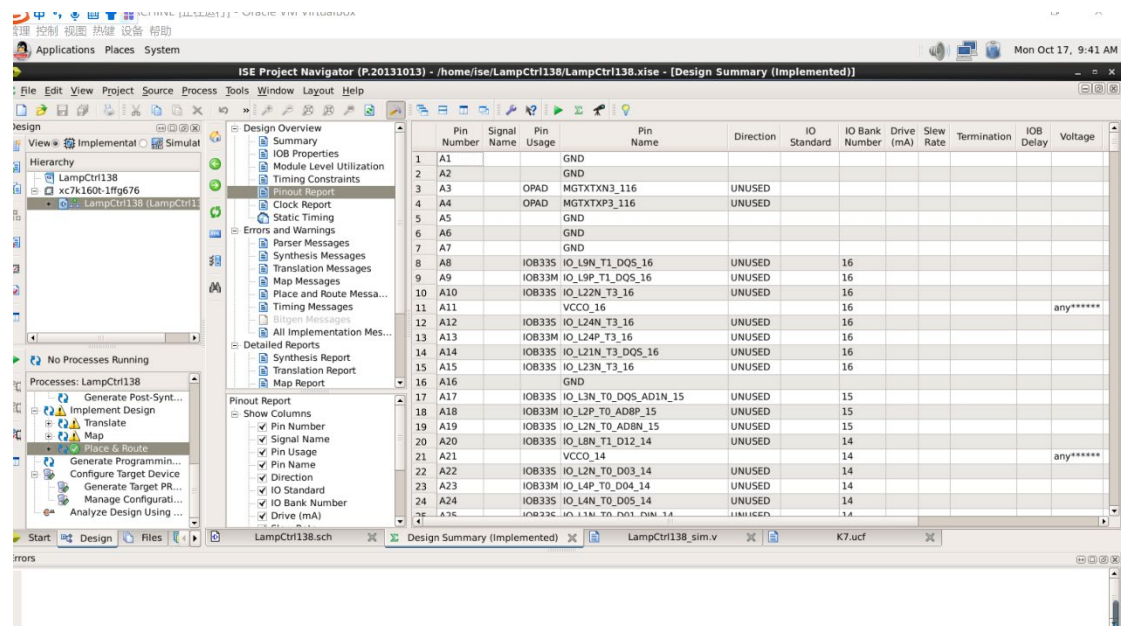
```

根据真值表操作过程见“实验 1.mp4”

## 实验二：用 74LS138 译码器实现楼道灯控制器



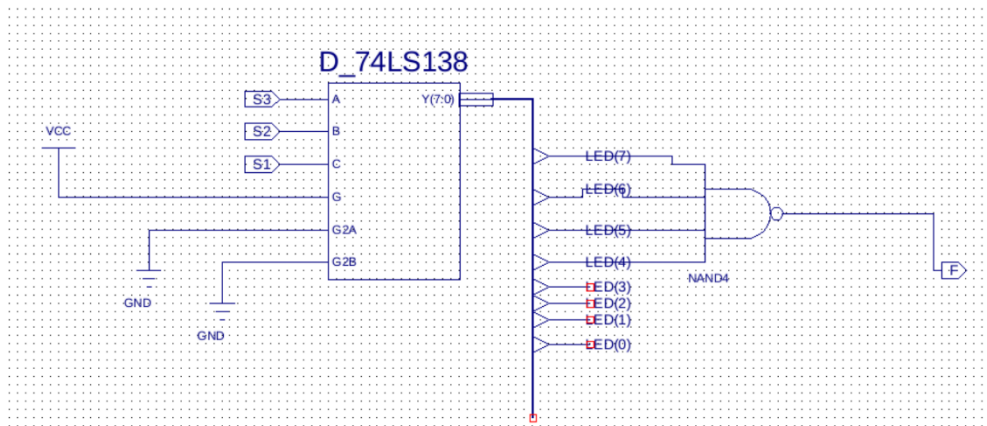
实验仿真波形如上



运行正确得到 report 如上

实验 2 建立的 K7.ucf 文件如下:

```
NET "S1" LOC = AA10 | IOSTANDARD = LVCMOS15;
NET "S2" LOC = AB10 | IOSTANDARD = LVCMOS15;
NET "S3" LOC = AA13 | IOSTANDARD = LVCMOS15;
NET "F" LOC = W23 | IOSTANDARD = LVCMOS33;
NET "LED[4]" LOC = Y23 | IOSTANDARD = LVCMOS33;
NET "LED[5]" LOC = Y22 | IOSTANDARD = LVCMOS33;
NET "LED[6]" LOC = AE21 | IOSTANDARD = LVCMOS33;
NET "LED[7]" LOC = AF24 | IOSTANDARD = LVCMOS33;
```



实验时候自主作图如上

下载测试操作过程见“实验 2.mp4”

### 三、实验结果与分析

实验测量结果基本和预测结果一样。

### 四、讨论、心得（选填）

实验过程中我体会到要认真对待每一次操作，正如我多次因为不小心而操作不熟练使得实验进程受阻。