

以FPGA實現中值濾波於慣性測量單元

FPGA-Based Implementation of Median Filter for Inertial Measurement Unit

李世安、葉玟霖

淡江大學電機工程學系

Shih-An Li, Wen-Lin Yeh

Department of Electrical Engineering, Tamkang University

摘要

在 Altera DE0 FPGA 上以 Verilog 硬體描述語言設計 I²C (Inter-Integrated Circuit) 通訊協定模組，讀取慣性測量單元 (Inertial Measurement Unit, IMU) 之加速度計與陀螺儀數值。另外，為了有效抑制外部雜訊，本文透過中值濾波器來進行雜訊淨化處理。在資料傳輸方面，透過 Avalon slave 傳輸介面將感測器之數值傳遞至電腦或者其他嵌入式系統裝置中。

關鍵字：慣性測量單元、I²C 通訊協定、現場可程式化邏輯閘陣列、Avalon 匯流排、中值濾波器

Abstract

This paper designs an Inter-Integrated Circuit(I2C) protocol based on Altera DE0 FPGA so that we can read the value of Inertial Measurement Unit(IMU) such as acceleration value or gyro value. In addition, we need to reduce the noise of environment, so we design a median filter to restrain the outer noise. In the aspect of communication, we use Avalon Bus protocol to transfer the value of sensor to the PC or other embedded system.

Keyword: Inertial Measurement Unit (IMU), Inter-Integrated Circuit Protocol (I²C), FPGA, Avalon Bus, median filter

壹、前言

一、研究背景

在運動控制中時常透過慣性測量單元 (Inertial Measurement Unit, IMU) 來獲得即時的位置與姿態資訊，如機器人平衡控制、自動駕駛、航天系統等，其應用之廣泛，觸及到生活中大大小小的事。

二、研究動機

為了在輪型機器人上能即時得到機器人的位置與姿態，需要透過 IMU 回傳加速度計與陀螺儀的數值，以便機器人做速度控制與位置校正，本文選用之 IMU 採用 I²C 通訊協定，所以需設計 I²C 通訊界面，又因感測器原始資料通常包含大量雜訊，所以必須設計一個優良的濾波器。

貳、文獻探討

IMU 通訊需使用到 I²C 介面，I²C 是 1982 年由飛利浦半導體公司 (Philips Semiconductor, 1982) 所開發，主要是為了讓微控制器或 CPU 以較少的腳位數連接眾多的低速周邊裝置。本

文所用之 I²C 通訊協定遵照其公司制定的規格書(NXP Semiconductors, 2014)，再以硬體方式實現(Kumari and Gayathri, 2017)，至於如何讓 IMU 正常運作則要詳閱 IMU 相應的使用手冊(InvenSense, 2013)及規格書(InvenSense, 2016)，來對特定暫存器進行讀寫。

Avalon Bus 為 Altera 公司(2015 年被 Intel 收購)所開發的匯流排(Intel, 2020)，其目的是讓 FPGA 上的電路可以透過此匯流排來與 Nios II 處理器進行數據溝通，此匯流排包含多種介面，以對應不同的應用，本文採用 Avalon Memory Mapped Interface(Avalon-MM)是一種基於記憶體映射的主從連接方式，來與周邊硬體溝通。

中值濾波器的設計採用流水線的設計架構(Mukherjee, Kamarujjaman, & Maitra, 2015)，架構易設計、運算速度高，能有效消除影像中的雜訊，因此本文參考部份設計對 IMU 的資料進行濾波。

參、研究方法

一、系統架構

透過 I²C Interface 及 I²C Controller 來與 IMU 溝通，將讀取的資料經過中值濾波器濾波後再經由 Avalon bus 傳送資料給 Nios II 處理器，使其系統架構既有效率又富有彈性(Feng , Haili, & Jinian, 2005)，其系統架構如圖 1。

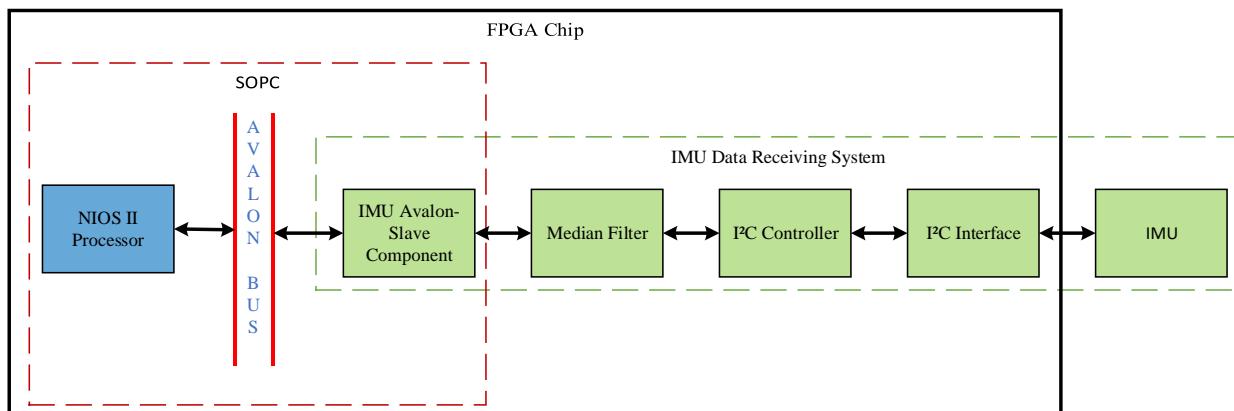


圖 1、系統架構

二、設計 I²C Controller

IMU 將採用 MPU-9250，MPU-9250 是九軸 IMU，其分別具有三軸加速度計、陀螺儀與磁力計，其資料如表 1、表 2。

表 1、MPU-9250 規格

	IMU 型號	MPU-9250
	供電	3-5V 內部低壓差穩壓
	通訊協定	標準 I ² C/SPI
	內建 ADC	16 位元輸出
	加速度計範圍	±2 4 8 16g

	陀螺儀範圍	$\pm 250\ 500\ 1000\ 2000^{\circ}/s$
	磁力計範圍	$\pm 4800\mu T$

表 2、腳位功能描述

腳位	描述
VCC	Power Supply
GND	Ground
SCL	Serial Clock
SDA	Serial Data
EDA	Auxiliary Serial Data
ECL	Auxiliary Serial Clock
AD0	Address Select
INT	Interrupt
NCS	SPI Chip Select
FSYNC	Frame Synchronization

此感測器以 I²C 通訊協定來進行溝通，I²C 是兩線式的串列傳輸通訊方式，其通訊協定簡單，有彈性，傳輸速度有低速模式(10K bit/s)、標準模式(100K bit/s)、快速模式(400K bit/s)、高速模式(3.4M bit/s)，本文採用快速模式(400K bit/s)，足夠應付感測器的數值更新率。

I²C 的兩條訊號線分別為串列資料(Serial Data, SDA)和串列時脈(Serial Clock, SCL)分別與主從端電路相連，定義起始狀態為 SCL 高電位的時候 SDA 由高電位切換到低電位如圖 2，停止狀態為 SCL 高電位的時候 SDA 由低電位切換到高電位如圖 3，資料只能在 SCL 為低電位的時候改動，當 SCL 為高電位的時候即可讀取穩定的資料。知道如何起始、傳輸資料與結束通訊後就可以建立起 I²C 的通訊協定(Kumari & Gayathri, 2017)。

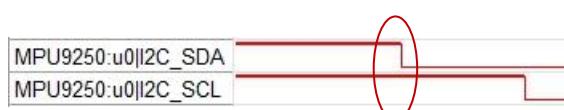


圖 2、起始訊號

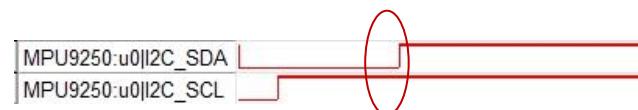


圖 3、結束訊號

以狀態機方式設計，定義起始狀態、傳送資料狀態、交握狀態、停止狀態即可設計基本的 I²C 讀寫介面之後再設計 I²C Controller 對 IMU 上欲讀取的暫存器進行讀或寫的動作，對必要的暫存器寫入設定的參數後即可對 IMU 上的暫存器資料做輪流的讀取。

三、設計流水線架構之中值濾波器

中值濾波器常應用在影像處理，是一種非線性的數位濾波器，其作法為透過一個奇數大小的陣列（本文選用大小為 5），將其輸入數值排序後取中間值為輸出，然後丟棄最舊的一筆資料之後再取一筆新的資料進來排序，重複此過程，可有效抑制雜訊。

本文架構之中值濾波器輸入端為單一資料輸入，為了要比較五筆資料，前 5 個時脈等待每筆資料輸入，再經過 5 個時脈做排序，其排序模組參考三輸入排序模組(Mukherjee, Kamarujjaman, & Maitra, 2015)本文修改架構成五輸入，資料總共延遲 10 個時脈之後輸出正確的資料，之後的每一個時脈都能得到一筆正確的資料。

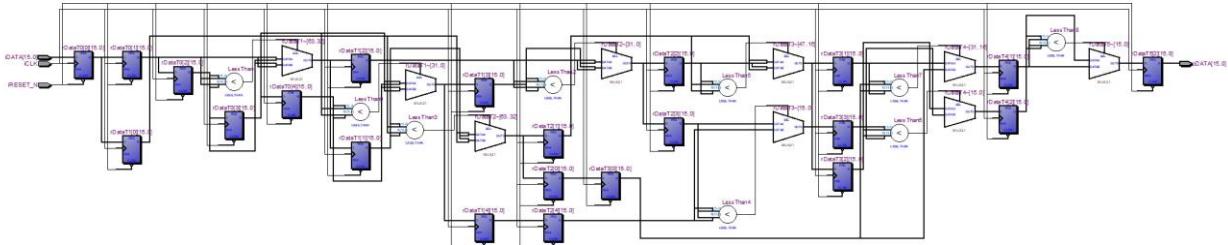


圖 4、流水線架構之中值濾波器 RTL

IMU 每一軸的初始資料皆輸出到一個中值濾波器進行濾波如圖 5，達到平行化、快速低延遲的效果。

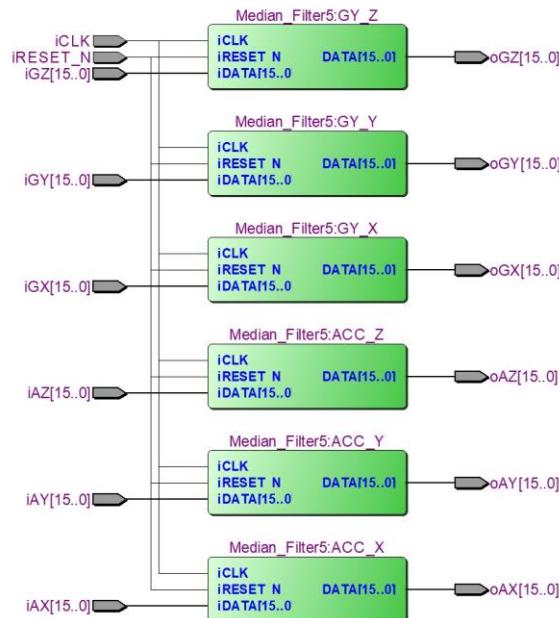


圖 5、各軸資料濾波

肆、結果與討論

一、I²C 波形驗證

在嵌入式邏輯分析儀上，驗證 I²C 通訊協定和六軸的加速度計及陀螺儀數值，可以看到 I²C 符合通訊協定所規範的時序要求，也正確的接收到感測器的數值，結果如圖 6。

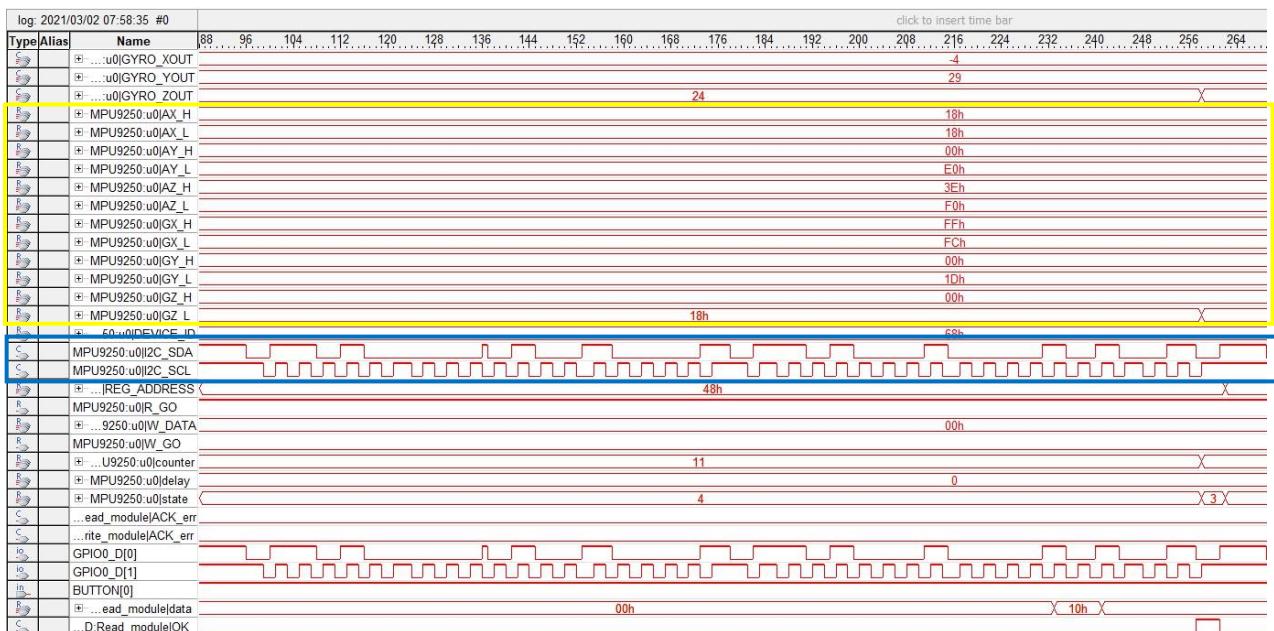


圖 6、I²C 波型驗證和六軸加速度計與陀螺儀數值

二、中值濾波器濾波結果

圖 7 為 IMU 回傳資料的濾波結果，filter 為濾波過後的 X 軸加速度資料，raw 為原始的資料，可以看出能有效降低雜訊輸出。

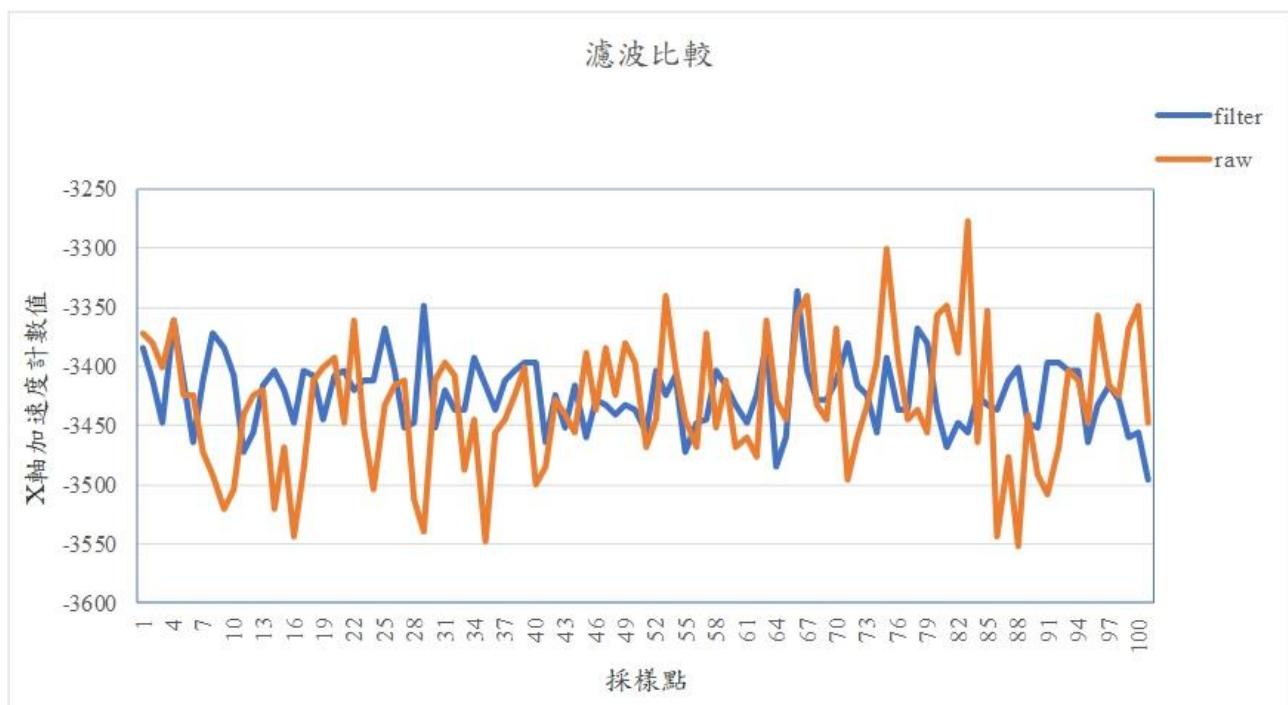


圖 7、X 軸加速度之濾波結果

三、硬體使用資源

總共用到的邏輯單元佔整個 FPGA 上總資源的 40%，這是因為電路有包含 SOPC 系統消耗了 FPGA 上大部分的資源如圖 8 所示。

Flow Summary	
Flow Status	Successful - Tue Mar 23 03:48:37 2021
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Full Version
Revision Name	DE0_TOP
Top-level Entity Name	DE0_TOP
Family	Cyclone III
Device	EP3C16F484C6
Timing Models	Final
Total logic elements	6,222 / 15,408 (40 %)
Total combinational functions	4,699 / 15,408 (30 %)
Dedicated logic registers	4,811 / 15,408 (31 %)
Total registers	4879
Total pins	252 / 347 (73 %)
Total virtual pins	0
Total memory bits	10,240 / 516,096 (2 %)
Embedded Multiplier 9-bit elements	0 / 112 (0 %)
Total PLLs	1 / 4 (25 %)

圖 8、總資源消耗

圖 9 使用的資源有包含 I2C 通訊界面，還有分別對三軸的加速度及三軸陀螺儀做中值濾波，流水線架構的中值濾波器相對使用更多資源，因為需要更多的暫存器來儲存資料。

Analysis & Synthesis Resource Utilization by Entity									
	Compilation Hierarchy Node	LC Combinationals	LC Registers	Memory Bits	DSP Elements	DSP 9x9	DSP 18x18	Pins	Virtual Pins
29	av8_IF_mpu9250:mpu9250_0]	1839 (64)	2337 (16)	0	0	0	0	0	0
1	MPU9250:u0]	377 (137)	305 (156)	0	0	0	0	0	0
1	I2C_CLOCK_Generator:CLOCK_Generator]	129 (129)	98 (98)	0	0	0	0	0	0
2	I2C_READ:Read_module	70 (70)	27 (27)	0	0	0	0	0	0
3	I2C_WRITE:Write_module	41 (41)	24 (24)	0	0	0	0	0	0
2	MPU9250_Median_Filter:Median_Filter	1398 (0)	2016 (0)	0	0	0	0	0	0
1	Median_Filter5:ACC_X	233 (233)	336 (336)	0	0	0	0	0	0
2	Median_Filter5:ACC_Y	233 (233)	336 (336)	0	0	0	0	0	0
3	Median_Filter5:ACC_Z	233 (233)	336 (336)	0	0	0	0	0	0
4	Median_Filter5:GY_X	233 (233)	336 (336)	0	0	0	0	0	0
5	Median_Filter5:GY_Y	233 (233)	336 (336)	0	0	0	0	0	0
6	Median_Filter5:GY_Z	233 (233)	336 (336)	0	0	0	0	0	0

圖 9、系統架構所用之資源

伍、結論

I2C 通訊介面在硬體電路的設計上透過邊緣觸發和狀態機的狀態切換能達到精準的控制波型，完美的符合通訊協定所規定的時序。

在中值濾波器上使用了流水線的架構，除了良好的濾波效果外也做到了低延遲輸出讓整個電路更有效率，但是會用較多的資源，更大的晶片面積，也會對功耗上造成影響，這是必須要去取捨的部分。

誌謝

本研究由科技部贊助，計畫編號 MOST 109-2221-E-032-036-。

參考文獻

Kumari, R. S. S. & Gayathri, C. (2017). Interfacing of MEMS motion sensor with FPGA using I2C protocol. *International conference on Innovations in Information, Embedded and Communication Systems (ICIIECS)*, Coimbatore, India, (pp. 1-5). doi:

10.1109/ICIIIECS.2017.8275932

Feng Lin, Haili Wang, and Jinian Bian (2005). HW/SW interface synthesis based on Avalon bus specification for Nios-oriented SoC design. *IEEE International Conference on Field-Programmable Technology*, Singapore, (pp.305-306). doi:10.1109/FPT.2005.1568573

Mukherjee, M. Kamarujjaman, and Maitra, M. (2015). Reconfigurable architecture of adaptive median filter — An FPGA based approach for impulse noise suppression. *Third International Conference on Computer, Communication, Control and Information Technology (C3IT)*, Hooghly, India, (pp.1-6). doi:10.1109/C3IT.2015.7060184

NXP Semiconductors Inc. (2014). *I2C-bus specification and user manual* [I2C protocol]. Retrieved from

<https://www.nxp.com/docs/en/user-guide/UM10204.pdf>

InvenSense Inc. (2016) *MPU-9250 Product Specification Revision 1.1* [MPU-9250 Data sheet]. Retrieved from

<https://invensense.tdk.com/wp-content/uploads/2015/02/PS-MPU-9250A-01-v1.1.pdf>

InvenSense Inc. (2013) *MPU-9250 Register Map and Descriptions Revision 1.4* [MPU-9250 Register map]. Retrieved from

<http://coecsl.ece.illinois.edu/se423/Labs/MPU-9250-Register-Map.pdf>

Intel Inc. (2020) *Avalon® Interface Specifications* [Avalon Interface Specifications] Retrieved from
https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/manual/mnl_avalon_spec.pdf