

**FACULDADE DE ENGENHARIA DA
UNIVERSIDADE DO PORTO**

**Departamento de Engenharia Electrotécnica e de
Computadores**

Exercícios de Sistemas Digitais

António José Duarte Araújo

Porto, Fevereiro 2005

V 2.1

Notas prévias

Este conjunto de exercícios destina-se a ser usado nas aulas teórico-práticas da disciplina de Sistemas Digitais da Licenciatura em Engenharia Electrotécnica e de Computadores, cobrindo no essencial o programa da disciplina.

Encontra-se organizado em três partes, correspondendo à sequência com que as matérias são habitualmente expostas no decorrer das aulas teóricas. Assim, a primeira parte é considerada de introdução à disciplina e é composta por exercícios sobre sistemas de numeração, aritmética binária e álgebra de Boole. Na segunda parte tratam-se os problemas da optimização de funções booleanas, projecto de circuitos lógicos com portas elementares, faz-se uma incursão pelos domínios da electrónica digital, e finalmente apresentam-se exercícios sobre síntese de circuitos combinacionais com componentes MSI (*Medium Scale Integration*), tais como decodificadores e multiplexadores. A terceira e última parte é dedicada a circuitos elementares com *flip-flops*, e fundamentalmente, ao projecto de máquinas de estados síncronas e sua aplicação em controladores de sistemas reais simples. É ainda incluído um conjunto de exercícios sobre contadores e utilização de registos de deslocamento.

Alguns dos exercícios aqui apresentados fizeram parte de testes das disciplinas de Sistemas Digitais 1, Sistemas Digitais (LEEC) e Electrónica Digital (LEIC) em anos lectivos anteriores, encontrando-se devidamente assinalados.

Introdução

Sistemas de numeração

1 — Efectue as seguintes conversões entre sistemas de numeração.

a) $256_{10} = ?_2 = ?_8 = ?_{16}$

b) $2047_{10} = ?_2 = ?_8 = ?_{16}$

c) $163417_8 = ?_2 = ?_{16}$

d) $163417_{16} = ?_2 = ?_8$

e) $ABCD_{16} = ?_2 = ?_8$

f) $9E36.7A_{16} = ?_2 = ?_8$

g) $1101011_2 = ?_{10}$

h) $10100.1101_2 = ?_{10}$

i) $12010_3 = ?_{10}$

j) $F15.E_{16} = ?_{10} = ?_2$

k) $65113_{10} = ?_{16}$

l) $13705.207_8 = ?_2 = ?_{16}$

m) $12010_8 = ?_2$

- n) $9714_{10} = ?_2 = ?_8 = ?_{16}$
- o) $11110_2 = ?_{10}$
- p) $11110_3 = ?_{10}$

Aritmética binária

- 2** — Determine o resultado das seguintes operações aritméticas binárias.
- a) $110101 + 11001$
 - b) $101110 + 100101$
 - c) $101110 - 100101$
 - d) $1110010 + 1101101$
 - e) $11011101 - 1100011$
 - f) 1001011×11001
- 3** — Indique se ocorre ou não *overflow* ao efectuar as seguintes adições de operandos com 8 *bits* representados em complemento para 2.
- a) $11010100 + 10101011$
 - b) $10111001 + 11010110$
 - c) $01011101 + 00100001$
 - d) $00100110 + 01011010$
- 4** — Recorrendo a 8 *bits*, represente em sinal e grandeza, complemento para 1 e complemento para 2, os seguintes números: 18, 115, 79, -49, -3, -100, -255 e 256.

- [5] — Indique a gama de valores decimais que se podem representar em binário com 4 *bits* usando a representação em sinal e grandeza, complemento para 1 e complemento para 2.
- [6] — [Teste de 05-07-1994] Admitindo que P e Q representam dois números binários em complemento para dois, com 8 *bits*, efectue a sua soma e interprete o resultado quando:
- a) $P = DE_H$ e $Q = A3_H$;
 - b) $P = 8C_H$ e $Q = D3_H$.
- [7] — [Teste de 22-06-1994] Sejam 89_H e $F7_H$ as representações em hexadecimal de dois números binários. Interprete o resultado da sua soma, em 8 *bits*, admitindo que se trata de dois números:
- a) positivos;
 - b) representados em magnitude e sinal;
 - c) representados em complemento para dois.
- [8] — [Teste de 17-06-1999]
- a) Converta o número real 123.625 em base decimal para representação em bases binária e hexadecimal.
 - b) Calcule a soma dos números hexadecimais 35E e E7, sabendo que representam números inteiros em complemento para 2, com 10 *bits* e 8 *bits*, respectivamente. Diga, justificando, se existe *overflow*. Nota: deverá efectuar extensão aritmética de sinal.
- [9] — [Teste de 07-07-1999]
- a) Que número (em base 10) é representado por:
 - 74h (base 16) com 8 *bits* e em complemento para dois?
 - 74h (base 16) com 7 *bits* e em complemento para dois?

- b) Sabendo que multiplicar um número X , representado em binário, por 2^N equivale a deslocar os seus *bits* N posições para a esquerda, calcule o resultado da multiplicação de 6 por BCh, sabendo que $6 \times \text{BCh} = (2^2 + 2^1) \times \text{BCh}$ e que BCh representa, em hexadecimal, um número de 8 *bits* em complemento para dois. Qual é o número mínimo de *bits* necessário para representar o resultado?

Álgebra de Boole

- 10** — Escreva uma expressão booleana para as funções lógicas representadas pelas tabelas de verdade.

a)

x	y	f
0	0	1
0	1	0
1	0	0
1	1	1

b)

x	y	z	f
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

c)

x	y	z	f
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

d)

w	x	y	z	f
0	0	0	0	1
0	0	0	1	0
0	0	1	x	1
0	1	x	0	0
0	1	x	1	1
1	x	x	x	0

11 — Prove as leis de De Morgan pelo princípio da indução matemática finita.

12 — Use os teoremas da álgebra de Boole para simplificar as seguintes funções booleanas.

a) $F = WXYZ(WXY\overline{W} + W\overline{X}YZ + \overline{W}XYZ + W\overline{X}\overline{Y}Z)$

b) $F = AB + AB\overline{C}D + ABD\overline{E} + AB\overline{C}E + \overline{C}DE$

c) $F = MNO + \overline{Q}P\overline{N} + PRM + \overline{Q}OM\overline{P} + MR$

13 — Obtenha a tabela de verdade para cada uma das funções.

a) $F = \overline{X}Y + \overline{X}\overline{Y}Z$

b) $F = \overline{W}X(\overline{Y} + \overline{Z})$

c) $F = (\overline{A} + B + C)(A + \overline{B} + \overline{D})(B + \overline{C} + \overline{D})(A + B + C + D)$

d) $F = (A + \overline{A})B + BA\overline{C} + C(A + \overline{B})(\overline{A} + B)$

14 — Escreva cada uma das funções lógicas nas suas formas canónicas.

a) $F = \sum_{X,Y}(1, 2)$

b) $F = \sum_{A,B,C}(2, 4, 6, 7)$

c) $F = \overline{V} + \overline{\overline{W}X}$

d) $F = \prod_{X,Y,Z}(0, 1, 3, 6, 7)$

15 — Um circuito lógico aceita três números binários, A , B e C , de 2 *bits* cada nas seis linhas de entrada, e produz uma saída Z que apenas é 1 quando $A+B-C \geq 4$. Mostre que a saída é dada pela função booleana $Z(C_0, C_1, B_0, B_1, A_0, A_1) = \sum(5, 7, 11, 13, 14, 15, 31, 39, 45, 47)$.

16 — Determine quantas funções lógicas de n variáveis se podem definir.

Circuitos combinacionais

Circuitos SSI

- 1** — Mostre se as portas lógicas de duas entradas do tipo NAND, NOR e XOR, formam individualmente um conjunto completo. Refira-se ao interesse deste conceito.
- 2** — [Teste de 05-07-1994] Diga, justificando, se as portas lógicas AND e XOR formam um conjunto completo, isto é, um conjunto de portas lógicas capaz de realizar qualquer função combinacional.
- 3** — Considere a função $F(X, Y, Z) = X\overline{Y} + XY\overline{Z} + \overline{X}Z$.
- a) Indique a respectiva tabela de verdade.
 - b) Escreva F como um produto de somas.
 - c) Desenhe o circuito lógico.
 - d) Redesenhe o circuito utilizando apenas NANDs de duas entradas.
 - e) Desenhe de novo o circuito utilizando apenas NORs de duas entradas.

- 4** — Para cada uma das seguintes funções lógicas obtenha o respectivo mapa de Karnaugh, uma expressão mínima na forma de soma de produtos, uma expressão mínima na forma de produto de somas, e ainda o respectivo circuito lógico.

a) $F = \sum_{X,Y,Z}(1, 3, 5, 6, 7)$

b) $F = \sum_{A,B,C}(0, 1, 2, 4)$

c) $F = \prod_{X,Y,Z}(0, 1, 3, 4, 5)$

d) $F = \prod_{A,B,C,D}(1, 7, 9, 13, 15)$

e) $F = \sum_{W,X,Y,Z}(0, 2, 5, 7, 8, 10, 13, 15)$

f) $F = \sum_{W,X,Y,Z}(1, 2, 4, 7, 8, 11, 13, 14)$

g) $F = \prod_{A,B,C,D}(1, 3, 4, 5, 6, 7, 9, 12, 13, 14)$

h) $F = \sum_{W,X,Y,Z}(0, 1, 3, 5, 14) + d(8, 15)$

i) $F = \sum_{A,B,C,D}(1, 5, 6, 7, 9, 13) + d(4, 15)$

j) $F = \sum_{W,X,Y,Z}(3, 5, 6, 7, 13) + d(1, 2, 4, 12, 15)$

k) $F = \sum_{V,W,X,Y,Z}(5, 7, 13, 15, 16, 20, 25, 27, 29, 31)$

l) $F = \prod_{V,W,X,Y,Z}(4, 5, 10, 12, 13, 16, 17, 21, 25, 26, 27, 29)$

m) $F = \sum_{V,W,X,Y,Z}(4, 6, 7, 9, 11, 12, 13, 14, 15, 20, 22, 25, 27, 28, 30) + d(1, 5, 29, 31)$

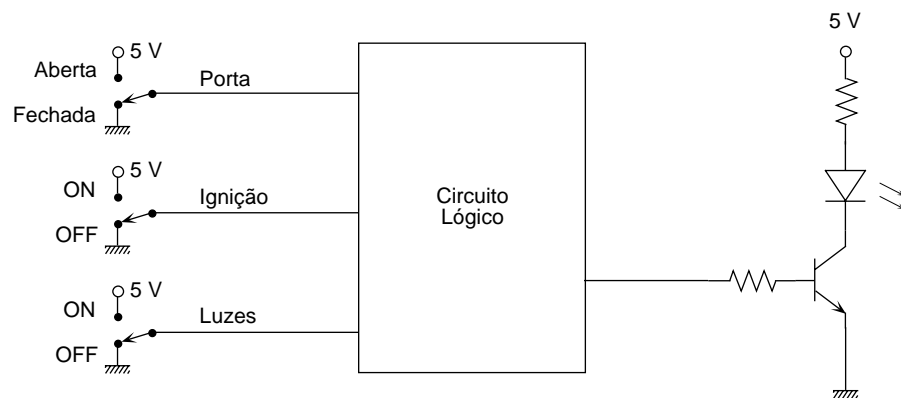
- 5** — A saída de um circuito lógico apenas é 1 quando qualquer dos seguintes números, representados em 6 *bits*, está presente nas seis entradas: 1, 2, 3, 5, 7, 13, 15, 22, 23, 29, 31 e 41. Obtenha a expressão lógica minimizada para a saída do circuito, considerando que todos os números entre 0 e 63 são válidos excepto 39, 45 e 47, que nunca ocorrem.

- 6** — O código *excesso-três*, usado para representar dígitos decimais, é um código de 4 *bits* similar ao código binário, em que cada código é três unidades superior ao respectivo número decimal que representa. Por exemplo, o código *excesso-três* do binário 0101(5) é 1000(8).

- a) Implemente um circuito lógico que converta um código binário de 4 *bits* no respectivo código *excesso-três*. Note que os binários de 1010 a 1111 não podem ocorrer à entrada.
- b) Implemente um circuito lógico que produza um 1 somente quando as quatro variáveis de saída do circuito anterior formarem um código que não seja um código *excesso-três* representando qualquer dos dígitos possíveis na entrada.

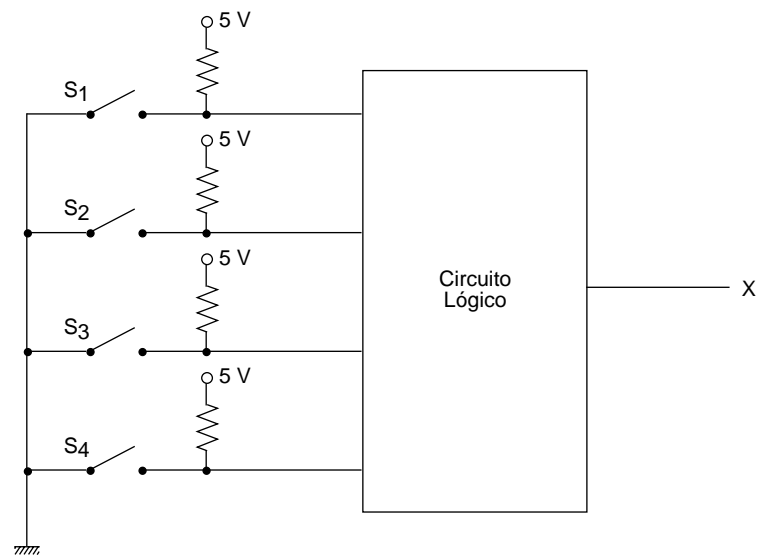
7 — A figura seguinte mostra um sistema de alarme usado para sinalizar ao condutor de um automóvel certas situações. Os três interruptores são usados para indicar o estado da porta do condutor, o estado da ignição e o estado das luzes. Projecte o circuito de controlo do alarme de modo que este só seja activado nas seguintes condições:

- as luzes estão ligadas enquanto a ignição está desligada;
- a porta está aberta enquanto a ignição está ligada.

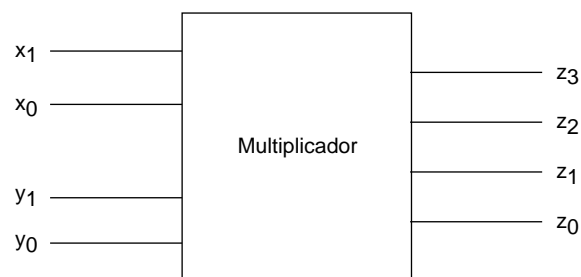


8 — A figura que se segue mostra parte do sistema de controlo de uma fotocopiadora. Os interruptores S_1 , S_2 , S_3 e S_4 encontram-se distribuídos por vários pontos de passagem do papel pela máquina. O estado deles é normalmente aberto, só fechando quando o papel passa por eles. Devido à distância entre eles, S_1 e S_4 nunca podem estar fechados ao mesmo tempo. Projecte o circuito

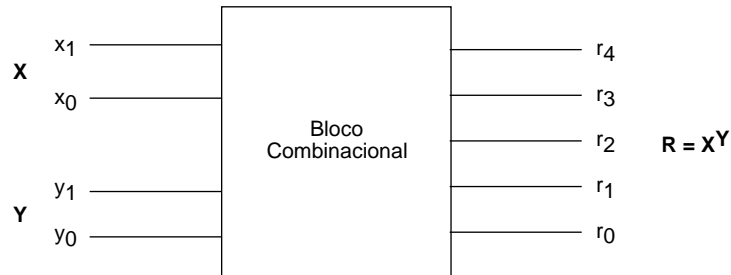
lógico que produz um sinal activo alto na saída X sempre que dois ou mais interruptores estão fechados.



- 9** — Projecte o multiplicador de 2 *bits* representado na figura seguinte. Note que se trata de um circuito com quatro entradas e quatro saídas.

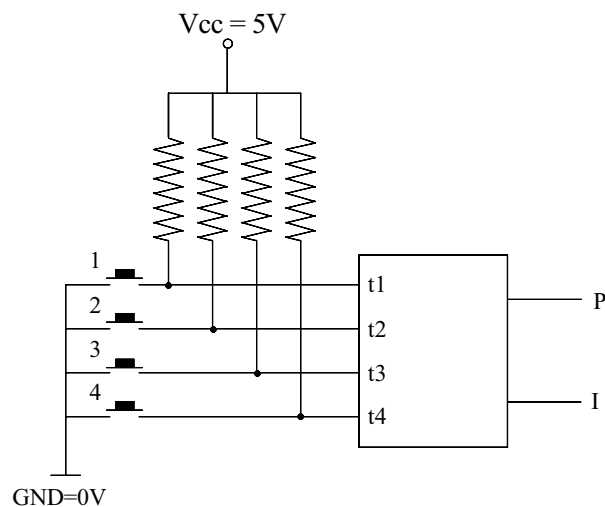


- 10** — [Teste de 02-07-1993] Pretende-se que o bloco combinacional representado na figura calcule $R = X^Y$, em que X e Y são duas entradas de dois *bits*. Note que em decimal, X e Y podem assumir valores de 0 a 3, resultando para R valores entre 0 e 27.



- a) Apresente r_1 e r_3 na forma de uma soma de produtos.
- b) Apresente r_0 na forma de um produto de somas.
- c) Implemente r_0 e r_1 , supondo que só dispõe de circuitos 74x00, 74x04 e 74x10, e indique quantos circuitos utilizou. Deve ter como objectivo gastar o menor número possível de circuitos integrados.
- d) Considere os seguintes circuitos *and-or-not*: 74x64 (4 wide 4-2-3-2 input), 74x55 (2 wide 4 input), 74x54 (4 wide 2-2-3-2 input) e 74x51 (dual 2 wide 2 input). Entre estes, seleccione apenas um tipo de circuito e implemente as saídas r_0 e r_3 .

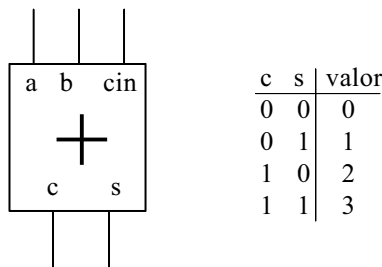
11 — [Teste de 09-02-1996 (ED)] O circuito da figura tem 4 teclas que representam os algarismos 1, 2, 3 e 4, e duas saídas P e I (par e ímpar). Por acção das



resistências de *pull-up* ligadas às 4 entradas, uma entrada só é L quando é premida a tecla correspondente, sendo H no caso contrário. O funcionamento pretendido deve garantir a saída P igual a H (ou I igual a H) quando é par (ou ímpar) o número correspondente à soma das teclas premidas num dado instante. Admita que o número 0 não é par nem ímpar, ou seja, quando não é premida nenhuma tecla ambas as saídas devem ser L.

- Construa a tabela de verdade relativa às saídas P e I .
- Recorrendo a mapas de Karnaugh obtenha expressões minimizadas e circuitos OR-AND (produtos de somas) para as saídas P e I .
- Simplifique o circuito anterior tirando partido do conhecimento de que uma saída pode ser obtida como o complemento da outra para todas as combinações das entradas, à excepção de (1,1,1,1), correspondente a nenhuma tecla premida.

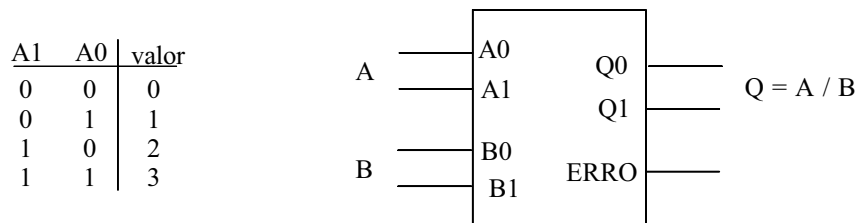
- 12** — [Teste de 08-02-1997 (ED)] Um circuito elementar utilizado na construção de circuitos digitais para aritmética binária é o somador completo representado na figura. O somador tem 2 saídas c e s que representam em binário a soma dos valores (0 ou 1) presentes nas suas entradas a , b e cin .



- Construa a tabela de verdade das funções $c(a, b, cin)$ e $s(a, b, cin)$.
- Escreva a expressão canónica como produto de somas para a função $c(a, b, cin)$.
- Usando mapas de Karnaugh, obtenha a expressão simplificada como soma de produtos para a função $c(a, b, cin)$.

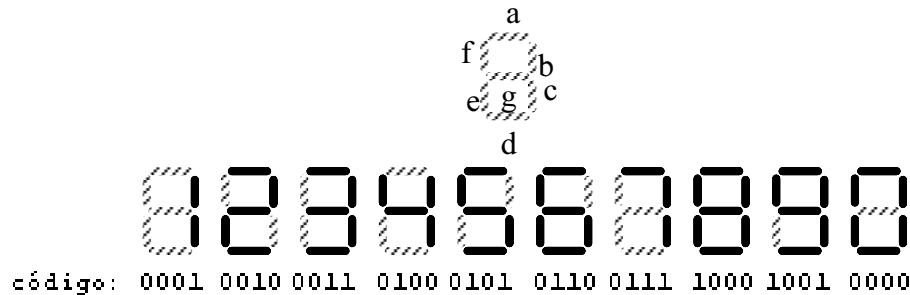
d) Mostre como realizar a função $s(a, b, cin)$.

- 13** — [Teste de 16-02-1998 (ED)] O circuito da figura é um divisor de dois números inteiros A e B de dois *bits*. O resultado Q , representado pelas saídas Q_1 e Q_0 , é o quociente da divisão inteira de A por B . A saída $ERRO$ é normalmente 0, sendo igual a 1 quando o divisor é zero (divisão impossível); neste caso, é indiferente o resultado produzido em Q_1 e Q_0 .



- a) Construa a tabela de verdade para as funções Q_1 , Q_0 e $ERRO$, e recorrendo a mapas de Karnaugh obtenha as expressões minimizadas, como produto de somas e soma de produtos, que realizam a função Q_0 .
- b) Tendo por base o circuito OR-AND obtido por tradução da expressão do produto de somas minimizada que obteve em a), construa um circuito equivalente só com portas NAND de duas entradas.
- c) Acha que se justifica recorrer a mapas de Karnaugh para obter um circuito lógico minimizado que implemente a função $ERRO$? Porquê? Como é esse circuito?
- d) Mostre como pode implementar a função $Q_1(A_1, A_0, B_1, B_0)$ usando apenas um multiplexador com uma linha de selecção e inversores.

- 14** — [Teste de 16-02-2000 (ED)] Um decodificador decimal para 7 segmentos serve para traduzir um código binário entre 0000 e 1001 colocado nas suas entradas (correspondendo aos dígitos entre 0 e 9 em decimal), em 7 sinais eléctricos que alimentam LEDs, afixando os dígitos correspondentes num mostrador de 7 segmentos, conforme se mostra na figura seguinte.



- Construa a tabela de verdade da função lógica que corresponde ao segmento do topo do mostrador (segmento *a*). Tome em atenção que apenas está definido o que acontece quando é colocado na entrada do decodificador um código dentro do intervalo referido acima.
- Construa o mapa de Karnaugh para a função lógica referida em a), e obtenha a expressão mais simples que conseguir, do tipo soma de produtos ou produto de somas.
- Desenhe o circuito lógico AND-OR ou OR-AND que achar mais conveniente para a função que construiu em b), e transforme-o de forma a utilizar apenas portas lógicas do tipo NAND ou NOR com duas ou três entradas, minimizando o número total de transistores (considere que, em tecnologia CMOS, uma porta NAND ou NOR de duas entradas é realizada com 4 transistores e uma porta com três entradas requer 6 transistores).
- Construa um circuito lógico que realize a função lógica para o segmento *d* (segmento horizontal de baixo), fazendo uso do circuito lógico já construído para o segmento *a*.

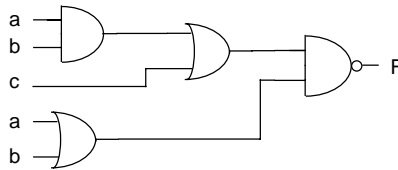
Electrónica digital

- 15** — Mostre como implementar em tecnologia CMOS, ao nível do transistor, as funções lógicas:

a) $F = \overline{AB}$

- b) $F = \overline{AB + CD}$
 c) $F = \overline{(A + B + C)D}$

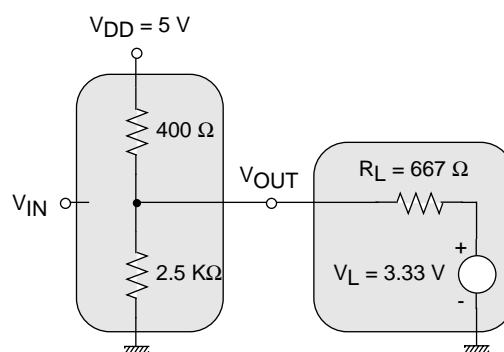
16 — [Teste de 07-07-1995] Analise o circuito representado na figura que se segue.



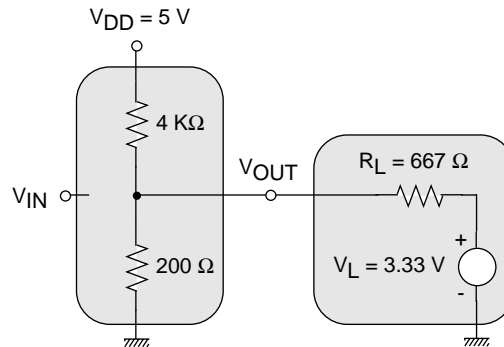
- a) Obtenha uma expressão, na forma de uma soma de produtos, da função que ele realiza.
 b) Desenhe um circuito do tipo porta complexa CMOS que realize a mesma função.

17 — Calcule o valor da tensão de saída V_{OUT} num inversor CMOS com carga e:

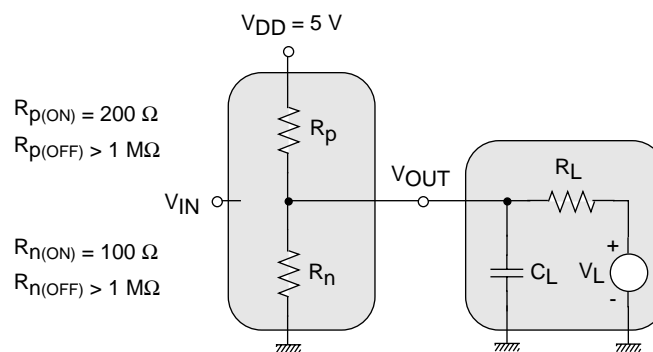
- a) 1.5 V à entrada;



b) 3.5 V à entrada.



- 18** — Considere o modelo do inversor CMOS da figura, assumindo $R_L = 1\text{ K}\Omega$, $C_L = 100\text{ pF}$ e $V_L = 2.5\text{ V}$.

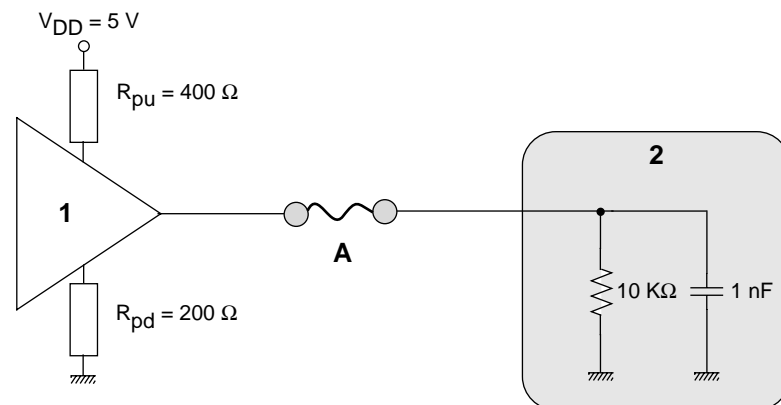


- Calcule o tempo de descida.
- Calcule o tempo de subida.
- Justifique por que motivo os valores calculados são diferentes.

- 19** — [Teste de 01-07-1995] Considere um circuito NAND de 4 entradas realizado como uma porta complexa CMOS. Admita os valores de $100\text{ }\Omega$ e $200\text{ }\Omega$ para as resistências dos transistores N e P quando ON, e valores infinitos para as mesmas resistências no estado OFF. Compare as ordens de grandeza dos

tempos de subida e descida admitindo que, estando todas as entradas em 1, uma delas muda para 0 e depois muda novamente para 1.

- 20** — [Teste de 27-09-1995] O circuito da figura representa a ligação do andar de saída de uma porta lógica CMOS (circuito 1) ao circuito representado por 2.

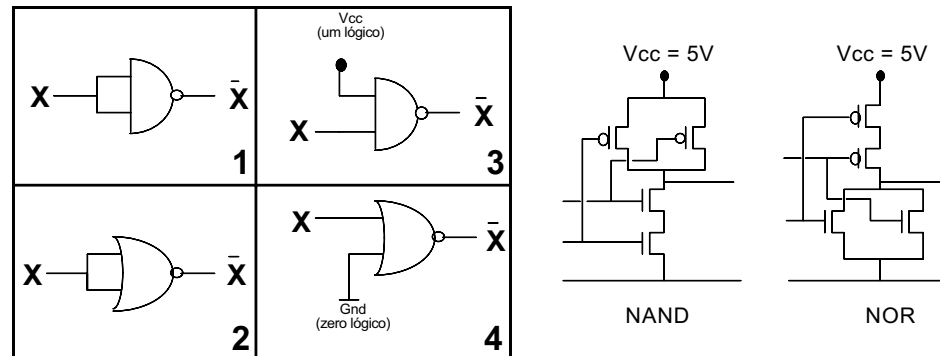


A saída da porta CMOS tem resistências de *pull-up* e *pull-down* de 400 Ω e 200 Ω , respectivamente. Numa situação de defeito, resultante da oxidação dos contactos do conector, a ligação A apresenta uma resistência de 4 K Ω .

- Calcule os valores da tensão correspondentes aos níveis lógicos H e L na entrada do circuito 2 na situação de avaria.
- O circuito 2 aceita níveis TTL ($V_{ILmax} = 0.8$ V, $V_{OLmax} = 0.5$ V, $V_{IHmin} = 2.0$ V e $V_{OHmin} = 2.7$ V), e deve reconhecer impulsos produzidos pelo circuito 1, com amplitude de 5 V e duração compreendida entre 1.5 μ s e 5 μ s. Analise e comente o funcionamento do circuito, na situação de avaria, para valores extremos da largura dos impulsos.

- 21** — [Teste de 24-01-1997 (ED)] A função lógica negação pode ser realizada a partir de portas lógicas NAND ou NOR, utilizando um dos quatro circuitos seguintes.

Embora a função lógica realizada seja a mesma (negação), as características dinâmicas apresentadas por cada circuito são diferentes. Considere que as



portas NAND e NOR são do tipo CMOS, onde os transistores PMOS apresentam resistência de condução dupla da dos NMOS e ambos os transistores têm resistência de não condução infinita.

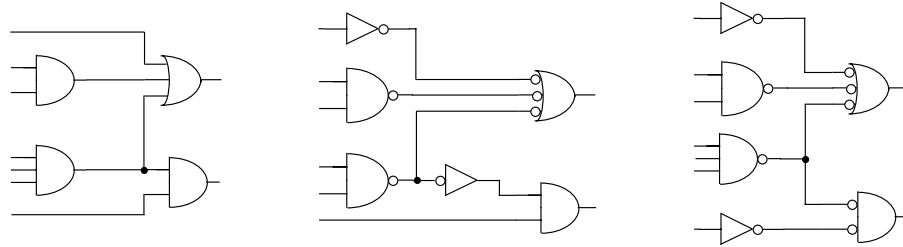
- a) Suponha que a saída do circuito inversor é ligada a uma entrada de um circuito digital que apresenta uma capacidade equivalente x . Dos quatro circuitos apresentados, diga, justificando:

- qual dos circuitos apresenta o menor tempo de descida;
- que circuito escolheria se pretendesse um inversor com tempos de subida e de descida aproximadamente iguais?

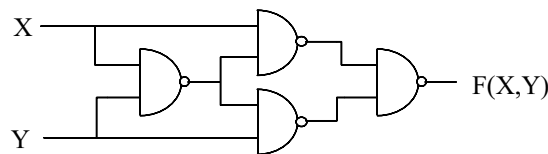
Note que não se pretende calcular os tempos de subida e descida de todos os circuitos!

- b) Suponha que a saída do circuito 4 é ligada a uma entrada de um circuito digital que apresenta $V_{IHmin} = 3.5\text{ V}$, $V_{ILmax} = 1.5\text{ V}$ e uma capacidade equivalente de entrada igual a 20 pF . Considerando que os transistores PMOS têm resistência de condução de $400\ \Omega$ e os NMOS de $200\ \Omega$, calcule os tempos de subida e de descida máximos na saída do inversor.
- c) No circuito referido em b) acrescentou-se uma resistência de *pull-up* na saída. Dimensione essa resistência de forma a garantir margens de ruído não inferiores a 0.5 V .
- d) Mostre que, com a introdução da resistência de *pull-up* referida na alínea c) o circuito ficou mais rápido. Explique que inconvenientes apresenta essa modificação.

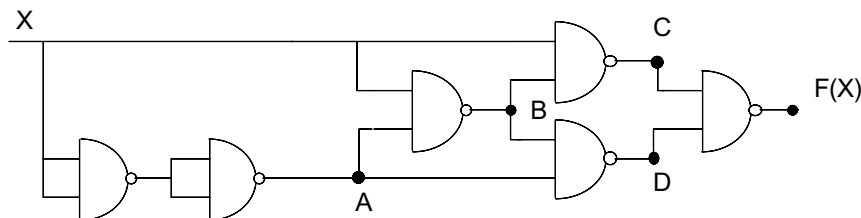
- 22** — Assumindo que uma porta inversora apresenta um atraso de propagação de 5 ns e que uma porta não inversora apresenta um atraso de propagação de 8 ns, compare as velocidades dos circuitos da figura.



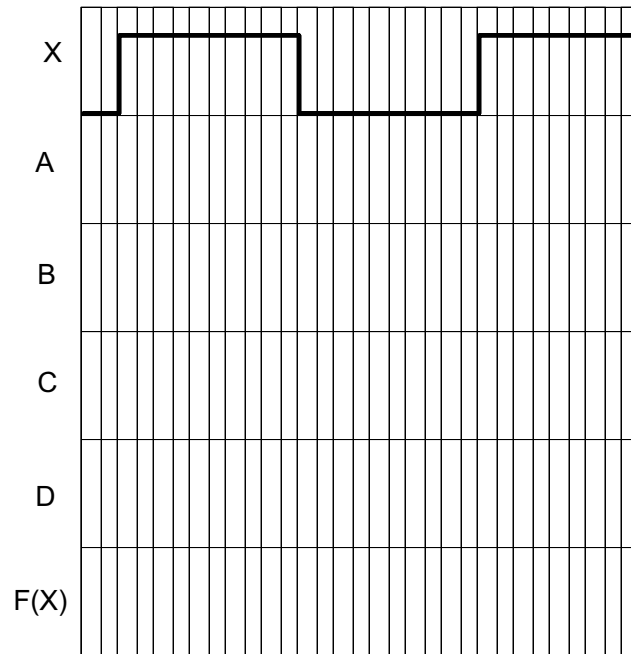
- 23** — [Teste de 21-02-1997 (ED)] Considere o circuito lógico da figura, onde as portas NAND têm $t_{pHL} = t_{pLH} = 2$ ns.



- a) Determine o maior tempo de propagação do circuito, e obtenha uma transição das entradas X e Y que conduza a esse tempo mais longo.
- b) Considere que o circuito dado foi ligado da seguinte forma.

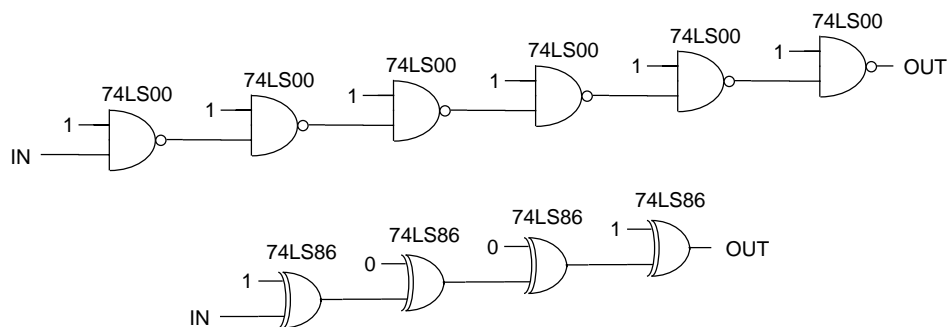


Esboce a evolução dos níveis lógicos nos pontos A , B , C , D e $F(X)$ quando a entrada X é uma onda quadrada com frequência igual a 25 MHz.



- c) Pelo resultado que obteve, explique por palavras suas a função realizada pelo circuito.

- 24** — Considere os circuitos representados na figura e os tempos de propagação da tabela. Determine o atraso de propagação máximo entre *IN* e *OUT*, que ocorre em cada circuito, para ambas as transições possíveis, $L \rightarrow H$ e $H \rightarrow L$, e indique ao longo da cadeia de portas lógicas as transições que lhe dão origem.

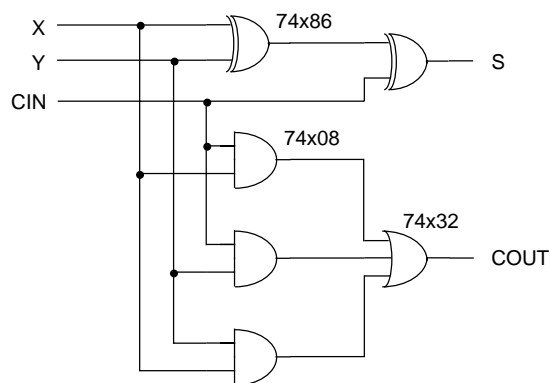


74LS	Típico		Máximo	
	t_{pLH}	t_{pHL}	t_{pLH}	t_{pHL}
00, 04	9	10	15	15
02	10	10	15	15
08	8	10	15	20
32	14	14	22	22
86 (2 níveis)	12	10	23	17
86 (3 níveis)	20	13	30	22

Tempos de propagação (ns).

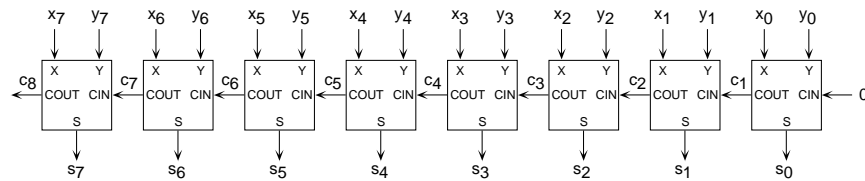
Exercícios 24, 25, 26, 39 e 40.

- 25** — [Teste de 05-07-1994] Considere o circuito da figura seguinte e a tabela do exercício 24. Calcule o tempo de propagação máximo que pode ocorrer no circuito, indicando claramente qual é o percurso que lhe dá origem.



- 26** — [Teste de 09-09-1994] A figura do exercício anterior representa o circuito de um somador de 1 *bit* utilizado na realização de um somador de 8 *bits* (figura seguinte).

Suponha a situação em que os operandos a somar são $X = x_7x_6x_5x_4x_3x_2x_1x_0 = 11111111$ e $Y = y_7y_6y_5y_4y_3y_2y_1y_0 = 00000000$. Se num dado instante y_0 passar a 1, mantendo-se inalterado o valor de X , calcule o tempo máximo que é



necessário esperar até ser conhecido o valor do *bit* mais significativo da soma (s_7 na figura), considerando os tempos de propagação expressos na tabela do exercício 24.

Circuitos MSI

- 27** — Relativamente à função lógica $F = \sum_{X,Y,Z}(0, 2, 3, 5)$:
- Desenhe o mapa de Karnaugh.
 - Obtenha a função minimizada na forma de uma soma de produtos e implemente-a com portas lógicas.
 - Reimplemente o circuito anterior usando apenas portas NAND de duas entradas.
 - Utilize um decodificador para a implementação lógica.
- 28** — Mostre como implementar as funções $F = \sum_{X,Y,Z}(3, 6, 7)$, $G = \sum_{X,Y,Z}(0, 1, 3)$ e $H = \sum_{X,Y,Z}(2, 4, 5)$ usando um único decodificador 74x138.
- 29** — [Teste de 09-09-1994] Implemente as funções booleanas $F = \sum_{A,B,C}(0, 1, 3)$ e $G = \sum_{A,B,C}(0, 2, 4, 5, 6, 7)$ recorrendo a um único integrado 74x138 (decodificador de 3 para 8) e a:
- NANDs de duas entradas;

- b) um número mínimo de NANDs de duas entradas, supondo que o termo mínimo 0 deixa de fazer parte de G .

30 — Mostre como implementar as seguintes funções lógicas, de saídas simples ou duplas, usando decodificadores 74x138 ou 74x139:

- a) $F = \sum_{X,Y,Z}(2, 4, 7)$
 b) $F = \sum_{W,X,Y,Z}(0, 1, 2, 3, 5, 7, 11, 13)$
 c) $F = \prod_{A,B,C}(3, 4, 5, 6, 7)$
 d) $F = \sum_{W,X,Y}(1, 3, 5, 6)$ e $G = \sum_{W,X,Y}(2, 3, 4, 7)$
 e) $F = \sum_{A,B,C}(0, 4, 6)$ e $G = \sum_{C,D,E}(1, 2)$

31 — [Teste de 07-07-1995] Mostre como implementar um decodificador de 3 para 8 a partir de um circuito 74x139 (duplo decodificador de 2 para 4), usando um número mínimo de portas lógicas adicionais. O circuito deve apresentar uma entrada de *enable* activa em cima.

32 — Mostre como realizar um decodificador de 4 para 16 usando circuitos 74x138 (decodificador de 3 para 8).

33 — Mostre como realizar um decodificador de 5 para 32 usando circuitos 74x138 (decodificador de 3 para 8) e 74x139 (decodificador de 2 para 4).

34 — [Teste de 31-01-2000 (ED)] Pretende-se construir um circuito lógico com 4 entradas A , B , C e S , cuja saída Z implemente a função $F(A, B, C)$ quando $S = 1$, e a função $G(A, B, C)$ quando $S = 0$. As funções F e G são descritas pelas seguintes listas de *minterms* e *maxterms*, onde os termos representados por $d(\dots)$ são indiferentes.

$$F(A, B, C) = \sum_{A,B,C} (0, 2, 4, 5, 7) + d(6)$$

$$G(A, B, C) = \prod_{A,B,C} (3, 5, 6, 7) \cdot d(2)$$

- a) Recorrendo a mapas de Karnaugh, obtenha as expressões mínimas na forma de soma de produtos para as funções F e G .
- b) A entrada S permite seleccionar na saída Z o valor de F ou o valor de G , consoante S for 1 ou 0. Esta operação de selecção pode ser realizada por um circuito chamado *multiplexer* de $2 \div 1$ que tem 3 entradas X , Y e S , e uma saída Z que é igual a X quando S for 1, e igual a Y quando S for 0. Desenhe um circuito lógico que combine os circuitos AND-OR correspondentes às expressões minimizadas que obteve em a) para F e G , com um *multiplexer* de $2 \div 1$, usando apenas portas lógicas com duas entradas.
- c) Considere agora a saída Z como uma função de S , A , B e C , e obtenha a expressão mínima como soma de produtos para a função $Z(S, A, B, C)$.
- d) Admita agora que a função que obteve em c) é implementada como um circuito lógico do tipo AND-OR que apenas utiliza portas lógicas de duas entradas, e que todas elas têm o mesmo tempo de propagação t_p . Comparando este circuito com o que obteve em b), diga justificando, qual apresenta menor tempo de propagação. (Note que não se pretende desenhar o circuito lógico!)

35 — [Teste de 22-06-1994] Considere a função combinacional descrita por $f = \prod_{A,B,C,D}(5, 6, 9, 13, 15) \cdot d(7, 8)$ e mostre a sua realização como um circuito que utilize:

- a) exclusivamente portas lógicas do tipo 74x02 (NOR de 2 entradas);
- b) um multiplexador de 16 para 1;
- c) um multiplexador de 8 para 1.

36 — Mostre como utilizar o multiplexador 74x151 para implementar as seguintes funções:

- a) $F = \sum_{X,Y,Z}(0, 3, 5, 6)$
- b) $F = \sum_{W,X,Y,Z}(1, 2, 3, 5, 7, 11, 13)$

37 — Projecte um circuito combinacional com duas entradas X e Y de 8 *bits*, representando números binários inteiros sem sinal, e um sinal de controlo MIN/MAX , cuja saída Z de 8 *bits* seja $\min(X, Y)$ se $MIN/MAX = 1$ e $\max(X, Y)$ se $MIN/MAX = 0$.

38 — [Teste de 27-09-1995] Considere a função combinacional descrita por $f = \prod_{A,B,C,D}(0, 1, 4, 6, 12) \cdot d(13)$ e mostre a sua realização através de um circuito que utilize um multiplexador de:

- a) 8 para 1;
- b) 4 para 1.

39 — [Teste de 07-07-1995] Considere a função combinacional $f(a, b, s) = as + b\bar{s}$.

- a) Apresente uma implementação de f com um único circuito 74LS00.
- b) Determine o tempo de atraso máximo que o circuito apresenta, considerando os dados da tabela do exercício 24.
- c) Identifique a operação realizada pelo circuito e utilize-o para implementar a função descrita pela tabela de verdade.

x	y	F
0	0	0
0	1	1
1	0	0
1	1	0

40 — [Teste de 01-07-1995] Considere a tabela de verdade descrita pela tabela.

I_3	I_2	I_1	I_0	S_1	S_0
1	x	x	x	1	1
0	1	x	x	1	0
0	0	1	x	0	1
0	0	0	1	0	0
0	0	0	0	0	0

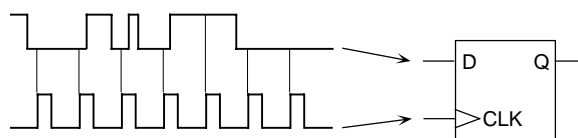
- a) Recorrendo a mapas de Karnaugh, obtenha as expressões simplificadas para as funções S_1 e S_0 e apresente uma implementação com portas NOT, AND e OR.
 - b) Indique o máximo tempo de propagação que pode ocorrer no circuito obtido, considerando os parâmetros da tabela do exercício 24. Refira qual o percurso que lhe dá origem e em que situações pode acontecer.
 - c) Utilizando o menor número de portas lógicas, implemente a função S_0 usando apenas NORs de 2 entradas.
 - d) Implemente a função S_0 usando um único multiplexador de 4 para 1.
 - e) Indique, justificando, a função do circuito descrito pela tabela de verdade apresentada.
- [41] — Um circuito comparador recebe dois números de 3 *bits*, $P = P_2P_1P_0$ e $Q = Q_2Q_1Q_0$. Determine a expressão mínima na forma de uma soma de produtos que corresponde à saída do circuito, sabendo que é 1 se e só se $P > Q$.
- [42] — Explique a utilidade das entradas *ALTBIN*, *AEQBIN* e *AGTBIN* do circuito 74x85 (comparador de 4 *bits*) quando este é usado em cadeia.

Circuitos sequenciais

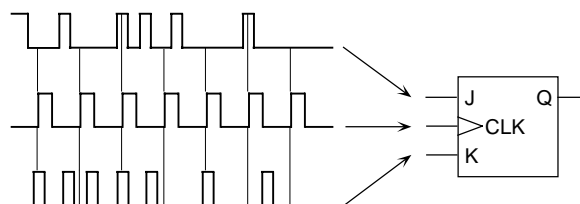
Flip-flops

- 1** — Determine a forma de onda da saída de cada um dos circuitos, assumindo inicialmente $Q = 0$.

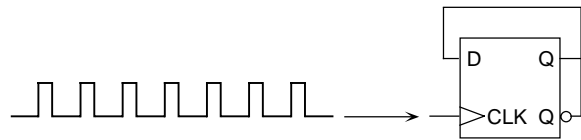
a)



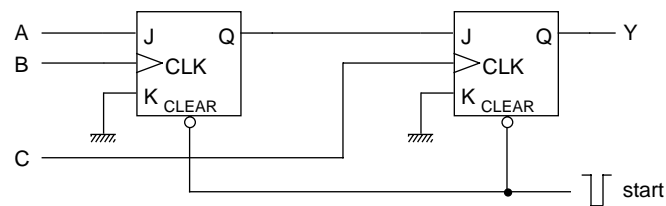
b)



c)



- 2** — No circuito da figura as entradas A , B e C têm o valor inicial 0. A saída Y é suposto ir a 1 só quando A , B e C mudam para 1 com uma certa sequência.

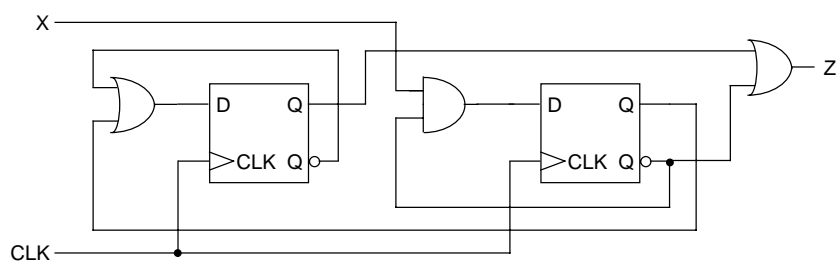


- a) Determine a sequência que leva Y a 1.
- b) Explique a necessidade do impulso de *start*.

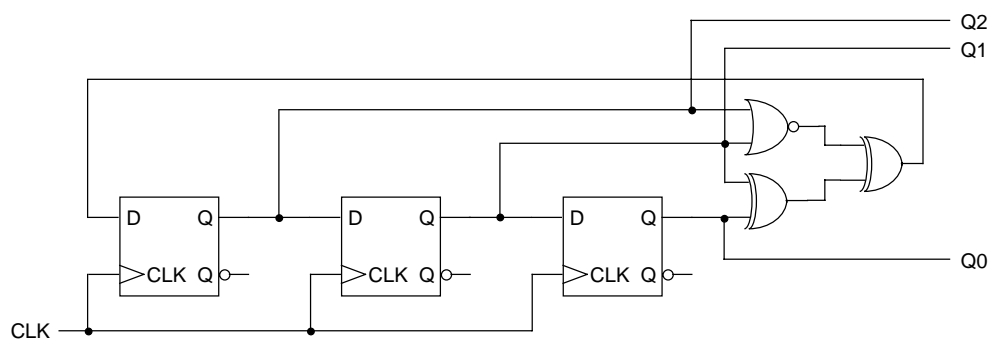
Máquinas de estados

- 3** — Considere a máquina de estados síncrona em cada uma das situações ilustradas. Escreva as equações de excitação e obtenha a tabela de transições de estados.

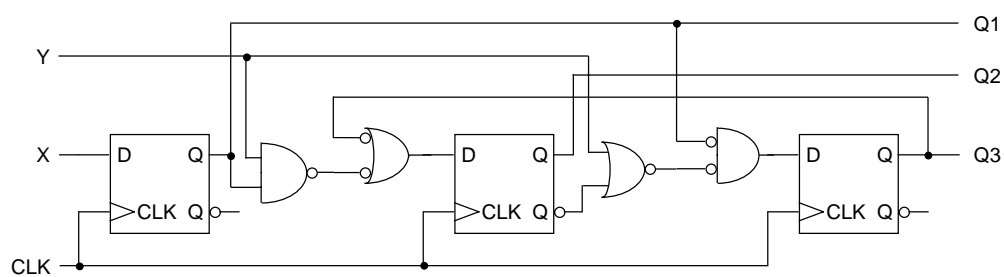
a)



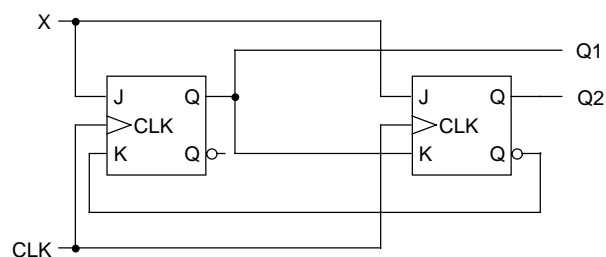
b)



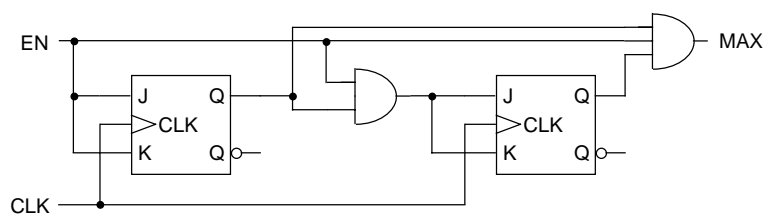
c)



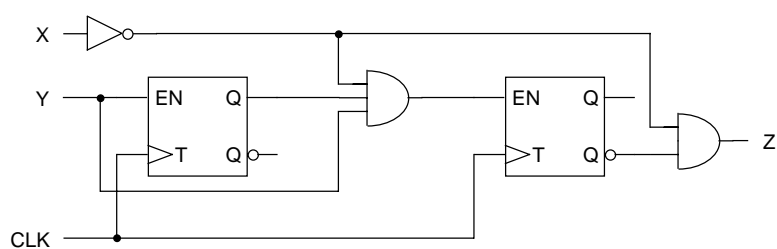
d)



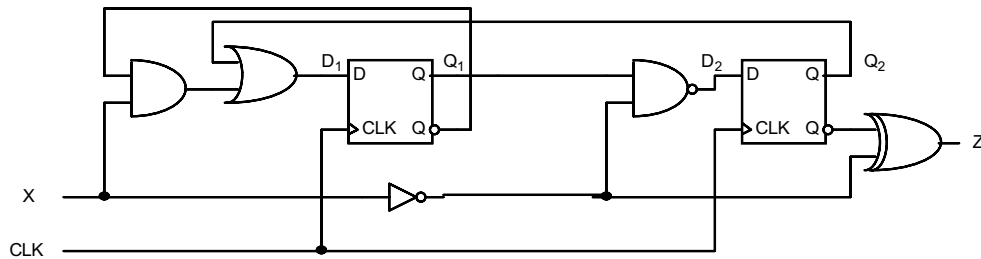
e)



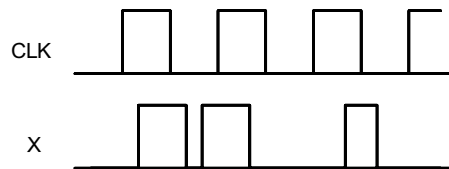
f)



- 4** — [Teste de 07-07-1997] Considere o circuito sequencial representado na seguinte figura.



- a) Trata-se de um circuito Mealy ou Moore? Explique porquê mostrando as expressões que definem o seu funcionamento (saídas e excitação do próximo estado como função das entradas e do estado presente).
- b) Apresente a tabela de transições de estado do circuito.
- c) Considere que a entrada X varia da forma indicada e que inicialmente se verificava $Q_1 = 0$ e $Q_2 = 0$. Apresente a evolução temporal dos sinais D_1 , D_2 , Q_1 , Q_2 e Z .



5 — Obtenha o diagrama de estados para as seguintes situações:

a)

S	AB				Z
	00	01	11	10	
INIT	A0	A0	A1	A1	0
A0	OK0	OK0	A1	A1	0
A1	A0	A0	OK1	OK1	0
OK0	OK0	OK0	OK1	A1	1
OK1	A0	OK0	OK1	OK1	1
S*					

b)

XY					
S	00	01	11	10	Z
S0	S0	S1	S2	S1	1
S1	S1	S2	S3	S2	0
S2	S2	S3	S0	S3	0
S3	S3	S0	S1	S0	0
S^*					

c)

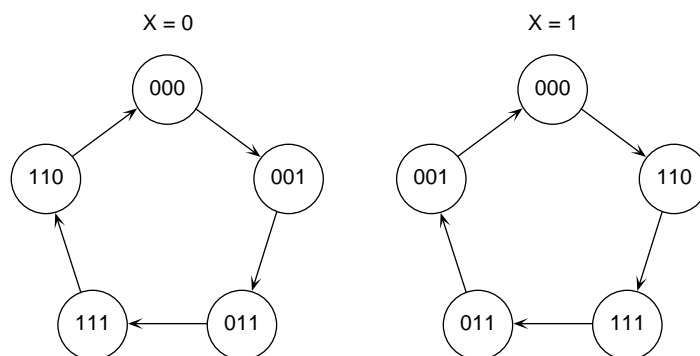
X		
S	0	1
A	B, 01	A, 00
B	B, 00	C, 01
C	B, 00	D, 01
D	E, 01	A, 00
E	B, 00	F, 01
F	B, 00	G, 01
G	E, 00	H, 01
H	B, 11	A, 00
S^*, Z_1Z_2		

- 6** — Projecte a máquina de estados definida pela tabela de transição de estados que se segue. Use as variáveis de estado Q_1 e Q_2 , e a codificação A=00, B=01, C=11 e D=10.

X			
S	0	1	Z
A	B	D	0
B	C	B	0
C	B	A	1
D	B	C	0
S^*			

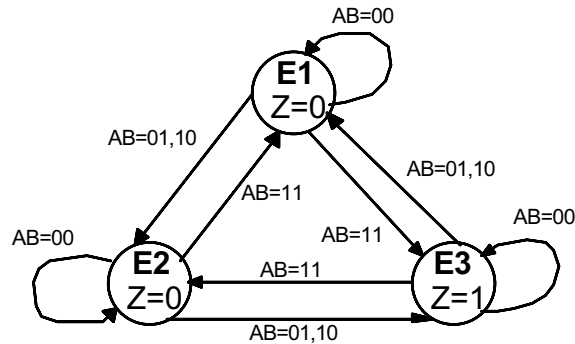
- a) Use *flip-flops* do tipo D.
- b) Use *flip-flops* do tipo J-K.

- 7** — [Teste de 02-07-1993] Projecte um circuito sequencial síncrono que produza as sequências indicadas na figura, de acordo com o valor da variável X . Se inicialmente, ou então devido a uma anormalidade, surgir um dos estados não previstos (010, 100 ou 101), o circuito deve reagir de modo a que o próximo estado seja 000.



- a) Apresente o fluxograma normalizado do circuito.
- b) Apresente uma implementação baseada na PAL 16R4.

- 8** — [Teste de 21-07-1997] A máquina de estados representada na figura possui duas entradas A e B , e uma saída Z .



- Trata-se de uma máquina de Moore ou de Mealy? Porquê?
- Pretende-se implementar esta máquina recorrendo a *flip-flops* do tipo D. Apresente expressões que permitam determinar o estado seguinte a partir do estado actual e do valor das entradas, considerando a codificação $E1 = 00$, $E2 = 01$ e $E3 = 11$.

9 — [Teste de 07-07-1995]

- Desenhe o diagrama de estados e a tabela de transições de estado de uma máquina de estados onde:
 - a saída Y fica a 1 sempre que ocorre o terceiro 1 consecutivo na entrada X ;
 - a saída Z fica a 1 sempre que ocorre o segundo 0 consecutivo na entrada X ;
 - a ocorrência do terceiro 0 consecutivo reinicializa a máquina.
- Utilizando *flip-flops* do tipo D, implemente a máquina sequencial descrita pela seguinte tabela de transições de estado. Utilize a seguinte codificação de estados: $A=00$, $B=01$ e $C=10$.

X			
S	0	1	Z
A	A	C	0
B	A	B	0
C	B	A	1
S^*			

- 10** — [Teste de 27-09-1995] Utilizando *flip-flops* do tipo J-K, implemente a máquina sequencial descrita pela tabela de transições de estado apresentada no exercício anterior. Utilize a seguinte codificação de estados: A=00, B=01 e C=10.
- 11** — [Teste de ??-09-1993] Um circuito gera, a uma certa cadência, a sequência sem fim mostrada na tabela seguinte. Caso o circuito tome um dos valores não previstos (2 ou 5), deve passar, no próximo ciclo de relógio, para o valor 0 e ficar a apresentar alternadamente os valores 0 e 7 à frequência de funcionamento.

Z	Y	X	Sequência ₁₀
0	0	0	0
0	0	1	1
0	1	1	3
1	0	0	4
1	1	0	6
1	1	1	7
0	0	0	0
⋮	⋮	⋮	⋮

Quando se liga o circuito, este toma o valor 0, através de um circuito de *power-on reset*.

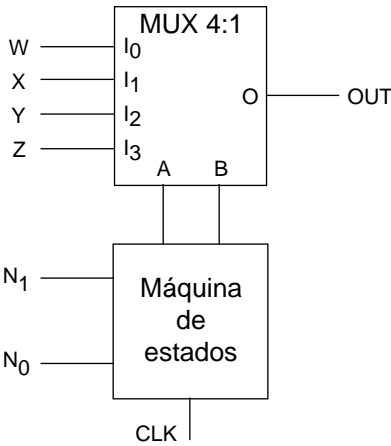
- Com um cuidado especial, não tem que se preocupar com a implementação das saídas X , Y e Z , pois elas poderão ser retiradas das linhas que definem o código do estado presente. Explique esta afirmação.
- Determine as equações simplificadas, necessárias ao projecto do circuito gerador da sequência, baseado em *flip-flops* J-K. Caso proceda como se sugere na alínea anterior, apenas necessita de projectar o bloco combinacional necessário à programação das entradas dos *flip-flops* J-K. As saídas X , Y e Z poderão ser retiradas das saídas dos *flip-flops*.
- Implemente o circuito gerador da sequência com circuitos TTL, aproveitando o resultado obtido na alínea anterior.

- 12** — Implemente um circuito com duas entradas e uma saída, que detecte sequências de 3 ou mais *bits* iguais nas duas entradas. Na tabela seguinte mostra-se um exemplo do que se pretende.

A	0	1	0	0	0	1	1	1	0	0	1	1	0	...
B	0	0	1	1	1	0	1	1	0	0	1	0	1	...
S	0	0	0	0	0	0	0	0	1	1	1	0	0	...

Realize a implementação com:

- a) *Flip-flops* do tipo D.
 - b) *Flip-flops* do tipo J-K.
- 13** — Implemente uma máquina de estados com duas entradas X e Y , e uma saída Z , sabendo que esta deve ser 1 se o número de *bits* 1 nas entradas X e Y for múltiplo de 4, e 0 nos restantes casos. Compare as soluções obtidas utilizando primeiro a codificação de estados $S_0 = 00$, $S_1 = 01$, $S_2 = 11$ e $S_3 = 10$, e depois a codificação $S_0 = 00$, $S_1 = 01$, $S_2 = 10$ e $S_3 = 11$, para cada uma das seguintes implementações:
- a) Usando *flip-flops* do tipo D.
 - b) Usando *flip-flops* do tipo J-K.
 - c) Usando *flip-flops* do tipo T.
- 14** — [Teste de 27-09-1995] Considere um sistema de multiplexagem de quatro sinais W , X , Y e Z . O controlo do multiplexador é feito pelas saídas A e B de uma máquina de estados. No sentido de otimizar o sistema preveu-se a ocorrência de quatro situações de multiplexagem dependendo do número de sinais activos presentes nas entradas do multiplexador. Cada uma dessas situações será identificada pelas entradas N_1 e N_0 . A tabela indica a multiplexagem pretendida na saída OUT em cada uma das situações.

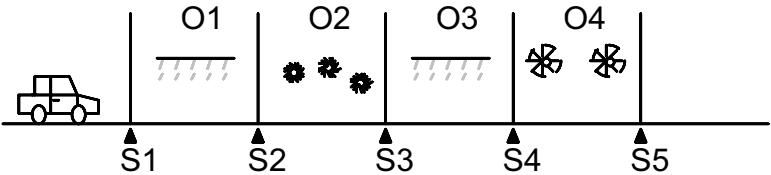


Situação	N_1	N_0	Sinais activos	Multiplexagem (OUT)
1	0	0	WXYZ	WXYZWXYZWXYZ...
2	0	1	WXY	WXYWXYWXY...
3	1	0	WX	WXWXWX...
4	1	1	W	WWW...

Desenhe o diagrama de estados e a tabela de transições da referida máquina de estados.

- 15

— [Teste de 21-07-1997] Pretende-se projectar um circuito para controlar um túnel de lavagem automática de automóveis, cujo funcionamento se descreve em seguida. O túnel é composto por 4 áreas que um automóvel atravessa sucessivamente, por acção de um sistema mecânico. Na área 1 o automóvel é molhado com água e detergente, na área 2 é sujeito à acção de umas escovas, na área 3 é novamente molhado e na área 4 é sujeito a um processo de secagem por ventilação forçada.

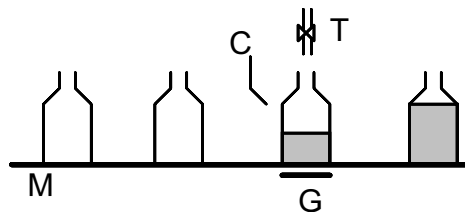


O sistema dispõe de 4 sensores S_1 , S_2 , S_3 e S_4 que detectam a entrada do automóvel em cada uma das áreas e um sensor S_5 que sinaliza a chegada do automóvel ao fim do túnel. O sistema possui também 4 saídas O_1 , O_2 , O_3 e O_4 que activam as 4 operações, e ainda uma saída T que activa o sistema mecânico que faz avançar o automóvel. O processo de lavagem é iniciado por actuação num botão de pressão I , estando um automóvel como se mostra na figura.

Por razões de segurança, existe ainda um botão de pressão E , que se premido enquanto o sistema estiver em operação conduz o automóvel imediatamente até ao final do túnel. Simultaneamente é activada uma saída X que faz acender uma lâmpada de sinalização. Quando o automóvel chega ao final do túnel o sistema fica à espera de um novo automóvel.

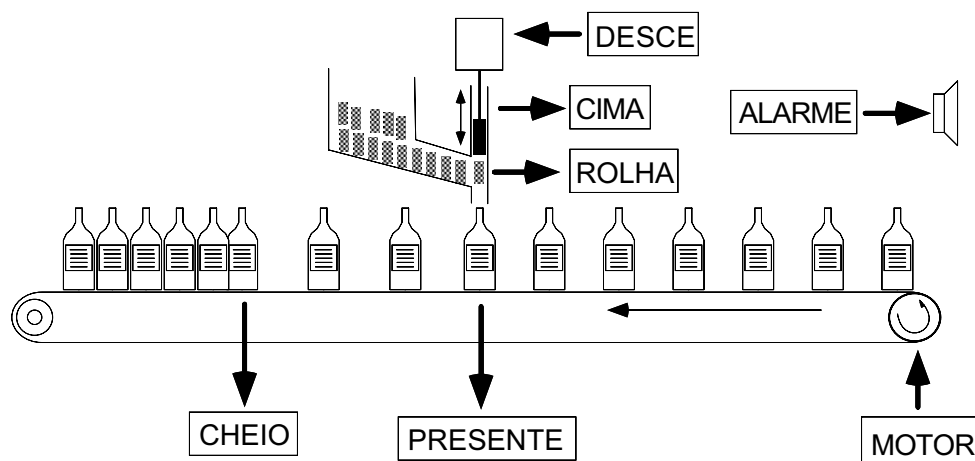
Apresente um diagrama de transição de estados que traduza o funcionamento pretendido, explicando o significado que atribui a cada estado.

- 16** — [Teste de 16-06-1997] Pretende-se projectar um sistema de controlo de uma linha de enchimento automático de garrafas. Esta linha é constituída por um tapete que conduz as garrafas vazias até à posição de enchimento e por uma torneira que abre ou fecha de forma a encher cada garrafa. Este sistema de controlo possui duas entradas G e C e duas saídas M e T . A entrada G proveniente de um sensor torna-se activa assim que chega uma garrafa à posição de enchimento e o sensor C sinaliza o fim do enchimento de uma garrafa. A saída M , quando activa, faz o tapete avançar e a saída T activa uma válvula que comanda o enchimento da garrafa. Admita que, ao ser ligado, o circuito parte de um estado inicial em que as saídas M e T não estão activas, dando-se de imediato início ao enchimento de uma garrafa ou ao movimento do tapete, conforme exista ou não uma garrafa na posição de enchimento (G activo).



- a) Apresente um diagrama de transição de estados que traduza o funcionamento deste sistema de controlo bem como a respectiva tabela de transição de estados. Explique por palavras suas o significado que associa a cada um dos estados que escolheu.
- b) Admita que é possível retirar manualmente uma garrafa da posição de enchimento sem actuar o sensor *C*. Para o diagrama que obteve em a), diga se desta acção resulta ou não algum funcionamento anómalo. No caso afirmativo, mostre como deveria ser alterado o diagrama para o evitar.

- 17** — [Teste de 07-07-1999] Numa linha de rolhamento de garrafas existe um tapete rolante controlado por um MOTOR que deve parar quando o sensor PRESENTE indica a presença de uma garrafa debaixo da máquina de rolhar. Nessa altura, se o sensor ROLHA indica que existem rolhas disponíveis, o sinal DESCE deve ser actuado para rolhar a garrafa. Após descer e rolhar a garrafa, o mecanismo

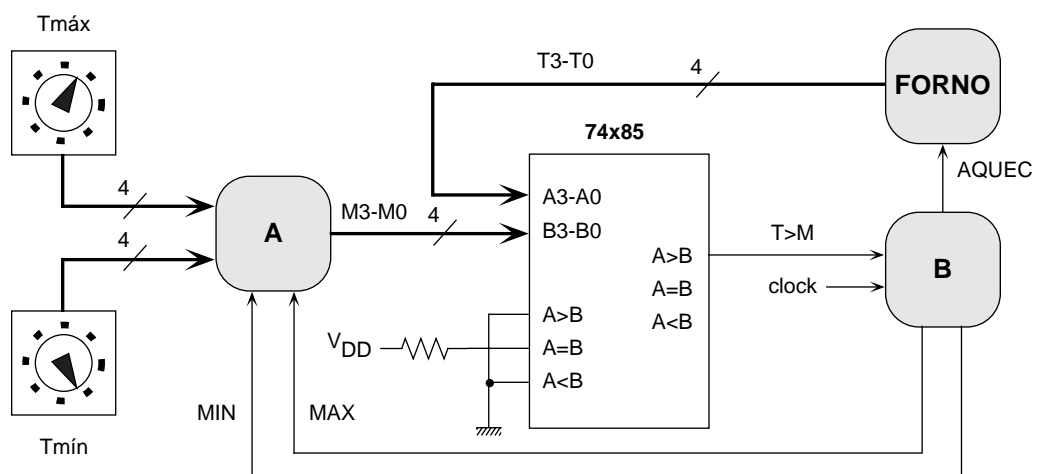


sobe automaticamente, activando o sinal **CIMA**, devendo o motor rearrancar. Se não existirem rolhas, o motor deve parar e ser activado o sinal **ALARME** até existirem de novo rolhas, recomeçando nessa altura a sequência normal. No fim do tapete rolante existe um sensor **CHEIO** que indica que as garrafas não foram retiradas; quando isso acontece, o motor deve parar e o sinal **ALARME** ser activado, devendo a sequência normal recomeçar quando forem

retiradas as garrafas do fim do tapete. Repare que no desenho a direcção das setas indica se um sinal é uma entrada ou saída (por exemplo PRESENTE é uma entrada e MOTOR é uma saída).

- Desenhe o diagrama de transição do controlador com a intenção de o implementar utilizando uma máquina de Moore, usando os nomes dos sensores e actuadores acima descritos e usando, para designar os estados, símbolos como PARA, AGUARDA, etc.
- Codifique os estados obtidos na alínea anterior e escreva a tabela de transição de estados do controlador.

18 — [Teste de 09-09-1994] A figura representa um sistema que pretende manter a temperatura de um forno entre dois limites definidos por dois marcadores manuais $T_{\text{máx}}$ e $T_{\text{mín}}$.



- A função do bloco A é colocar no barramento M3–M0 o conteúdo de um dos marcadores $T_{\text{mín}}$ ou $T_{\text{máx}}$, de acordo com o estado de duas linhas de selecção MIN e MAX, do modo traduzido pela tabela. Faça o projecto lógico deste bloco, usando os integrados SSI e MSI que entender mais convenientes.

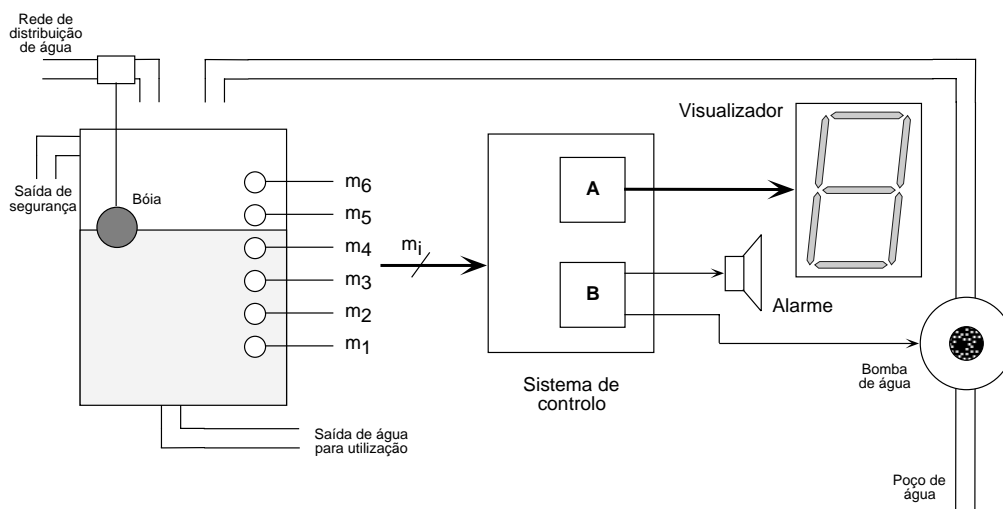
MAX	MIN	M3-M0
0	0	T _{máx}
0	1	T _{mín}
1	0	T _{máx}
1	1	T _{mín}

- b) O integrado 74x85, no esquema, efectua uma comparação entre o valor do barramento M3–M0 e o valor indicado por um termómetro colocado dentro do forno (barramento T3–T0).

Faça o projecto do bloco B (máquina de Moore com *flip-flops* do tipo D) que controla o aquecimento do forno (resistências ligadas quando AQUEC=1 e desligadas quando AQUEC=0). Pretende-se que o aquecimento se inicie sempre que a temperatura no termómetro desça abaixo de T_{mín}, mantendo-se a funcionar até que a mesma suba acima de T_{máx}.

Nota: Admita que ao ligar a alimentação o circuito fica num estado inicial, em que é seleccionado o conteúdo T_{máx} do marcador e é feito o *reset* dos *flip-flops*.

- 19** — [Teste de 22-06-1994] A figura representa um depósito de água, normalmente abastecido pela rede de distribuição. O nível da água é, nestas condições, con-

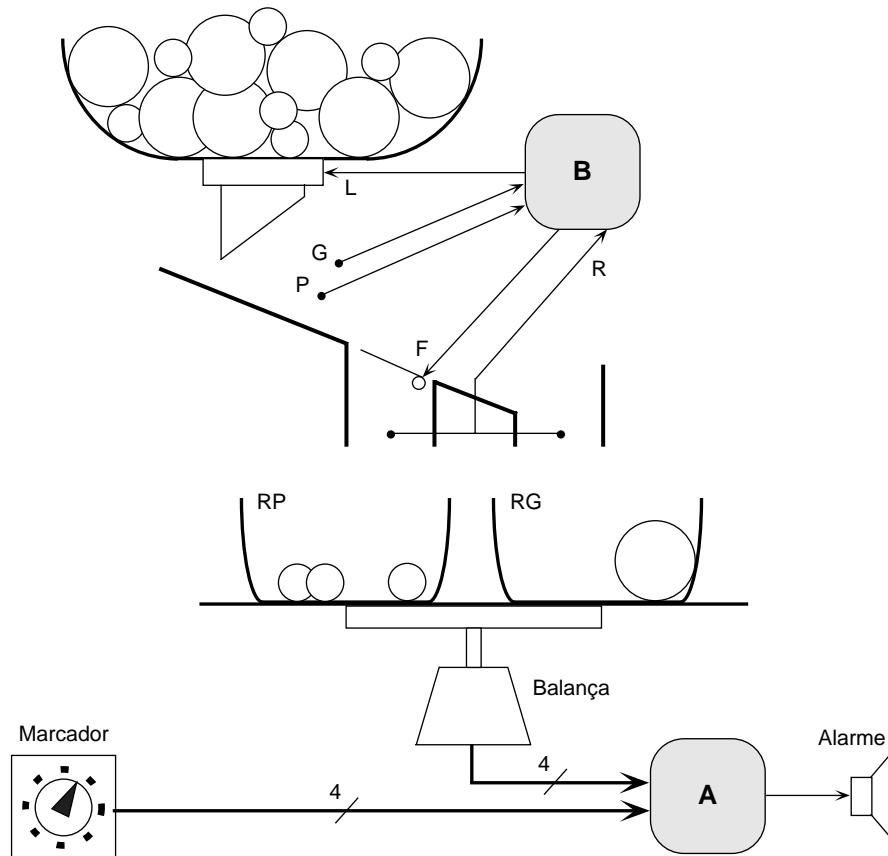


trolado por um sistema mecânico (bóia e respectiva torneira) e existe um tubo de escoamento de segurança que garante que o depósito não enche demasiado. Devido a problemas frequentes de falta de água, decidiu-se instalar um sistema que, automaticamente, bombeia água de um poço para o depósito em questão. O sistema indica num visualizador de sete segmentos a altura (em metros) da água no depósito. Para esse efeito foram colocados seis sensores, m_1 a m_6 , distanciados de um metro entre si, ao longo da altura do depósito.

- a) Faça o projecto lógico do bloco A do sistema de controlo. O visualizador é de cátodo comum e pode utilizar os circuitos integrados SSI e MSI que entender.
- b) Faça o projecto do bloco B. A bomba de água deve ser accionada sempre que o nível descer abaixo dos dois metros, só voltando a parar quando atingir os cinco metros. Se, por qualquer motivo, o nível de água subir até aos seis metros ou descer abaixo de um metro, deve fazer-se soar o alarme (note que este só depende dos sensores m_1 e m_6).

Notas: Para a resolução da alínea b), suponha uma máquina de Moore, implementada com *flip-flops* do tipo D; faça o respectivo diagrama de blocos, assinalando devidamente as entradas e saídas de que necessita; no seu próprio interesse, faça um diagrama de estados ou fluxograma ASM.

- 20** — [Teste de 05-07-1994] A figura representa um sistema fabril de classificação e separação de esferas por tamanhos, em duas categorias, pequenas e grandes. As esferas são separadas em dois reservatórios, RP e RG, que são descarregados manualmente. O peso total dos dois reservatórios é avaliado por uma balança electrónica e não pode exceder um valor (entre 0 e 15) definido por um marcador manual. Para a resolução das duas alíneas que se seguem, considere todas as variáveis em lógica positiva.

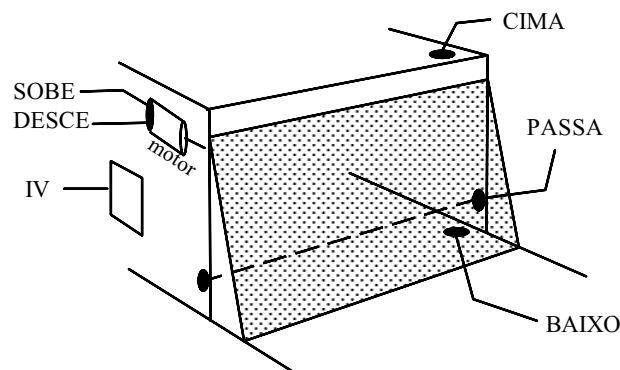


- a) Faça o esquema lógico do bloco A, de forma a que o alarme soe sempre que o peso avaliado pela balança seja superior ao valor do marcador. Utilize os integrados SSI e MSI que entender mais convenientes de forma a reduzir a sua quantidade.
- b) Projecte o bloco B (máquina de Moore com *flip-flops* do tipo D) que:
- activa a saída L para libertar uma nova esfera do depósito geral,
 - detecta a dimensão da esfera usando os sensores P e G (uma esfera pequena só activa P , enquanto que uma grande também activa G),
 - manda abrir (para uma esfera pequena) ou não (para uma esfera grande) a borboleta F , de acordo com essa dimensão.

Os dois sensores R assinalam ao controlador B a queda de uma esfera no respectivo reservatório, momento a partir do qual a borboleta F pode regressar à posição de fechada e a saída L pode ser novamente activada.

Notas: a saída L necessita de um impulso com a duração de um ciclo de relógio para accionar o mecanismo que liberta uma esfera; a saída F deve ficar activa enquanto for necessária a posição de borboleta aberta.

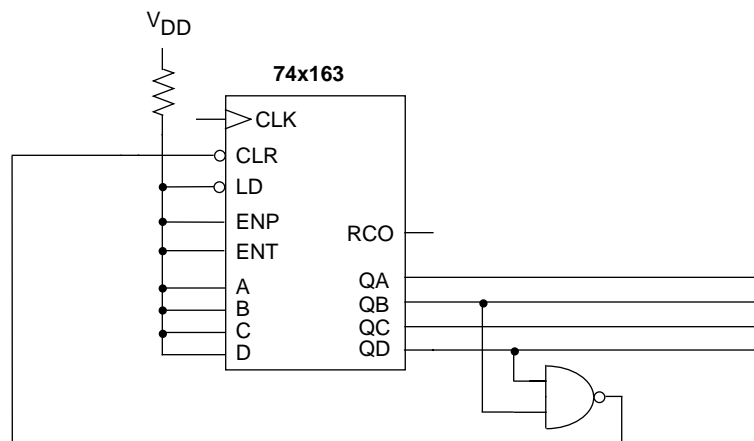
- 21** — [Teste de 17-06-1999] Deseja-se controlar o motor que faz abrir (SOBE) e fechar (DESCE) a porta de uma garagem (ver figura). A porta, bastante ampla, tem um sensor em cima, CIMA, que fica activo quando a porta está completamente aberta, e um sensor em baixo, BAIXO, que fica activo quando a porta está completamente fechada. Existe ainda um sensor de passagem, PASSA, que fica activo enquanto um objecto está na linha do sensor. Finalmente, existe o sensor de infravermelhos, IV, que fica activo quando o comando remoto da porta é actuado para abrir a porta, seja no interior ou exterior da garagem. A porta deve fechar-se automaticamente.



- Desenhe o diagrama de transição de estados do sistema de abertura e fecho automático da porta, usando os nomes dos sensores e actuadores acima descritos, e usando nomes simbólicos para os estados (por exemplo SUBIR, DESCER, PARAR, etc). Tome as medidas de segurança que achar conveniente durante o processo de abertura e fecho da porta (imagine que o carro é seu), e procure que a abertura e fecho da porta sejam o mais rápido e eficaz possíveis.
- Codifique os estados obtidos na alínea anterior e escreva a tabela de transição com a intenção de utilizar *flip-flops* do tipo D.

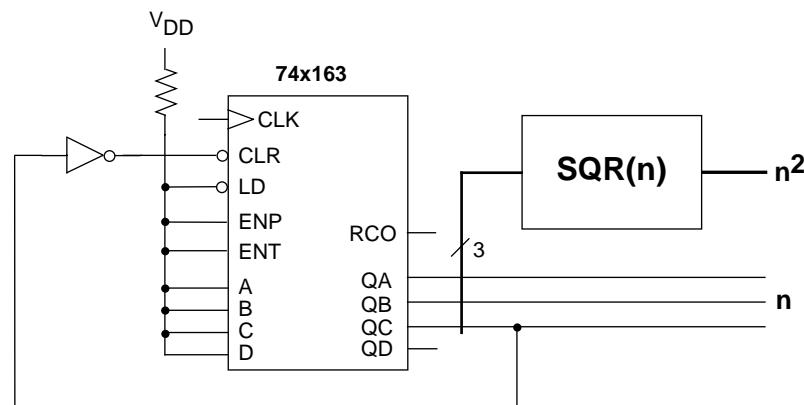
Contadores

- 22** — Considere o circuito da figura.

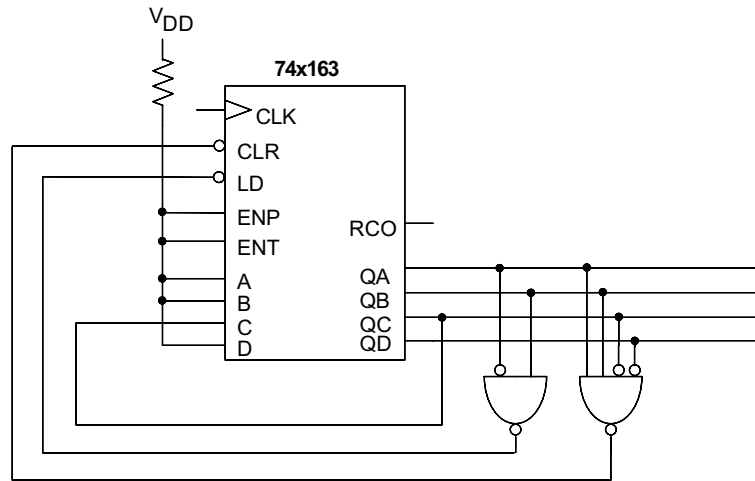


- a) Determine a sequência de contagem à saída.
 - b) Explique que alterações se verificariam se o circuito 74x163 fosse substituído pelo 74x161.
- 23** — Projecte um contador módulo 129 usando dois circuitos 74x163 e um inversor.
- 24** — Projecte um circuito que apresente na saída a sequência de contagem 7, 6, 5, 4, 3, 2, 1, 0, 8, 9, 10, 11, 12, 13, 14, 15, 7, ... usando um circuito 74x169 e um único circuito SSI adicional.
- 25** — [Teste de 07-07-1997] Pretende-se desenvolver um circuito baseado no contador 74x163 que realize uma contagem cíclica de 3 *bits*, de acordo com o estado de uma entrada exterior *P*. Quando *P* estiver em 1 a sequência de contagem deve ser 0-2-4-6-0-2-..., quando *P* estiver em 0 a sequência deve ser 1-3-5-7-1-3-... . Sugestão: comece por escrever a sequência completa de contagem para um contador de 4 *bits* e compare-a com as sequências que se pretendem obter (uma de números pares e outra de números ímpares).

- 26** — Projecte um circuito que permita obter um sinal digital com uma frequência:
- a) 2 vezes menor que o sinal de entrada;
 - b) 64 vezes menor que o sinal de entrada;
 - c) 26 vezes menor que o sinal de entrada;
- 27** — [Teste de 27-09-1995] Considere o circuito representado na figura. O bloco identificado por $SQR(n)$ destina-se a calcular o quadrado do valor correspondente às três saídas menos significativas do contador 74x163.



- a) Identifique a sequência gerada pelo contador 74x163.
 - b) Obtenha a tabela de verdade que descreve o funcionamento do bloco $SQR(n)$. Nota: Se não resolveu a alínea anterior considere à saída do contador a sequência 0, 1, 4, 2, 3, 0, 1, 4, ...
 - c) Implemente o bloco $SQR(n)$ com um único circuito integrado 74x02 (4 NORs).
 - d) Indique, justificando, a sequência que se obterá à saída do contador se este fosse substituído pelo 74x161.
- 28** — [Teste de 07-07-1999] Considere o circuito representado na figura, que utiliza o contador 74x163.



- a) Mostre a sequência de valores apresentada nas saídas $Q_D Q_C Q_B Q_A$ do 74x163, considerando que inicialmente o contador se encontra no estado 0.
- b) Pretende-se introduzir neste circuito uma entrada N , tal que, quando $N = 1$ as saídas do 74x163 apresentem uma “contagem normal” (ou seja, apresentem a sequência 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 0, ...) e quando $N = 0$ o circuito mantenha o seu funcionamento inicial. Apresente as alterações a introduzir no circuito para obter tal comportamento.

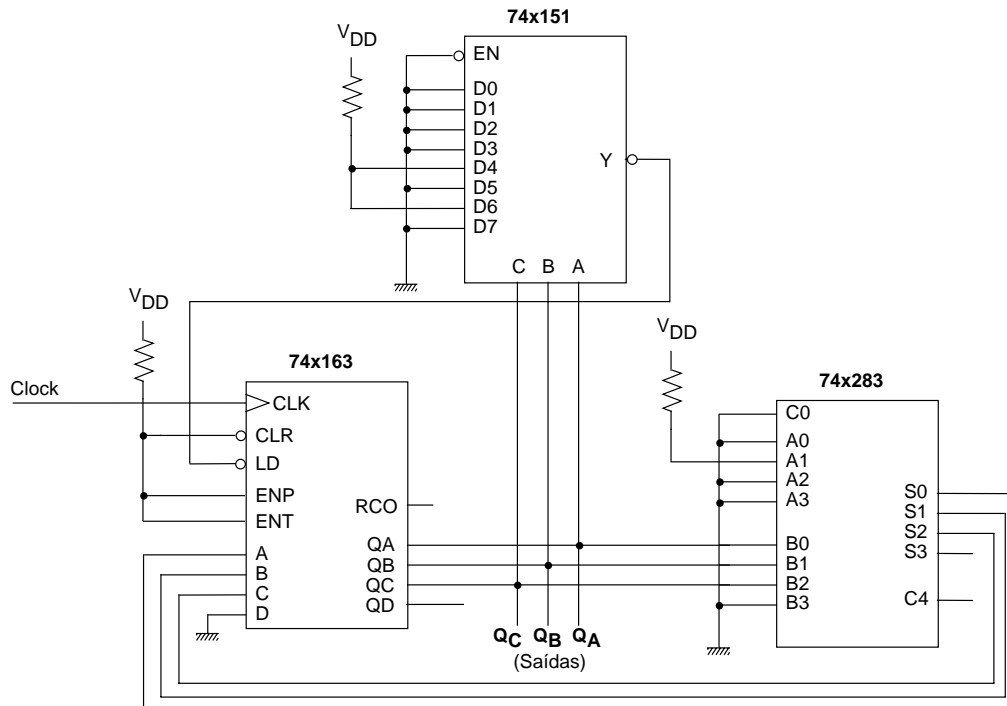
29 — [Teste de 09-09-1994] Pretende-se um circuito que, conforme o valor de uma entrada S , gere as seguintes sequências:

- $S = 0 \Rightarrow 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 0, 1, \dots$;
- $S = 1 \Rightarrow 0, 1, 2, 3, 8, 9, 10, 11, 0, 1, \dots$.

Quando S passa de 0 para 1 e o circuito se encontra num estado não definido na segunda sequência (por exemplo 5), o circuito deverá passar para o estado definido seguinte (estado 8 no exemplo dado).

Projecte o circuito pretendido com base num contador 74x163.

- 30** — [Teste de 05-07-1994] Na figura as entradas A , B , C e D do contador representam o valor correspondente a um estado da sequência de contagem adicionado da constante 2.



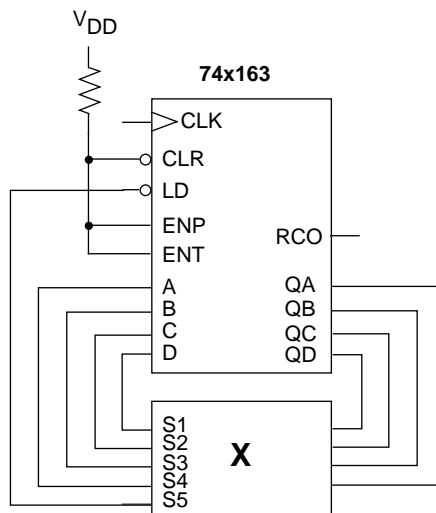
- Indique a sequência de contagem nas saídas Q_C a Q_A (sendo Q_C a mais significativa), para as ligações indicadas nas entradas de dados do multiplexador, a partir do estado 000.
- Mostre e justifique como seria possível obter a sequência 0, 2, 4, 6, ...

- 31** — [Teste de 07-07-1995]

- Utilize um contador de 4 bits 74x163 e alguma lógica adicional para implementar dois contadores de 2 bits, de modo que um deles (utilizando as duas saídas menos significativas do 74x163) conte em ordem crescente, e o outro (utilizando as duas saídas mais significativas do 74x163) conte em modo decrescente.

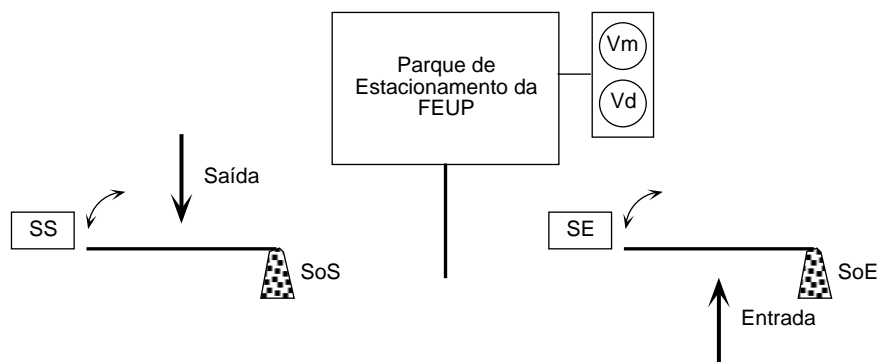
- b) O contador usado no circuito acima está subaproveitado. Comente esta afirmação e mostre como seria possível substituí-lo por componentes mais elementares.

32 — [Teste de 22-06-1994] O circuito representado tem por objectivo gerar em sequência crescente os números primos que se podem representar com 4 *bits*. Repare que *D* é o *bit* mais significativo. Deduza as expressões booleanas correspondentes



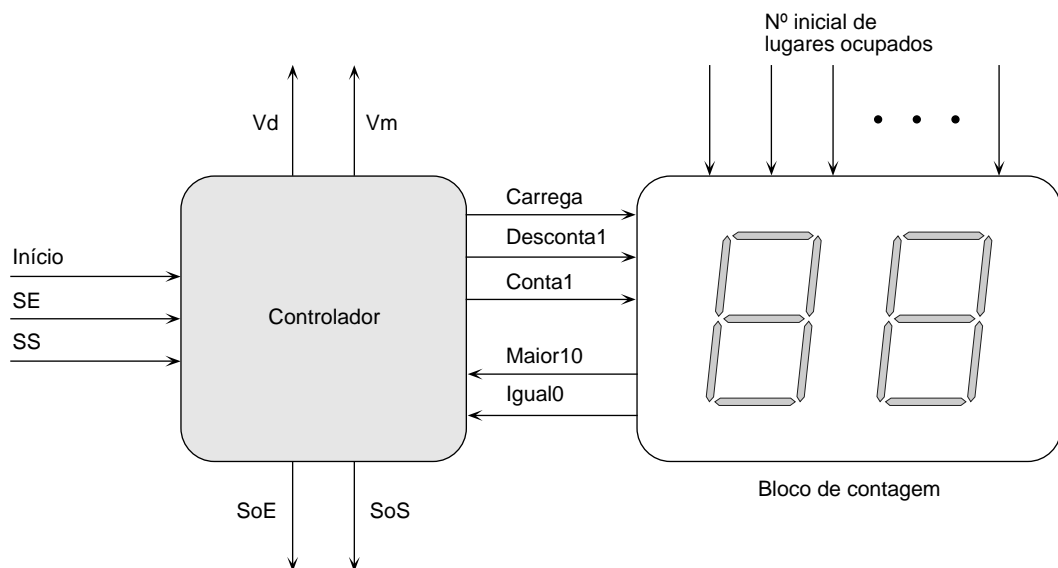
às saídas do bloco X considerando o critério de custo mínimo.

33 — [Teste de 02-07-1993] Analise a figura que se segue.



Os sensores SS e SE controlam, respectivamente, a saída e a entrada, detectando a passagem de veículos. Quando SoS é actuado pelo controlador, sobe a barreira a que está ligado. Esta retoma a posição normal (fechada) quando SoS deixa de ser actuado. O mesmo se passa com SoE e respectiva barreira. O semáforo formado por Vm (vermelho) e Vd (verde) constitui a sinalização para quem pretende entrar no parque, indicando a existência ($Vd = 1$) ou ausência ($Vm = 1$) de vagas no parque.

A estrutura do controlador de acesso ao parque está ilustrada na próxima figura. No início do dia, o guarda do parque conta o número de lugares já

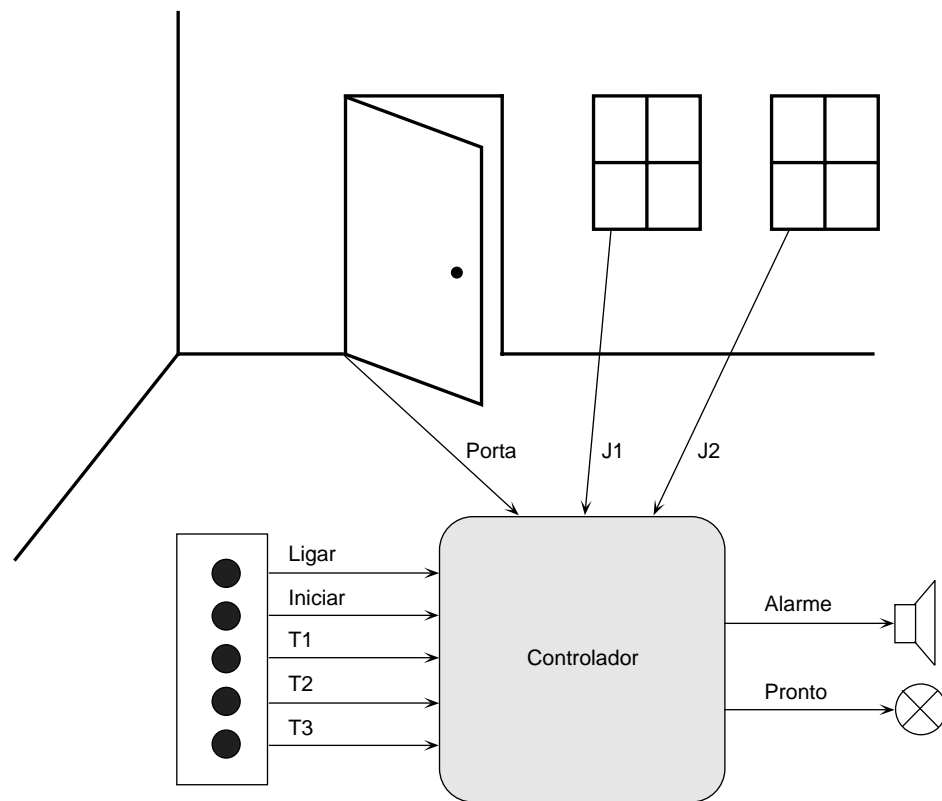


ocupados (carros que ficaram do dia anterior) e introduz este valor no sistema. Seguidamente, actua *INICIO*, as barreiras fecham e, enquanto o número de vagas for superior a 10, a lâmpada Vd permanece acesa e Vm apagada. Se o número de vagas for inferior ou igual a 10, mas diferente de 0, Vd acende e apaga sucessivamente com um período de dois segundos. Em ambos os casos, se chega um carro para entrar, sobe a barreira, este entra, a barreira volta a descer e o controlador desconta uma vaga. Se o número de vagas for 0, a lâmpada Vd apaga e Vm acende, e a barreira não sobe quando um carro se aproximar de SE para entrar. Em qualquer instante pode sair um carro: a barreira sobe, o carro passa, a barreira volta então a descer e o controlador

conta mais uma vaga.

- Descreva sucintamente a constituição do bloco de contagem integrado no controlador.
- Projecte o bloco de contagem, utilizando essencialmente componentes MSI.
- Apresente o fluxograma normalizado do controlador.

34 — [Teste de ??-09-1993] O sistema de segurança de um armazém dispõe de sensores na porta *Porta* e nas janelas *J1* e *J2*. Cada um destes sensores será activado

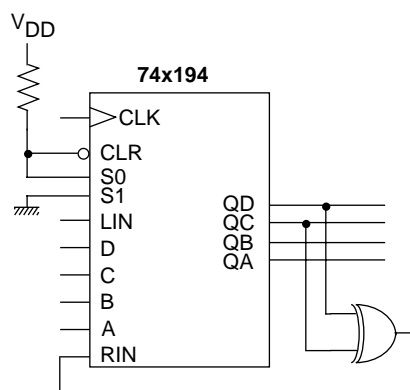


enquanto estiver aberta a porta ou cada uma das janelas. Quando se liga o sistema, actuando o respectivo botão de pressão, o estado dos sensores é verificado. Se a porta e ambas as janelas estiverem fechadas, o indicador *Pronto* acende ($Pronto = 1$); caso contrário, o sistema aguarda nova ordem

de ligação (actuação de *Ligar*). Estando o indicador *Pronto* aceso, o sistema permite que a porta seja aberta uma vez. Logo que a porta feche, o sistema entra em vigilância e o indicador *Pronto* apaga ($Pronto = 0$). Quando em vigilância, o alarme soará ($Alarme = 1$) se:

- qualquer dos sensores das janelas for actuado,
 - a porta for aberta e, durante 10 segundos, as teclas *Iniciar*, *T3*, *T1* e *T2* não forem actuadas, pela ordem que se acaba de especificar. Durante os 10 segundos é possível fazer várias tentativas.
- a) Apresente o fluxograma normalizado para o controlador do sistema de segurança.
- b) De acordo com o fluxograma, implemente o controlador na PAL 16RP6A. Não é obrigatório simplificar as expressões lógicas, desde que consiga implementar o controlador com uma única PAL.

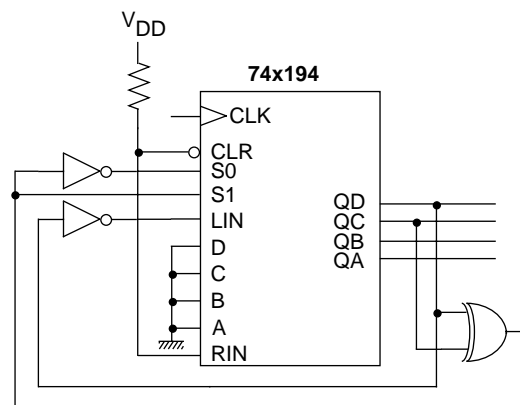
35 — [Teste de 22-06-1994] A figura mostra um circuito que utiliza um 74x194, cujas evoluções de estado são dadas pela tabela, funcionando como um registo de deslocamento para a direita (de Q_A para Q_D), com realimentação realizada através de uma porta XOR.



Função	Entradas		Próximo estado			
	S1	S0	QA*	QB*	QC*	QD*
<i>Hold</i>	0	0	QA	QB	QC	QD
<i>Shift right</i>	0	1	RIN	QA	QB	QC
<i>Shift left</i>	1	0	QB	QC	QD	LIN
<i>Load</i>	1	1	A	B	C	D

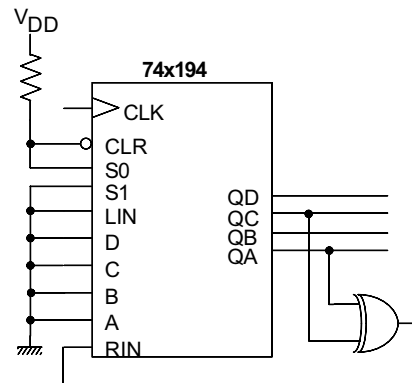
Mostre a sequência de contagem que se verifica a partir do estado 1111 e identifique o seu período.

36 — [Teste de 01-07-1995] Considere o seguinte circuito e analise-o atentamente.



- Indique qual a sequência de estados que a saída apresenta supondo o estado inicial 0001.
- Que acontecerá se na saída ocorrer o estado 1101? Justifique devidamente.

37 — [Teste de 17-06-1999] Considere o circuito representado na figura.



- Diga qual é a sequência apresentada nas saídas $Q_A Q_B Q_C Q_D$ do 74x194, considerando que o estado inicial é $Q_A Q_B Q_C Q_D = 1111$.
- Verifique que, se inicialmente $Q_A Q_B Q_C Q_D = 0000$, as saídas do circuito permanecem inalteradas. Altere o circuito de forma a que nesta situação as saídas passem para $Q_A Q_B Q_C Q_D = 0101$, e que nas demais situações o circuito mantenha o comportamento inicial.

38 — [Teste de 16-06-1997]

- Mostre a realização de um circuito, baseado num contador 74x163, capaz de gerar uma sequência de contagem com início em 5 e de comprimento igual a 4 (5,6,7,8,5,6,7,8,5,...), por detecção do fim de contagem e actuação sobre a entrada LD para recomençar a partir de 5.
- Modifique o circuito de modo a que o (re)início da contagem a partir de 5 seja comandado por um contador em anel, de módulo 4. Mostre como utilizar um registo de deslocamento 74x194 para esse efeito, circulando um único 0, e com uma das suas saídas ligada à entrada LD do contador. O circuito deve ter uma entrada de controlo $START$ que, quando actuada, force os valores apropriados nas saídas dos circuitos 74x163 e 74x194 para recomeço da contagem a partir do valor inicial.
- Pretende-se agora tornar variável o comprimento da sequência de contagem. Para tal as saídas de um decodificador de 2-para-4 (1/2 de um

74x139) são ligadas às entradas D , C , B e A do circuito 74x194. Mostre como devem ser feitas as ligações de modo a que, conforme os valores presentes nas entradas do decodificador resultem as sequências indicadas na tabela seguinte.

Entradas	Sequência	Comprimento
00	5, 5, 5, 5, 5, 5, 5, 5, 5, 5, 5, ...	1
01	5, 6, 5, 6, 5, 6, 5, 6, 5, 6, ...	2
10	5, 6, 7, 5, 6, 7, 5, 6, 7, 5, ...	3
11	5, 6, 7, 8, 5, 6, 7, 8, 5, 6, ...	4

FIM