

電路實驗報告

資工二甲

11127137 黃乙家

11127141 梁凱哲

一、 Verilog Code

Mux_4to1.v

```
`timescale 1ns/1ns

module Mux_4to1 (out, in0, in1, in2, in3, sel);
    output out;
    input in0, in1, in2, in3;
    input [1:0] sel;

    assign out = (sel == 2'b00) ? in0 :
                  (sel == 2'b01) ? in1 :
                  (sel == 2'b10) ? in2 : in3;
endmodule
```

TM_Mux_4to1.v

```
`timescale 1ns/1ns

module TM_Mux_4to1;
    reg in0, in1, in2, in3;
    reg [1:0] sel;
    wire out;

    Mux_4to1 U_Mux_4to1 (out, in0, in1, in2, in3, sel);

    parameter t = 200;
```

```

initial begin

    #t

    in0 = 1'b0;

    in1 = 1'b1;

    in2 = 1'b0;

    in3 = 1'b1;

    #t

    sel = 2'b00;

    #t

    sel = 2'b01;

    #t

    sel = 2'b10;

    #t

    sel = 2'b11;

    #t

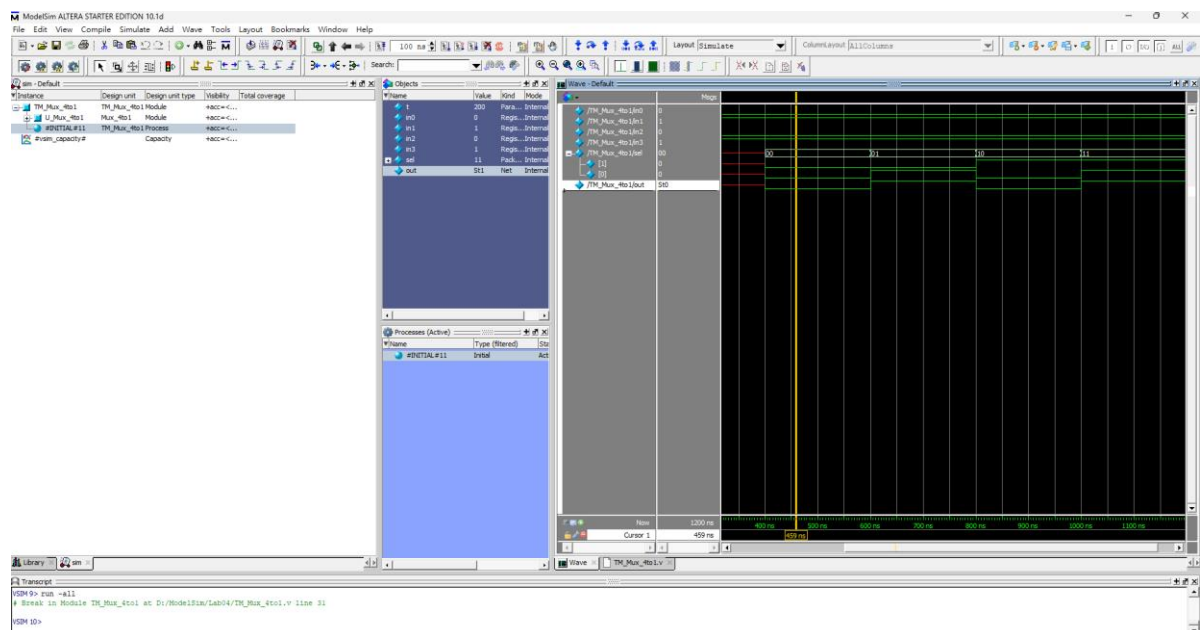
    $stop;

end

endmodule

```

二、 結果



模擬預期 $sel = 0b00$ 時，輸出 $in0 = 0$ ， $sel = 0b01$ 時輸出 $in1 = 1$ ， $sel = 0b10$ ， $output = in2 = 0$ ， $sel = 0b11$ ， $output = in3 = 1$ ，結果為正確。

三、心得

黃乙家：做完這次實驗後我對 Verilog 這個硬體描述語言有了初步的了解，也學會如何使用 ModelSim 模擬多工器。希望之後如果有需要自己開發電路時能夠順利解決問題與需求。

梁凱哲：相比上週的四位元加法器要注意的細節更多，整體也更加複雜，做完此次實驗後對於 Verilog 語言了解更多，語法及使用也更加流暢，做之後功課也會較為順利。