**電路實驗報告**

**資工二甲**

**11127137 黃乙家**

1. Verilog Code

FA.v

`timescale 1ns/1ns

module FA(a, b, c, cout, sum);

input a, b, c;

output cout, sum;

wire e1, e2, e3;

xor(e1, a, b);

and(e2, a, b);

and(e3, e1, c);

or(cout, e2, e3);

xor(sum, e1, c);

endmodule

TM.v

`timescale 1ns/1ns

module TM;

reg A, B, Cin;

wire Cout, Sum;

FA U\_FA(.a(A), .b(B), .c(Cin), .cout(Cout), .sum(Sum));

parameter t = 200;

initial begin

#(2\*t)

A = 1'b0;

B = 1'b0;

Cin = 1'b0;

#t

A = 1'b0;

B = 1'b0;

Cin = 1'b1;

#t

A = 1'b0;

B = 1'b1;

Cin = 1'b0;

#t

A = 1'b0;

B = 1'b1;

Cin = 1'b1;

#t

A = 1'b1;

B = 1'b0;

Cin = 1'b0;

#t

A = 1'b1;

B = 1'b0;

Cin = 1'b1;

#t

A = 1'b1;

B = 1'b1;

Cin = 1'b0;

#t

A = 1'b1;

B = 1'b1;

Cin = 1'b1;

#t

$stop;

end

endmodule

1. 一張含有 螢幕擷取畫面, 文字, 軟體, 多媒體軟體 的圖片

   自動產生的描述結果
2. 心得

黃乙家：做完這次實驗後我對 Verilog 這個硬體描述語言有了初步的了解，也學會如何使用 ModelSim模擬基本的邏輯電路、訊號。希望之後如果有需要自己開發電路時能夠順利解決問題與需求。