**電路實驗報告**

**資工二甲**

**11127137 黃乙家**

**11127141 梁凱哲**

**Part 1.**

1. Verilog Code

FA.v

`timescale 1ns/1ns

module FA(a, b, c, cout, sum);

input a, b, c;

output cout, sum;

assign sum = a ^ b ^ c;

assign cout = (a & b) | ((a ^ b) & c);

endmodule

HA.v

`timescale 1ns/1ns

module HA(a, b, sum, cout);

input a, b;

output sum, cout;

assign sum = a ^ b;

assign cout = a & b;

endmodule

1. 一張含有 文字, 螢幕擷取畫面, 軟體, 多媒體軟體 的圖片

   自動產生的描述結果

根據模擬結果，表格如下：

|  |  |  |  |
| --- | --- | --- | --- |
| 被加（減）數 A | 加（減）數 B | 末端進位 | 和 |
|  |  |  |  |
| 0 0 0 1 | 0 0 1 1 | 0 | 0 1 0 0 |
| 0 0 1 0 | 0 1 0 1 | 0 | 0 1 1 1 |
| 0 1 0 1 | 0 0 1 1 | 0 | 1 0 0 0 |
| 0 1 1 0 | 0 1 1 1 | 0 | 1 1 0 1 |
| 0 1 1 1 | 0 0 0 1 | 0 | 1 0 0 0 |
| 1 0 0 1 | 1 0 1 1 | 1 | 0 1 0 0 |
| 1 0 0 0 | 1 1 0 1 | 1 | 0 1 0 1 |
| 1 0 1 0 | 1 0 0 1 | 1 | 0 0 1 1 |
| 1 0 1 1 | 1 1 0 1 | 1 | 1 0 0 0 |
| 1 1 1 1 | 1 1 1 1 | 1 | 1 1 1 0 |

經數學計算後進行比對，結果正確。

Part 2.

1. Verilog Code

`timescale 1ns/1ns

module RCA4(a, b, cout, s);

input [3:0] a, b;

output [3:0] s;

output cout;

wire [4:0] at, bt, st;

assign at = {1'b0, a};

assign bt = {1'b0, b};

assign st = at + bt;

assign s = st[3:0];

assign cout = st[4];

endmodule

1. 一張含有 文字, 螢幕擷取畫面, 軟體, 多媒體軟體 的圖片

   自動產生的描述結果