**電路實驗報告**

**資工二甲**

**11127137 黃乙家**

**11127141 梁凱哲**

1. Verilog Code

Mux\_4to1\_1.v

`timescale 1ns/1ns

module Mux\_4to1 (out, in0, in1, in2, in3, sel);

output out;

input in0, in1, in2, in3;

input [1:0] sel;

reg out;

always @(sel or in0 or in1 or in2 or in3)

begin

if (sel == 2'b00)

out = in0;

else if (sel == 2'b01)

out = in1;

else if (sel == 2'b10)

out = in2;

else

out = in3;

end

endmodule

Mux\_4to1\_2.v

`timescale 1ns/1ns

module Mux\_4to1 (out, in0, in1, in2, in3, sel);

output out;

input in0, in1, in2, in3;

input [1:0] sel;

reg out;

always @(sel or in0 or in1 or in2 or in3)

begin

case (sel)

2'b00: out = in0;

2'b01: out = in1;

2'b10: out = in2;

default: out = in3;

endcase

end

endmodule

1. 結果

一張含有 螢幕擷取畫面, 文字, 軟體, 多媒體軟體 的圖片

自動產生的描述I:

II:

一張含有 螢幕擷取畫面, 文字, 軟體, 多媒體軟體 的圖片

自動產生的描述

模擬預期 sel = 0b00 時，輸出 in0 = 1，sel = 0b01 時輸出 in1 = 0，sel = 0b10，output = in2 = 1，sel = 0b11，output = in3 = 1，結果兩者皆正確。

1. 心得

黃乙家：做完這次實驗後我對 Verilog 這個硬體描述語言有了初步的了解，也學會如何使用 ModelSim 以不同設計架構模擬多工器。希望之後如果有需要自己開發電路時能夠順利解決問題與需求。

梁凱哲：相比上週的多工加法器要注意的細節更多，整體也更加複雜，做完此次實驗後對於Verilog語言了解更多，語法及使用也更加流暢，做之後功課也會較為順利。