**電路實驗報告**

**資工二甲**

**11127137 黃乙家**

**11127141 梁凱哲**

1. Verilog Code

Counter.v

`timescale 1ns/1ns

module Counter( dout, clk, rst );

output reg[3:0] dout;

input wire clk, rst;

always @(posedge clk)

begin

if(rst)

dout <= 4'b0000;

else

dout <= dout + 1;

end

endmodule

TM\_Counter.v

`timescale 1ns/1ns

module TM;

reg clk, rst;

wire [3:0] dout;

parameter t = 200;

parameter th = 100;

Counter U\_cnt( .dout(dout), .clk(clk), .rst(rst) );

always #th clk = ~clk;

initial begin

clk = 0;

rst = 1;

#t rst = 0;

// Delay 15t

#(15\*t)

#t $finish;

end

endmodule

1. 一張含有 文字, 螢幕擷取畫面, 軟體, 多媒體軟體 的圖片

   自動產生的描述結果

從圖中可發現 dout 每當 Clock 訊號往高位時會+1，最後因為 4-bit溢位而從 1111 變成 0000，結果正確。

1. 心得

黃乙家：做完這次實驗後我對 Verilog 這個硬體描述語言有了初步的了解，也學會如何使用 ModelSim 以不同設計架構模擬計數器。希望之後如果有需要自己開發電路時能夠順利解決問題與需求。