

# 先端計算アーキテクチャレポート課題

坪井正太郎 (101830245)

2021 年 1 月 26 日

## 1 概要

このレポートでは、最新の CPU として AMD の EPYC7742(Rome) を選択し、そのアーキテクチャをまとめた。各性能について変化がある場合には、Zen/Zen+ アーキテクチャとの比較も行った。

## 2 仕様

表 1 仕様

Core	64
Thread	128
Base Frequency	2.25GHz
L3 Cache (Total)	256MB
PCI Express	PCIe 4.0 x128
Mem Channel	8

## 3 物理的なダイの構成

Zen2 アーキテクチャでは、複数のチップモジュールで 1 つのプロセッサを構成する。EPYC Rome は、8 つのコアが載ったダイ (Core Complex Dies(CCD)) とプロセッサの PCIe レーン、メモリ、コアチップレット同士の通信ハブとなるダイ (server IO die) から構成される。

このようにして IO とコアのダイを分ける設計には、以下のような利点があると考えた。

- ダイ製造の歩留まりが向上する。
  - － 各ダイのサイズを小さくできることから、歩留まりの向上が見込める。
- 製品バリエーションを増やすことができる。
  - － 実際に、EPYC と Ryzen は共通の CCX を持っている。コンシューマ向けとサーバ向けの IO ダイを用意して、CCX の接続数を変更するだけで製品特徴を変更できる。
- IO ダイと CPU ダイで独立して進歩できるようになる
  - － 実際に、EPYC の CPU ダイのプロセスルールは 7nm だが、IO ダイでは 14nm が使われている。
- レイテンシの均一化

- Zen+ までは、ダイの上にコアと IO を載せていたことで、同一ダイ間と異なるダイ間で行う通信のレイテンシに最大で倍の差がついていた。IO ダイを通すことで、レイテンシの均一化が図られ、どのような計算単位でも扱いやすくなった。

### 3.1 CCD の構成

EPYC の CCD は、2 つの Core Complex(CCX) で構成される。CCX は、L2 キャッシュを持つコアが 4 つ、16MB の L3 キャッシュを共有する形で実装される。

全体としては、EPYC(1 sIOD + 8 CCD(2 CCX(4 Core))) となる。

## 4 キャッシュ

## 5 分岐予測