

三、實驗結果

Step 1:

a. 問題敘述

製作一個全加器。

b. 設計思路

全加器有 3 個 input (C_in, A, B)、2 個 output (C_out, S)。列出真質表觀察關係：

C_in	A	B	C_out	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

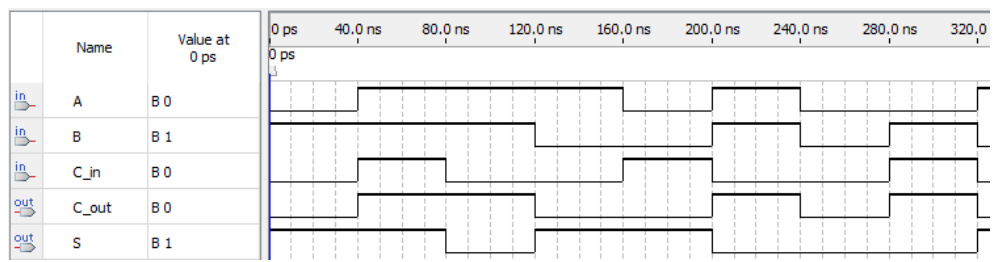
經過適當化簡，得出 $S = A \oplus B \oplus C_{in}$, $C_{out} = AB + AC_{in} + BC_{in}$ 。

c. 設計檔案

full_adder.v (top-level entity)

```
module full_adder(  
    input wire A, B, C_in,  
    output wire S, C_out  
);  
  
    // using boolean functions  
    assign S = A ^ B ^ C_in;  
    assign C_out = A & B | A & C_in | B & C_in;  
  
endmodule
```

d. 模擬圖



e. 元件符號

