

HAPS-80 / HAPS-100 試題

Q1: HAPS-80 和 HAPS-100 FPGA 型號分別為何? (10%)

ANS:

HAPS-80: Xilinx UltraScale Virtex XCVU440-FLGA2892 FPGA

HAPS-100: Xilinx UltraScale+ Virtex XCVU19P-FSVA3824 FPGA

Q2: HAPS-80 MGB 和 HAPS-100 MGB2 在速度上有什麼差異? (10%)

ANS:

HAPS-80: each MGB connector supports 8 GTH transceiver channels

HAPS-100: each MGB2 connector supports 4 GTY transceiver channels

Q3: HAPS-80 每一顆 FPGA 支援幾組 HT3 connector? 這些 HT3 connector 依照特性又可以分成哪幾種? 請分別描述差異. (10%)

ANS:

24 HT3 connectors

Three types of HT3 connectors:

1. HT3 standard connectors(J1-J11 , J13-J15 , J 20-J24):
Supported VCCO voltages 1.0V, 1.2V, 1.35V, 1.5V and 1.8V
2. HT3 HR connector (J12) for low-speed application:
Supported VCCO voltages 1.2V, 1.35V, 1.5V, 1.8V, 2.5V and 3.3V
(No 1.0V)
It does not support HSTDM
3. HT3 limited connectors (J16-J19):
Supported VCCO voltages fixed to 1.8V

Q4: HAPS-100 每一顆 FPGA 支援幾組 HT3 connector? 這些 HT3 connector 依照特性又可以分成哪幾種? 請分別描述差異. (10%)

ANS:

36 HT3 connectors

Two types of HT3 connectors:

1. HT3 HP IO connectors

Supported VCCO voltages 1.0V, 1.2V, 1.35V, 1.5V and 1.8V

2. HT3 HD IO connectors(J1 and J30)

Supported VCCO voltages 1.2V, 1.35V, 1.5V, 1.8V, 2.5V and 3.3V
(No 1.0V)

It does not support HSTDM

Q5: HAPS-80 S104, 有幾個 MGB connector? 每個 MGB connector 可以支援幾個 lanes? (10%)

ANS:

HAPS-80 S104 有 4 顆 FPGA , 每顆 FPGA 有 2 個 MGB connector , 所以

HAPS-80 S104 共有 8 個 MGB connector

每個 MGB connector 可支援 8 GTH transceiver channels

Q6: HAPS-100 4F, 有幾個 MGB2 connector? 每個 MGB2 connector 可以支援幾個 lanes? (10%)

ANS:

HAPS-100 4F 有 4 顆 FPGA , 每顆 FPGA 有 6 個 MGB2 connector , 所以 HAPS-100 4F 共 24 個 MGB2 connector

每個 MGB2 connector 可支援 4 transceiver lanes(4 inputs and 4 outputs)

Q7: 在 HAPS-80 clock tree 中, source clock 可以是那些? 最後到 HT3 connector 和 FPGA 最多各有幾組 CLK? (10%)

ANS:

source clock 可以由外部的 clock input 也可以由內部的 PLL 產生
最後到 HT3 connector 和 FPGA 最多都可以有 12 組 clock

Q8: 如果兩台 HAPS-80 串接時, 如何達到要如何做到兩台 HAPS-80 clock 同步? (10%)

ANS:

第一台的 CLK_right_out 接下一台的 CLK_left_in

Q9: 在 HAPS-100 clock tree 中, source clock 可以是那些? 最後到 HT3 connector 和 FPGA 最多各有幾組 CLK? (10%)

ANS:

Source clock 可以由內部的 PLL 產生

最後到 HT3 connector 最多有 12 組 clock , FPGA 最多都可以有 18 組 clock

Q10: 如果兩台 HAPS-100 串接時, 如何達到要如何做到兩台 HAPS-100 clock 同步? (10%)

ANS:

第一台的 CLK_right_out 接下一台的 CLK_left_in