



Sensor lineal de imágenes para aplicación en mediciones a distancia

Autor:

Dr. Ing. Jacobo O. Salvador

Director:

Mg. Ing. Lucio Martínez Garbino (CNEA)

Codirector:

Esp. Ing. Gonzalo Lavigna (FIUBA)

*Esta planificación fue realizada en el curso de Gestión de proyectos
entre el 22 de octubre de 2021 y el 9 de diciembre de 2021.*

Índice

1. Descripción técnica-conceptual del proyecto a realizar	5
2. Identificación y análisis de los interesados	6
3. Propósito del proyecto	6
4. Alcance del proyecto	7
5. Supuestos del proyecto.	7
6. Requerimientos	7
7. Historias de usuarios (<i>Product backlog</i>).	8
8. Entregables principales del proyecto	9
9. Desglose del trabajo en tareas	9
10. Diagrama de Activity On Node.	10
11. Diagrama de Gantt	12
12. Presupuesto detallado del proyecto	14
13. Gestión de riesgos	14
14. Gestión de la calidad	16
15. Procesos de cierre	18

Registros de cambios

Revisión	Detalles de los cambios realizados	Fecha
0	Creación del documento	22 de octubre de 2021
1	Se completa hasta el punto 5 inclusive	04/11/2021
2	Se completa hasta el punto 9 inclusive. Correcciones hasta punto 5	09/11/2021
3	Se completa hasta el punto 12 inclusive. Correcciones hasta punto 9	17/11/2021
4	Se completa hasta el punto 15 inclusive. Correcciones hasta punto 12	23/11/2021
5	Se realizan correcciones general. Se genera versión final	30/11/2021

Acta de constitución del proyecto

Buenos Aires, 22 de octubre de 2021

Por medio de la presente se acuerda con el Dr. Ing. Jacobo O. Salvador que su Trabajo Final de la Maestría en Sistemas Embebidos se titulará “Sensor lineal de imágenes para aplicación en mediciones a distancia”, consistirá esencialmente en el desarrollo e implementación de un prototipo de sistema de adquisición de imágenes por medio de un sensor lineal de carga acoplada, y tendrá un presupuesto preliminar estimado de 600 hs de trabajo y \$100000, con fecha de inicio 22 de octubre de 2021 y fecha de presentación pública 15 de julio de 2022.

Se adjunta a esta acta la planificación inicial.

Ariel Lutenberg
Director posgrado FIUBA

Mg. Ing. Rafael Oliva Beltran
L&R Ingeniería

Mg. Ing. Lucio Martínez Garbino
Director del Trabajo Final

1. Descripción técnica-conceptual del proyecto a realizar

Este trabajo final consiste en el desarrollo e implementación de un prototipo de sistema de adquisición de imágenes por medio de un sensor lineal de carga acoplada. El dispositivo tiene aplicación en el campo de mediciones remotas para seguimiento en el tiempo de objetos desde el orden de micrones a centímetros.

Un sensor lineal con tecnología CMOS (*Complementary metal-oxide-semiconductor*) se compone de un arreglo de sensores dispuestos en forma equidistante y de tamaño fijo que puede tener una disposición lineal o rectangular dependiendo de su diseño o aplicación. El principio de su funcionamiento se centra en acumular cargas como resultado de la interacción de la luz con la materia. Una interfaz recolecta la información analógica para su tratamiento digital.

En los últimos años, debido al avance tecnológico se pudo incrementar el orden de integración de los sensores acoplados y aumentar su sensibilidad. Estos sensores encuentran aplicaciones en dispositivos como cámaras, lectores de código, espectrómetros y en ramas de la ciencia como la astronomía, el procesamiento de imágenes, aprendizaje supervisado, etc.

Por su bajo costo, confiabilidad y disponibilidad, los sensores CMOS encontraron aplicaciones en el campo de las mediciones remotas. Esto permitió reducir fuertemente los costos de desarrollo e implementación de nuevos sensores. Sin dudas, esto representa tanto un desafío como también una oportunidad para que nuevas tecnologías puedan desarrollarse.

Un sistema basado en la técnica LiDAR (*Light Detection and Ranging*) para medir distancias de objetos funciona en su mayoría enviando pulsos cortos de luz y midiendo su reflexión. Su costo de desarrollo e implementación puede variar desde cientos de dólares a decenas de miles. La utilización de sensores acoplados permite reducir en un factor de diez o más los costos, debido a la reducción en los requerimientos funcionales del sistema de emisión y adquisición.

En la Figura 1 se presenta el diagrama en bloques del sistema. Se observa que el sistema de medición remoto se compone de un emisor y una cámara.

La cámara utiliza un sensor de carga acoplada como sensor de la luz entrante a través de la lente. La información colectada se traduce en una imagen y un sistema compuesto por un convertor analógico digital y un conjunto de compuertas lógicas programables es responsable de digitalizar la señal, controlar el sensor y realizar el procesamiento de datos. El dato procesado se envía a una aplicación en la computadora responsable de la recopilación y seguimiento de las mediciones. La continua adquisición de medidas en el tiempo construye un conjunto de imágenes dispuestas en un arreglo lineal de filas y columnas.

En el mercado existen dispositivos que permiten controlar y adquirir imágenes con un sensor de cargas acopladas, pero son insuficientes cuando se desea hacer procesamiento de los datos en tiempo real y en el mismo dispositivo donde se generan los datos.

El presente proyecto se destaca especialmente por incorporar un módulo de procesamiento embebido en la unidad de control que permite hacer operaciones estadísticas y reducir carga de procesamiento en la computadora. Este concepto se relaciona con la definición de *Edge Computing*, donde el procesamiento se realiza cerca del origen de los datos. Esta característica nueva se diferencia de otros dispositivos en el mercado que hacen sus análisis una vez que la señal se almacenó, sin cumplir con requerimientos de procesamiento en tiempo real.

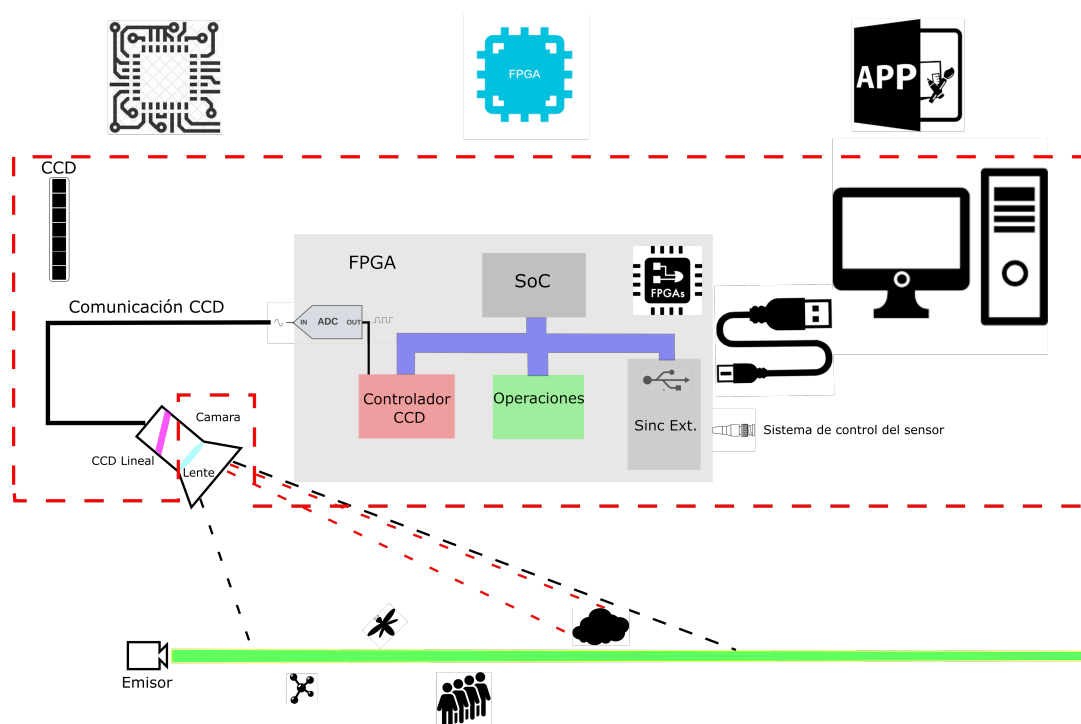


Figura 1. Diagrama en bloques del sistema. El área delimitada por la línea con guiones rojos representa el alcance de este proyecto

2. Identificación y análisis de los interesados

Rol	Nombre y Apellido	Organización	Puesto
Auspiciante	Mg. Ing. Rafael Oliva Beltran	L&R Ingeniería	Jefe
Cliente	Mg. Ing. Rafael Oliva Beltran	L&R Ingeniería	Jefe
Impulsor	Dra Sandra Casas	UNPA-UARG	Directora ITA
Responsable	Dr. Ing. Jacobo O. Salvador	CONICET	Alumno
Colaboradores	Esp. Ing Gonzalo Lavigna	FIUBA	Codirector
Orientador	Mg. Ing. Lucio Martínez Garbino	CNEA	Director Trabajo final
Equipo	Ing. Jonathan Quiroga Florencia Luna	UNPA-UARG	Investigador
Usuario final	Tec. Nahuel Diaz	CPA-CONICET	Técnico operador

3. Propósito del proyecto

El propósito de este proyecto es generar un diseño para control de un sensor de carga acoplada mediante la utilización de un arreglo de compuertas.

Se pretende lograr que el procesamiento intensivo de las señales se realice en el dispositivo de control a través de un sistema embebido que permita incrementar la integración y reducir la carga de procesamiento en la computadora.

Las aplicaciones de este tipo de sensor en conjunto con un sistema óptico pueden cubrir un amplio rango de aplicaciones en el campo del sensado remoto.

Un objetivo adicional es lograr que el sistema sea escalable a otros sensores de la familia que se utilice.

4. Alcance del proyecto

El presente proyecto incluye:

- Diseño y elaboración de una placa de montaje superficial para instalar el sensor de imagen.
- Integración del hardware de control embebido en una placa FPGA.
- Selección del sensor de imagen según requerimientos del cliente
- Desarrollo del software para captura de datos y almacenamiento de la información en una computadora.
- Documentación

El presente proyecto no incluye especificaciones mecánicas de movimiento y manipulación del dispositivo.

5. Supuestos del proyecto

Para el desarrollo del presente proyecto se supone que:

- Se contará con disponibilidad horaria
- Se contará con las herramientas de hardware y software desde el inicio del proyecto
- Se contará con el apoyo financiero durante todo el desarrollo
- Se contará con posibilidad de conseguir el sensor óptico y la placa FPGA

6. Requerimientos

1. Requerimientos diseño.

- 1.1. El sensor lineal se conecta en un PCB con componente superficiales.
- 1.2. La placa con el sensor se debe conectar con el sistema embebido por un cable flexible.

2. Requerimientos del sistema embebido

- 2.1. El sistema debe poder adquirir un mínimo de 50 líneas por segundo.
- 2.2. El controlador embebido genera las señales de control y datos hacia el sensor de imágenes.
- 2.3. Un SoC es el responsable del flujo de datos dentro de la FPGA y hacia la PC.
- 2.4. El sistema embebido debe calcular las métricas estadísticas: mediana, rango intercuartil, máximos y mínimos de los datos enviados por el sensor de imagen.
- 2.5. Tiempo mínimo de integración igual a 2 milisegundo.
- 2.6. El sistema debe enviar los datos calculados a un PC por USB.
3. Requerimientos de interfaz.
 - 3.1. Se debe poder configurar el tiempo de integración en milisegundos (mínimo 2 ms) desde una interfaz en PC.
 - 3.2. La interfaz debe mostrar la señales con sus métricas estadísticos en tiempo real.
4. Requerimientos de documentación.
 - 4.1. El proyecto se documenta con control de versiones.
5. Requerimiento de testing.
 - 5.1. Se debe aplicar un filtro para bloquear la luz en la mitad del sensor y el resto sea pasante. Con mediciones continuas se verifica resultado en la PC.
 - 5.2. Firmware se caracteriza por uso de testbench en Vivado-SDK combinado con herramienta ILA Debugging.

7. Historias de usuarios (*Product backlog*)

Las historias se evalúan mediante tres niveles bajo, medio y alto representado por una escala entera entre 1 y 5. El puntaje de la historia se estima como el valor mas cercano a la serie de Fibonacci de su suma.

- **Como:** cliente.
- **Quiero:** que la adquisición de imágenes tenga la posibilidad de realizar análisis de los datos en el sistema embebido
- **Para:** disminuir la carga de cálculo en la PC.
 - Dificultad: alta (5) porque los ejemplos son muy escasos y casi nada en el campo de las FPGA.
 - Complejidad: media (3) la complejidad es media, se puede simular facilmente en cualquier lenguaje.
 - Riesgo: media (5) es un proceso que nunca se hizo.
 - Story point: $5+3+5$: 13.
- **Como:** usuario final.
- **Quiero:** que el programa pueda correr en sistema operativo Windows 10 y Linux.

- **Para:** tener posibilidad de elegir el tipo de PC a utilizar.
 - Dificultad: baja (2) hay amplia cantidad de opciones.
 - Complejidad: media (3) la complejidad es media, muchos lenguajes de código abierto corren bajo Windows o Linux.
 - Riesgo: media (3) es un proceso que ya se realizó anteriormente.
 - Story point: $2+3+3$: 8.
- **Como:** Responsable.
- **Quiero:** Tener comunicación con mi equipo, orientador y colaborador.
- **Para:** comunicar los problemas que aparezcan.
 - Dificultad: baja (3) media se planea cada dos semanas tener comunicación.
 - Complejidad: baja (1) la complejidad es baja. Se realiza en forma virtual.
 - Riesgo: baja (1) es un proceso que ya se realizó muchas veces.
 - Story point: $3+1+1$: 5.

8. Entregables principales del proyecto

Los entregables del proyecto son:

- Manual de uso.
- Diagrama de circuitos esquemáticos.
- Código fuente del firmware y testbench.
- API del software para integrar con diferentes sensores.
- Informe final.

9. Desglose del trabajo en tareas

1. Preparación entorno de trabajo (50 hs).
 - 1.1. Búsqueda de bibliografía sobre sistemas similares (20 hs).
 - 1.2. Búsqueda de materiales (20 hs).
 - 1.3. Instalación herramientas de trabajo (10 hs).
2. Diseño placa sensor de imágenes y controlador (155 hs).
 - 2.1. Esquemático de circuitos para elaboración PCB con componentes de montaje superficial para sensor de imagen (25 hs).
 - 2.2. Selección de componentes (10 hs).

- 2.3. Ruteo de placa (35 hs).
- 2.4. Verificación de diseño por colaboradores (20 hs).
- 2.5. Diseño controlador en sistema embebido (40 hs).
- 2.6. Desempeño del controlador mediante banco de pruebas (20 hs).
- 2.7. Consulta con los supervisores del trabajo (5 hs).
3. Evaluación PCB módulos sensor de imágenes (65 hs)
 - 3.1. Interconexión del módulo sensor de imágenes con FPGA (20 hs).
 - 3.2. Evaluar comunicación entre sensor y FPGA (20 hs).
 - 3.3. Enviar datos prueba desde el sistema embebido a la PC (20 hs).
 - 3.4. Consulta con los supervisores del trabajo (5 hs).
4. Módulo de cálculo estadístico embebido y comunicación (145 hs).
 - 4.1. Estudiar una forma óptima y eficiente de implementar operaciones estadísticas (20 hs).
 - 4.2. Incorporar un SoC y controlar el flujo de datos entre bloques (40 hs).
 - 4.3. Implementar cálculo de valores estadístico en paralelo (20 hs).
 - 4.4. Integración de bloques (20 hs).
 - 4.5. Comunicación USB hacia la PC (40 hs).
 - 4.6. Consulta con los supervisores del trabajo (5 hs).
5. Interfaz (105 hs).
 - 5.1. Desarrollo de interfaz en Python para control del sensor y del sistema embebido (tiempo de integración, frecuencia de trabajo, visualización de señales) (40 hs).
 - 5.2. Documentación de código (20 hs).
 - 5.3. Integración de bloques (40 hs).
 - 5.4. Consulta con los supervisores del trabajo (5 hs).
6. Gestión (100 hs).
 - 6.1. Planificación del trabajo final (15 hs).
 - 6.2. Informes regulares de avances (10 hs).
 - 6.3. Confección de la memoria de trabajo (45 hs).
 - 6.4. Presentación y defensa del trabajo final (20 hs).
 - 6.5. Consulta con los supervisores del trabajo (10 hs).

Cantidad total de horas: (620 hs)

10. Diagrama de Activity On Node

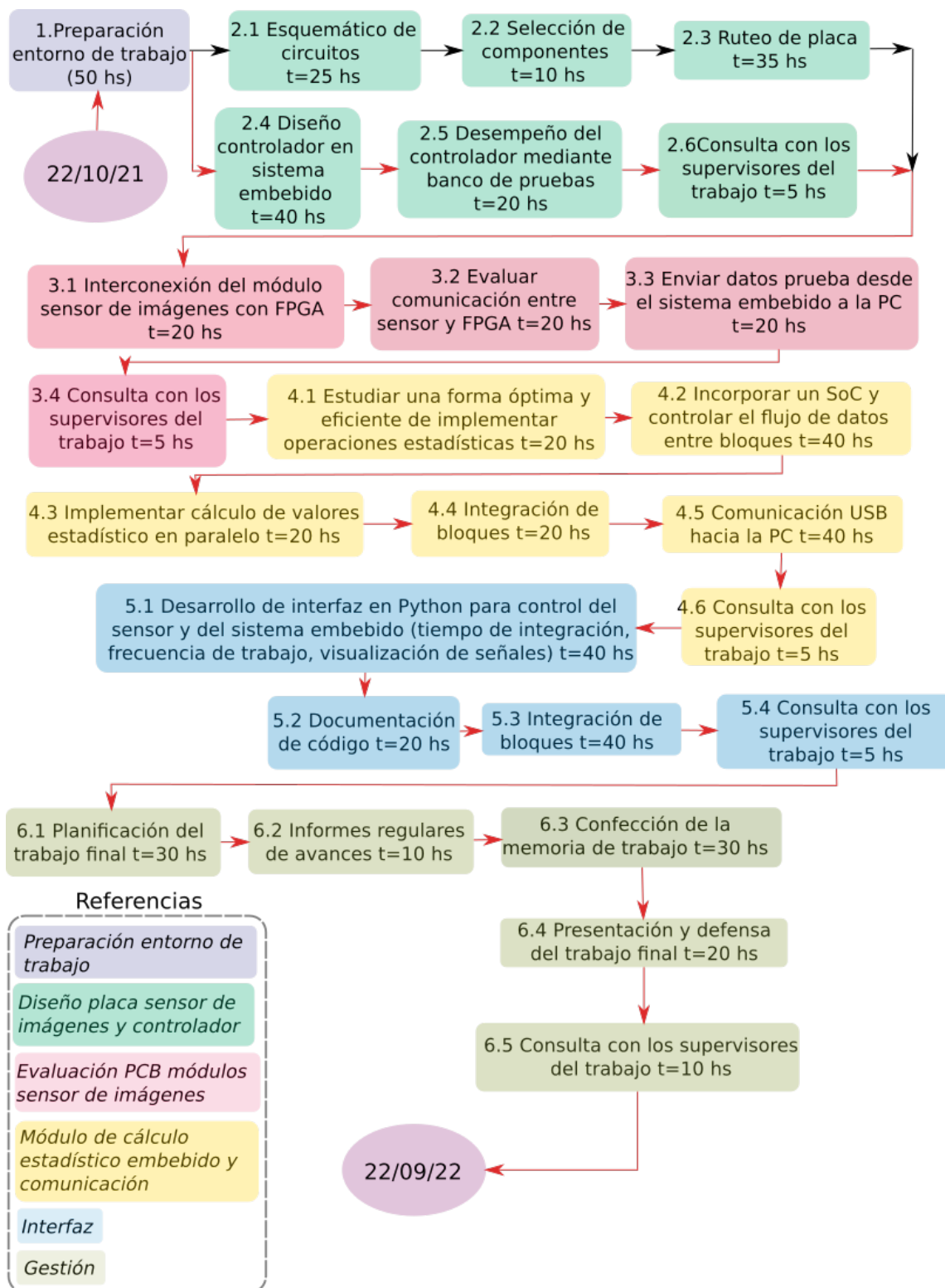


Figura 2. Diagrama en *Activity on Node*

11. Diagrama de Gantt

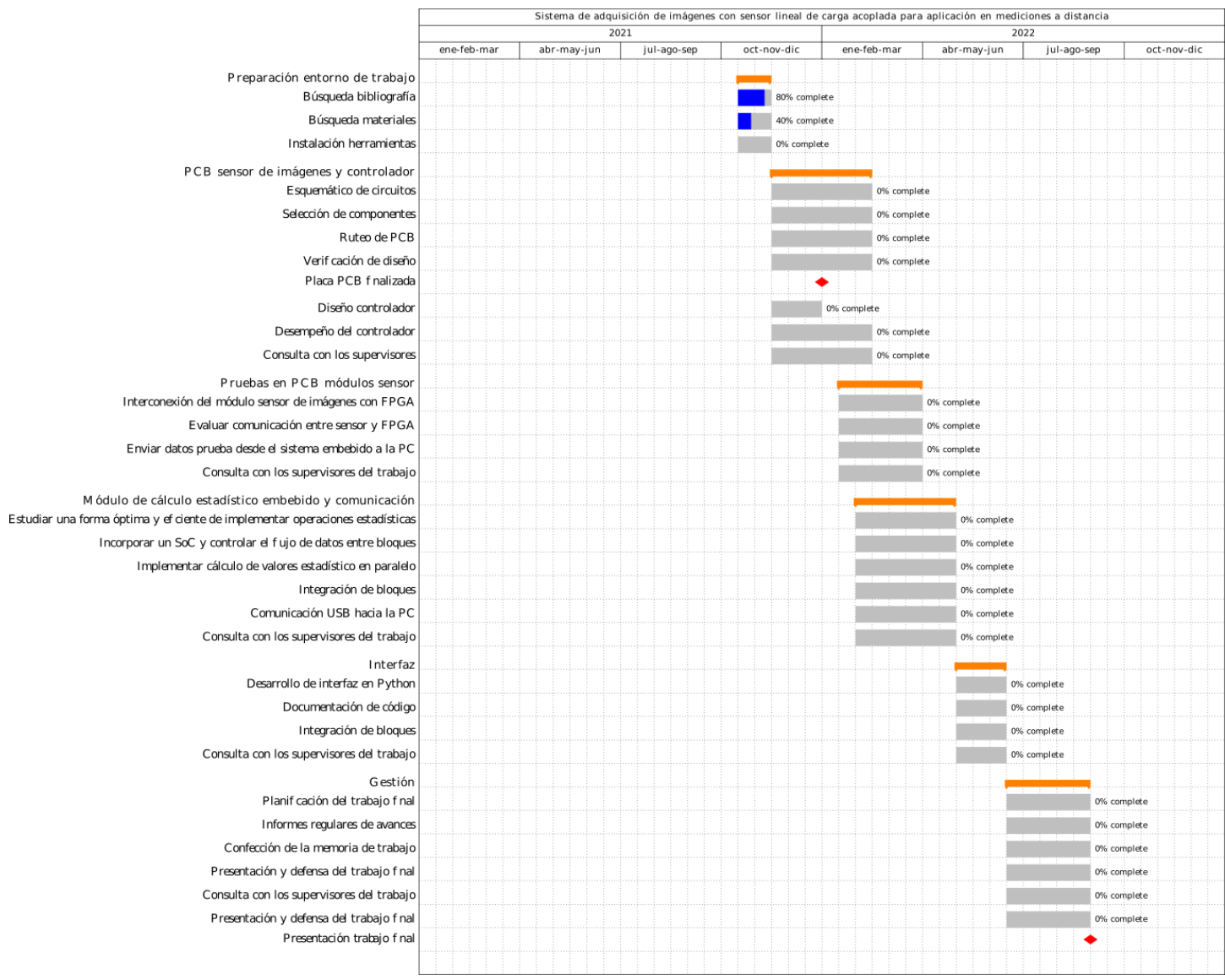


Figura 3. Ejemplo de diagrama de Gantt rotado

12. Presupuesto detallado del proyecto

COSTOS DIRECTOS			
Descripción	Cantidad	Valor unitario	Valor total
Sensor de imágenes	1	\$ 27000	\$ 27000
Placa de desarrollo FPGA	1	\$ 45000	\$ 45000
Elaboración PCB	1	\$ 10000	\$ 10000
Componentes	varios	\$ 20000	\$ 20000
SUBTOTAL			\$ 102000
COSTOS INDIRECTOS			
Descripción	Cantidad	Valor unitario	Valor total
Hora de ingeniería	620 hs	\$ 1500	\$ 930000
SUBTOTAL			\$ 930000
TOTAL			\$ 1.032.000

13. Gestión de riesgos

Riesgo 1: no conseguir el sensor de imágenes que cumpla con los requerimientos funcionales.

- Severidad (S): 8(ocho) la severidad es alta. Pocas alternativas comerciales cumplen con los requerimientos funcionales.
- Probabilidad de ocurrencia (O): 4(cuatro) la probabilidad es relativamente baja, ya se envió orden de compra del sensor.

Riesgo 2: no disponer de un kit de desarrollo de lógica programable.

- Severidad (S): 2(dos) la severidad es baja ya se dispone de kit para comenzar el trabajo.
- Probabilidad de ocurrencia (O): 5(cinco) la probabilidad es media. Existen al menos 4 proveedores confirmados con stock disponible de kit alternativos.

Riesgo 3: que el kit de desarrollo que se posee no cuente con los recursos de sintetizar el sistema general.

- Severidad (S): 7(siete) es alta. La gestión de compra y envío afecta la severidad.
- Ocurrencia (O): 5 (cinco) es media. El kit adecuado se descarta o selecciona con los resultados del programa de síntesis.

Riesgo 4: falta de tiempo para adquirir conocimientos para implementar todos los requerimientos.

- Severidad (S): 7(siete) es alta. Puede tener impacto en la calidad del proyecto final.

- Ocurrencia (O): 2 (baja) es baja se cuenta con colaboradores para consultar con experiencia.

Riesgo 5: no cumplir con los plazos establecidos. Se trabajará en base a la planificación prestando especial interés a la etapa 3 de metodologías y desarrollo.

- Severidad (S): 7 (siete) la severidad es media ya que es un prototipo de desarrollo, existe parcialmente bibliografía al respecto.
- Probabilidad de ocurrencia (O): 8 (ocho) es alta ya que el desarrollador responsable cuenta con experiencia parcial en desarrollo sobre dispositivos lógicos programables.

b) Tabla de gestión de riesgos: (El RPN se calcula como $RPN = S \times O$)

Riesgo	S	O	RPN	S*	O*	RPN*
No conseguir el sensor de imágenes que cumpla con los requerimientos funcionales.	8	4	32	8	4	32
No disponer de un kit de desarrollo de lógica programable.	2	5	10	2	5	10
El kit de desarrollo no cuente con los recursos de sintetizar el sistema general.	7	5	35	7	3	21
Falta de tiempo para adquirir conocimientos para implementar todos los requerimientos.	7	2	14	5	5	25
No cumplir con los plazos establecidos.	7	8	56	7	4	28

Criterio adoptado: Se tomarán medidas de mitigación en los riesgos cuyos números de RPN sean mayores a 34.

Nota: los valores marcados con (*) en la tabla corresponden luego de haber aplicado la mitigación.

c) Plan de mitigación de los riesgos que originalmente excedían el RPN máximo establecido:

Riesgo 3: Que el kit de desarrollo que se posee no cuente con los recursos de sintetizar el sistema general.

- Severidad (S): La severidad sigue siendo la misma.
- Probabilidad de ocurrencia (O): 3 (tres) La probabilidad de ocurrencia es baja. Se hacen consultas con colaboradores.

Riesgo 5: No cumplir con los requerimientos planteados. Plan de mitigación: Se irá verificando los requerimientos a medida que se vayan realizando las pruebas de verificación y control. Los requerimientos a satisfacer son requisitos de máxima.

- Severidad (S): 5 (cinco) la severidad sigue siendo la misma.
- Probabilidad de ocurrencia (O): 3 (tres) La probabilidad de ocurrencia baja los requerimientos se irán verificando en las etapas de pruebas.

Riesgo 5: No cumplir con los plazos establecidos.

- Mitigación: Considerando la fecha de inicio y finalización de la 5 Cohorte de MSE, se aprecia que durante los meses de enero y febrero del 2021 no se dictarán clases. Por este motivo, es posible incorporar mas horas de trabajo.
- Severidad: 10. No se realiza ninguna modificación sobre este factor respecto a lo que se ha propuesto originalmente.
- Probabilidad de ocurrencia (O): 4 (cuatro) Se irá verificando los tiempos según lo planificados y lo desarrollado para ir detectando posibles incrementos.

14. Gestión de la calidad

Req #1: El sensor lineal se conecta en un PCB con componente superficiales.

- Verificación: comprobar que los encapsulados que se utilicen en el diseño del PCB sean SMD.
- Validación: mostrarle vista 3D del PCB al cliente.

Req #2: La placa con el sensor se debe conectar con el sistema embebido por un cable flexible.

- Verificación: cable de largo 30 cm.
- Validación: fotografía del cable flex conectado entre el sensor y FPGA.

Req #3: El sistema debe poder adquirir un mínimo de 50 líneas por segundo.

- Verificación: especificación por medio de la hoja de datos del sensor.
- Validación: generación de archivos de datos con un tiempo de integración de 1/50 segundos. Se cuentan las imágenes almacenadas y que sean igual a 50.

Req #4: El controlador embebido genera las señales de control y datos hacia el sensor de imágenes.

- Verificación: comprobar que las señales enviadas son digitales.
- Validación: se valida por medio de testbench y simulaciones.

Req #5: Un SoC es el responsable del flujo de datos dentro de la FPGA y hacia la PC.

- Verificación: esquema descriptivos de cada bloque
- Validación: se valida por medio de testbench y simulaciones.

Req #6: El sistema embebido debe calcular las métricas estadísticas: mediana, rango intercuartil, máximos y mínimos de los datos enviados por el sensor de imagen.

- Verificación: algoritmo de simulación escrito en C.
- Validación: se valida por medio de testbench y simulaciones en VHDL.

Req #7: Tiempo mínimo de integración igual a 2 milisegundo.

- Verificación: tiempo de integración descrito por hoja de datos del sensor.
- Validación: generación de archivos de datos con tiempo de integración de 2 ms. En un segundo debe adquirir 500 imágenes.

Req #8: El sistema debe enviar los datos calculados a un PC por USB.

- Verificación: bloque descriptivo VHDL
- Validación: se valida por medio de testbench y simulaciones en VHDL.

Req #9: La interfaz debe mostrar la señales con sus métricas estadísticos en tiempo real.

- Verificación: pantalla en escala para cada señal.
- Validación: captura de pantalla con visualización en tiempo real de las señales.

Req #10: El proyecto se documenta con control de versiones.

- Verificación: utilización de herramienta Git.
- Validación: comentarios en GitHub.

Req #10: se debe aplicar un filtro para bloquear la luz en la mitad del sensor y el resto sea pasante. Con mediciones continuas se verifica resultado en la PC.

- Verificación: dejar bloqueada 50 % del sensor.
- Validación: las imágenes que se adquieren muestran el 50 % con valores nulos (bloque).

Req #11: Firmware se caracteriza por uso de testbench en Vivado-SDK combinado con herramienta ILA Debugging.

- Verificación: código con control de versiones.
- Validación: modelización y visualización de señales ModelSim/Vivado SDK con bloque ILA y VIO.

15. Procesos de cierre

- Pautas de trabajo que se seguirán para analizar si se respetó el Plan de Proyecto original. Jacobo Salvador se encargará de actualizar la tabla WBS, que se comparará con la versión original para determinar si se cumplió con la planificación.
- Identificación de las técnicas y procedimientos útiles e inútiles que se emplearon, y los problemas que surgieron y cómo se solucionaron.
Finalizado el proyecto se dejará documentado las diferentes técnicas y procedimientos que se utilizaron.
- Indicar quién organizará el acto de agradecimiento a todos los interesados, y en especial al equipo de trabajo y colaboradores.
Jacobo Salvador se encargará de confeccionar los agradecimientos de los interesados e instituciones participantes.