컴퓨터 공학 기초 실험2 보고서

실험제목: 2-to-1 MUX

실험일자: 2023년 09월 11일 (월)

제출일자: 2023년 09월 18일 (월)

학 과: 컴퓨터정보공학부

담당교수: 이준환 교수님

실습분반: 월요일 0, 1, 2

학 번: 2020202031

성 명: 김재현

1. 제목 및 목적

A. 제목

2-to-1 MUX

B. 목적

여러 입력 신호중 하나를 선택하여 출력하는 장치인 2 input MUX를 직접 verilog로 직접 구현 해봄으로써 지난 학기에 배운 배용을 복습함과 동시에 verilog에 대한 감각을 키울수 있도록 하는 것이 목적입니다.

2. 원리(배경지식)

진리표를 작성하면 카르노맵을 통해 적절한 수식을 도출할 수 있으며, 그 수식을 적절히 변경한다면 보다 적은 트랜지스터만으로 구성이 가능한 수식을 얻을 수 있습니다. 그리고 베릴로그를 통해 그 수식이 적절한 값을 출력하는지 확인할 수 있습니다.

3. 설계 세부사항

-입출력

변수명	방향
d0	input
d1	input
S	input
У	output

-진리표

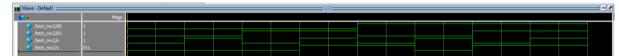
d0 d1 s	0	1
00	0	0
01	0	1
11	1	1
10	1	0

$$y = d0\bar{s} + d1s$$
$$y = \overline{d0\bar{s}} \ \overline{d1s}$$

4. 설계 검증 및 실험 결과

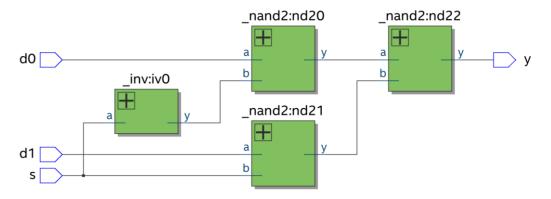
A. 시뮬레이션 결과

2 input mux의 경우 입력 값이 총 3개로, 전체 경우의 수를 따져봐도 그 개수가 8개밖에 되지 않기 때문에 d0, d1, s에 각각 0과 1을 대입하여 각각의 출력 값을 비교했습니다.



제 의도대로 s가 0일 때 y가 d0를 따라, s가 1일 때 y가 d1을 따라가는 것을 알 수 있습니다.

B. 합성(synthesis) 결과



 $y = \overline{d0s} \ \overline{d1s}$ 의 형식을 나타내고 있는 것을 확인할 수 있습니다.

Flow Summary	
< <filter>></filter>	
Flow Status	Successful - Mon Sep 18 14:13:43 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	2-to-1-MUX
Top-level Entity Name	mx2
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	1 / 41,910 (< 1 %)
Total registers	0
Total pins	4 / 499 (< 1 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0/9(0%)
Total HSSI PMA RX Deserializers	0/9(0%)
Total HSSI TX PCSs	0/9(0%)
Total HSSI PMA TX Serializers	0/9(0%)
Total PLLs	0 / 15 (0 %)
Total DLLs	0/4(0%)

5. 고찰 및 결론

A. 고찰

2 input mux를 모듈로 작성할 때, mx2 module(y, d0, d1, s); 와 같이 인자를 출력값 입력

값 순으로 했는데, 테스트벤치에서 mx2에 대한 인스턴스를 생성할 때 인자를 입력값 출력값 순으로 입력해서 오류가 났었습니다. 이러한 실수들을 줄이기 위해 포트들 사이의 연결을 직접 지정해주는 방법을 사용했습니다.

B. 결론

2 input MUX의 경우 카르노맵을 사용하면 and, or 게이트를 사용하는 수식이 도출되는데 이를 nand 게이트만을 사용하도록 수식을 적절히 변경해도 문제가 없음을 베릴로그로 직접 코딩하여 테스트벤치를 실행해봄으로써 다시 한 번 확인 할 수 있었습니다.

6. 참고문헌

이준환/디지털논리회로2/광운대학교(컴퓨터정보공학부)/2023