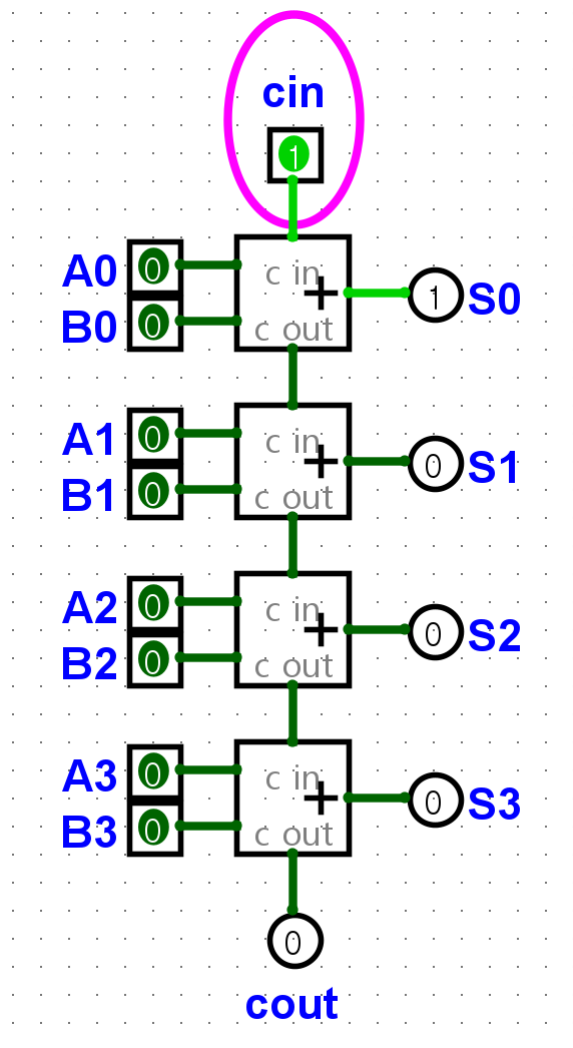


컴퓨터구조

#Verilog_1

2020202031

김재현



a = 4'b0000, b = 4'b0000, c_in = 1'b1 일 때,

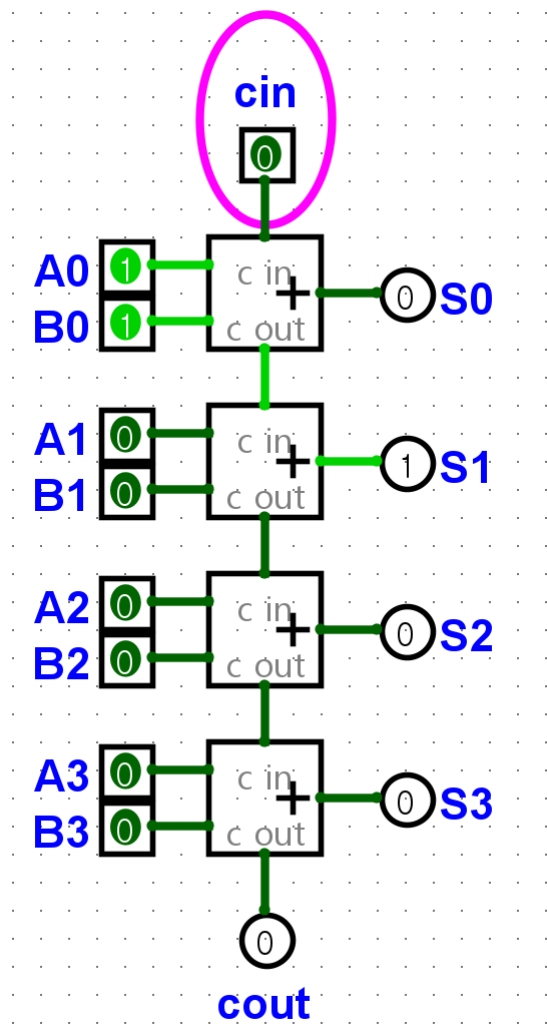
s = 4'b0001, c_out = 1'b0 이 출력됩니다.

첫 번째 FA에서 cin만 존재하기에 s0은 1이 됩니다.

두 번째 FA에서 a1, b1 carry가 전부 0이므로 s1가 0이 됩니다.

세 번째 FA에서 a2, b2 carry가 전부 0이므로 s2가 0이 됩니다.

네 번째 FA에서 a3, b3 carry가 전부 0이므로 s3가 0이 되고, cout도 0이 됩니다.



$a = 4'b0001$, $b = 4'b0001$, $c_{in} = 1'b0$ 일 때,

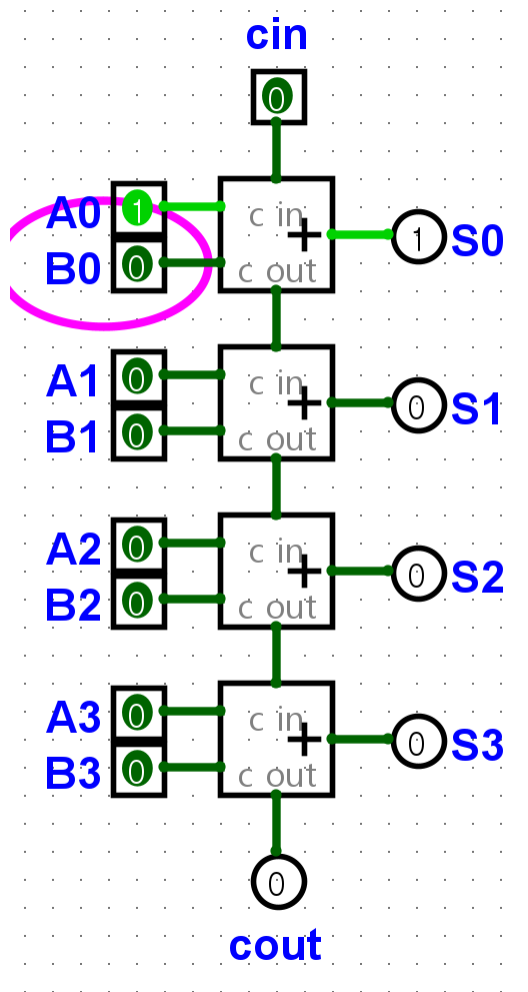
$s = 4'b0010$, $c_{out} = 1'b0$ 이 출력됩니다.

첫 번째 FA에서 a_0 , b_0 이 더해져 s_0 은 0이 되고 carry가 발생하여 두 번째 FA로 전달됩니다.

두 번째 FA에서 carry만 존재하기에 s_1 가 1이 됩니다.

세 번째 FA에서 a_2 , b_2 carry가 전부 0이므로 s_2 가 0이 됩니다.

네 번째 FA에서 a_3 , b_3 carry가 전부 0이므로 s_3 가 0이 되고 c_{out} 이 0이 됩니다.



a = 4'b0001, b = 4'b0000, c_in = 1'b0 일 때,

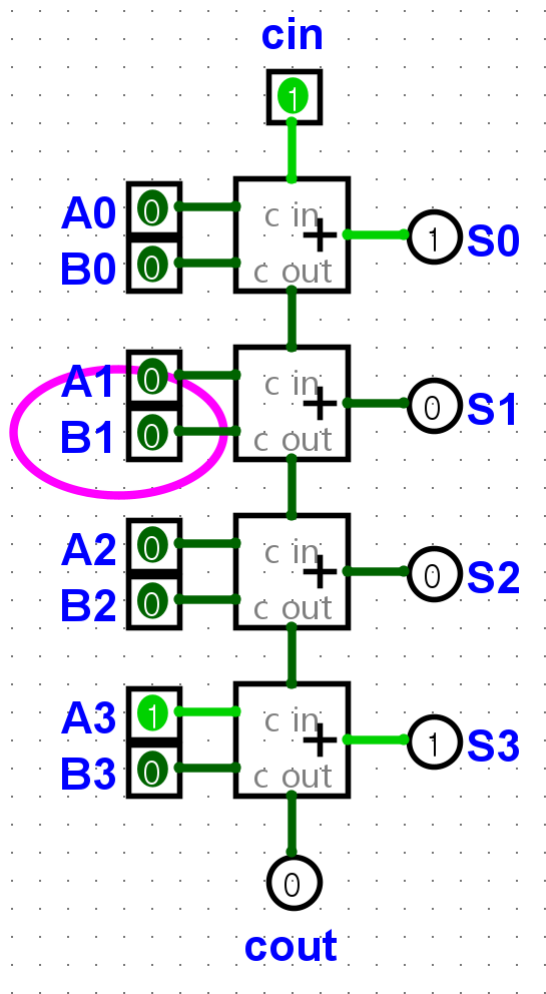
s = 4'b0001, c_out = 1'b0 이 출력됩니다.

첫 번째 FA에서 a0만 존재하므로 s0은 1이 됩니다.

두 번째 FA에서 a1, b1, carry가 전부 0이므로 s1가 0이 됩니다.

세 번째 FA에서 a2, b2 carry가 전부 0이므로 s2가 0이 됩니다.

네 번째 FA에서 a3, b3 carry가 전부 0이므로 s3가 0이 되고 cout이 0이 됩니다.



$a = 4'b1000$, $b = 4'b0000$, $c_{in} = 1'b1$ 일 때,

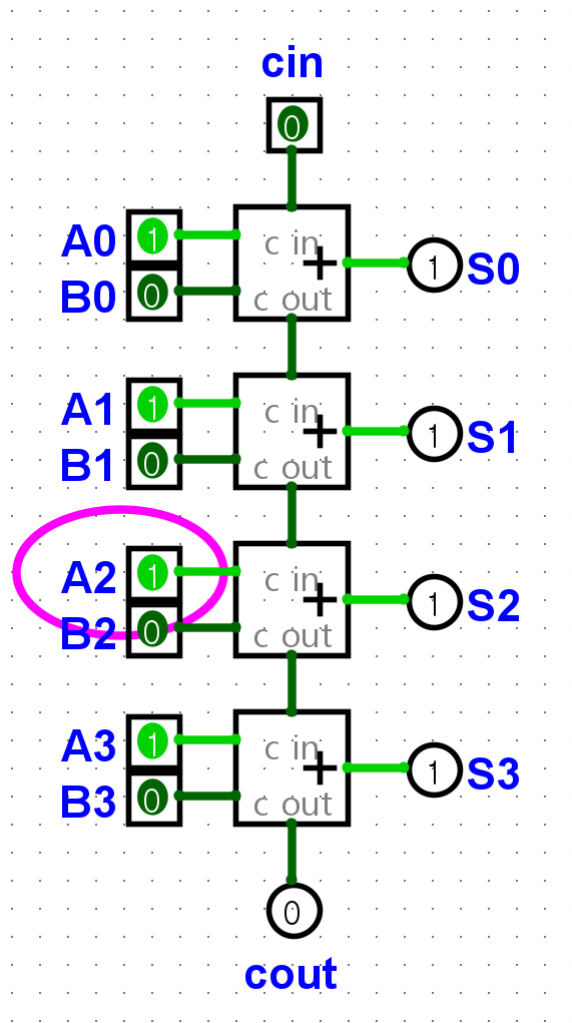
$s = 4'b1001$, $c_{out} = 1'b0$ 이 출력됩니다.

첫 번째 FA에서 c_{in} 만 존재하기에 s_0 은 1이 됩니다.

두 번째 FA에서 a_1, b_1 carry가 전부 0이므로 s_1 가 0이 됩니다.

세 번째 FA에서 a_2, b_2 carry가 전부 0이므로 s_2 가 0이 됩니다.

네 번째 FA에서 a_3 만 존재하기에, s_3 가 1이 되고 c_{out} 이 0이 됩니다.



$a = 4'b1111$, $b = 4'b0000$, $c_{in} = 1'b0$ 일 때,

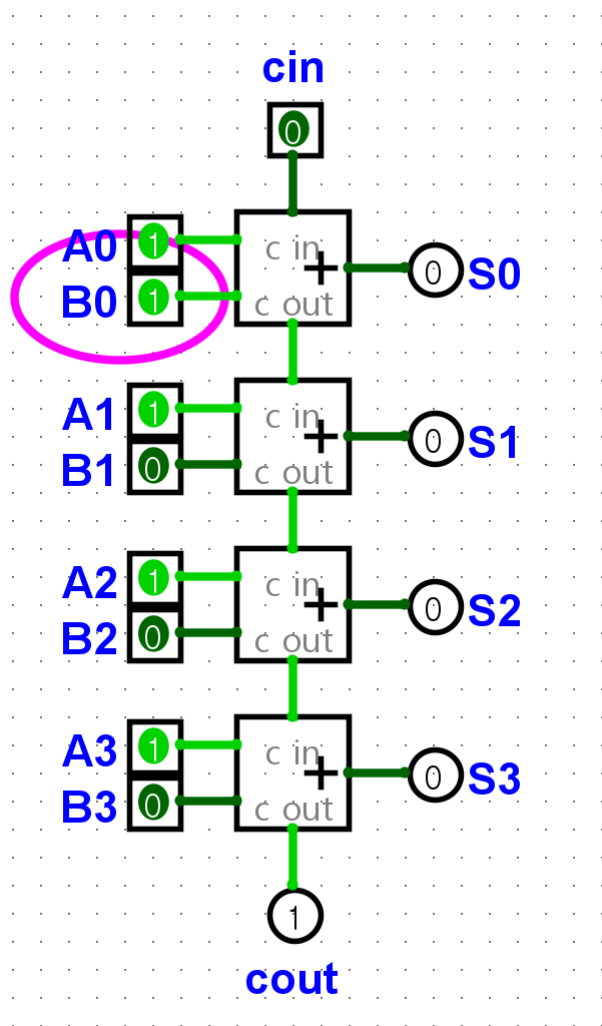
$s = 4'b1111$, $c_{out} = 1'b0$ 이 출력됩니다.

첫 번째 FA에서 a_0 만 존재하기에 s_0 은 1이 됩니다.

두 번째 FA에서 a_1 만 존재하기에 s_1 가 1이 됩니다.

세 번째 FA에서 a_2 만 존재하기에 s_2 가 1이 됩니다.

네 번째 FA에서 a_3 만 존재하기에 s_3 가 1이 되고 c_{out} 이 0이 됩니다.



a = 4'b1111, b = 4'b0001, c_{in} = 1'b0 일 때,

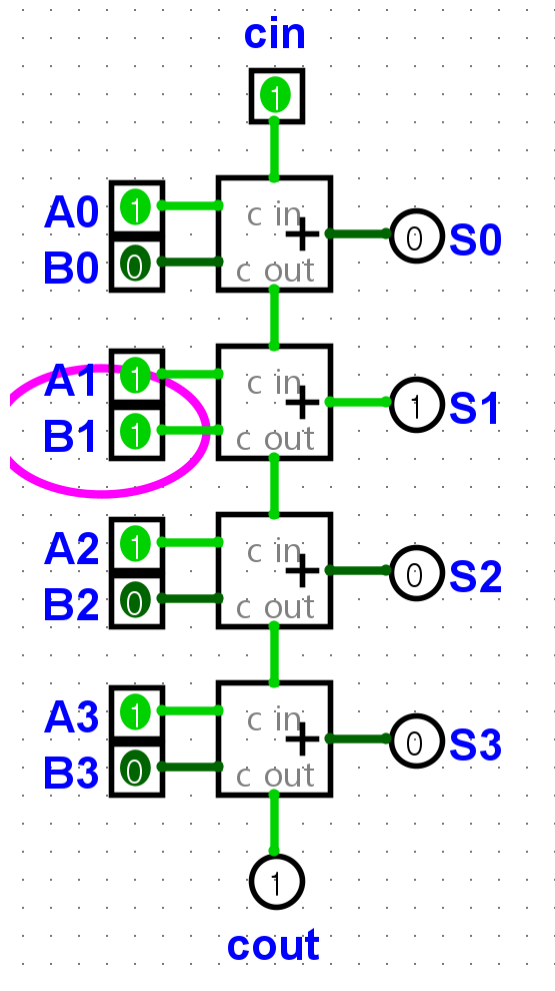
s = 4'b0000, c_{out} = 1'b1 이 출력됩니다.

첫 번째 FA에서 a0, a1이 더해져, s0가 0이 되고 carry가 두 번째 FA로 전달됩니다.

두 번째 FA에서 a1, carry가 더해져, s1이 0이 되고, carry가 세 번째 FA로 전달됩니다.

세 번째 FA에서 a2, carry가 더해져, s2이 0이 되고, carry가 세 번째 FA로 전달됩니다.

네 번째 FA에서 a3, carry가 더해져, s3이 0이 되고, cout이 1이 됩니다.



a = 4'b1111, b = 4'b0010, c_{in} = 1'b1 일 때,

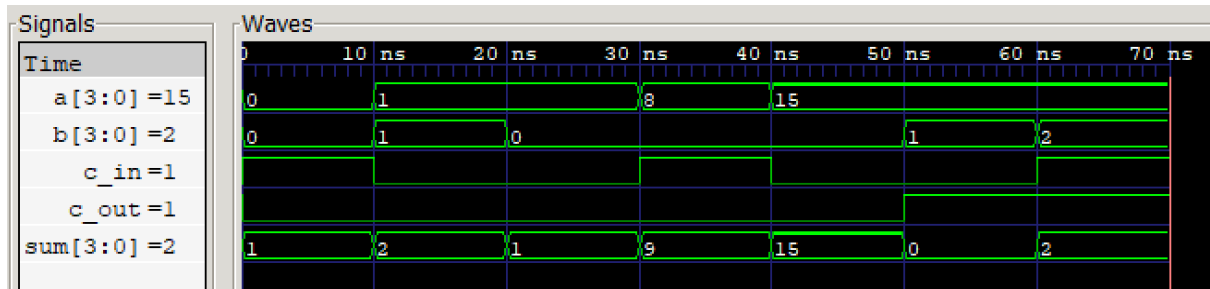
s = 4'b0010, c_{out} = 1'b1 이 출력됩니다.

첫 번째 FA에서 a₀, c_{in}이 더해져 s₀은 0이 되고, carry가 발생합니다.

두 번째 FA에서 a₁, b₁, carry가 더해져 s₁가 1이 되고, carry가 발생합니다.

세 번째 FA에서 a₂, carry가 더해져 s₂가 0이 되고, carry가 발생합니다.

네 번째 FA에서 a₃, carry가 더해져 s₃가 0이 되고, cout이 1이 됩니다.



Logisim-evolution에 입력을 넣은 동작 결과와 Icarus Verilog gtkwave 파형을 비교한 결과 값이 같게 나오는 것을 확인할 수 있습니다.