

Computer Architecture – Verilog #1

Ripple Carry Adder

1. Introduction

We learned about Full Adder and had time to design. Next step, let's design the Ripple Carry Adder. 4-bit Ripple Carry Adder can be designed with four 1-bit Full Adder.

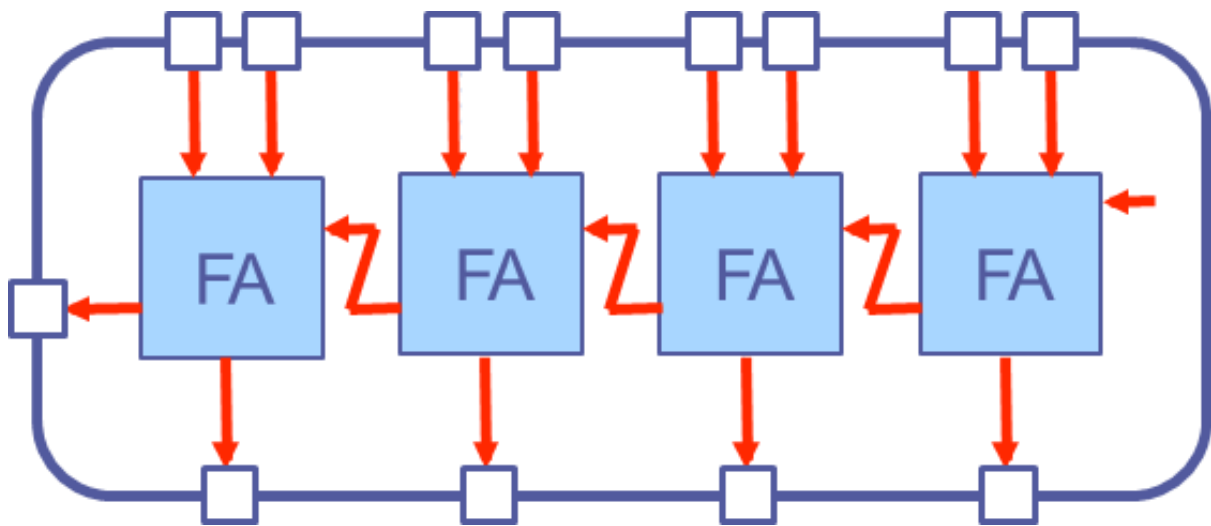


Figure 1 – 4-bit Ripple Carry Adder

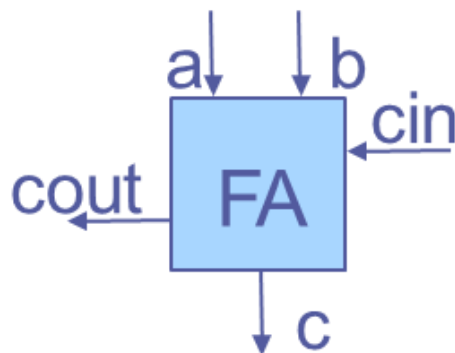


Figure 2 – 1-bit Full Adder

2. Assignment

Design 4-bit Ripple Carry Adder using 1-bit Full Adder. Check the operation of the circuit through **Logisim-evolution** and write a **Verilog** code based on it.

3. 결과 report (표지 필수)

- Logisim-evolution을 이용하여 입력을 넣어보며 동작 결과를 확인하고 동작 결과가 왜 그렇게 나오는지 설명할 것
- 코드를 작성한 후, Icarus Verilog로 컴파일 후에 gtkwave로 파형을 확인하며 Logisim-evolution과 결과가 같게 나오는지 비교해볼 것 (test bench는 제공 예정)

4. 결과 Report Submission

- Due date: 3월 20일 23:59 까지 (딜레이 받지 않음)
- 결과 Report(pdf)와 Logisim-evolution 파일, 작성한 Verilog 코드를 압축하여 KLAS에 업로드
- 압축 파일명 양식: 학번_이름_Verilog_1.zip