

EXAMEN 2014 ESTRUCTURA DE COMPUTADORES

PREGUNTA 1.A (2 ptos): Formato IEEE 745 de 7 bits con 3 bits para el exponente y 3 bits para la mantisa.

1. Decir el rango (en decimal) de números normalizados tanto positivos como negativos. (0,4 ptos)
2. ¿Cuántos números normalizados se pueden representar? (0,4 ptos)
3. En este formato a la hora de realizar operaciones hay bits de guarda y se hace redondeo al más próximo cuando es necesario. También se dispone de números de normalizados. Calcular las siguientes operaciones siguiendo estos pasos:
 - a. Expresar en coma flotante los valores.
 - b. Realizar las operaciones en binario.
 - c. Expresar en IEEE 754.
 - d. Calcular el error relativo:

$$r(\%) = \frac{A - A'}{A} \cdot 100$$

6 + 1,25 (0,6 ptos)

0,4375 x 0,25 (0,6 ptos)

PREGUNTA 1.B: Implementar un DECOD 2 a 4 utilizando multiplexores 1 a 4 y algunas puertas si se necesitan.

PREGUNTA 2: Diseñar un circuito que tenga como entrada un número de tres bits A(msb), B, C en complemento a 2 y que en su salida genera su cuadrado en complemento a 2. Implementar el circuito con puertas lógicas, el menor número de puertas posible.

PREGUNTA 2.B: Diseñar un contador binario de 3 bits con una entrada P/I (par/impar) y la entrada del clock. Cuando la entrada P/I=1 se efectúa una cuenta ascendente de números pares y cuando P/I=0 se efectúa la cuenta ascendente de números impares. Cuando llegue al máximo de estos números continúa desde el mínimo.

Ejemplo impares: 1, 3, 5, 7, 1, 3,...

Ejemplo pares: 0, 2, 4, 6, 0, 2,...

Cuando el valor de P/I cambie, el contador cambia la secuencia continuando con el valor inmediatamente mayor (1, 3, 4, 6, 0, 2, 4, 5, 7, 1,...). Implementar el circuito como autómata de Moore y utilizando biestables J-K.

PREGUNTA 3.A (1,5 ptos): Preguntas tipo test. Pregunta correcta suma 0,15 ptos y pregunta incorrecta resta 0,15 ptos.

- a) Con un bit, se puede representar desde el -127 al 128 en signo magnitud. (V/F)
- b) IEEE 754 define cuatro formatos de distintas longitudes. (V/F)

- c) El resultado de una puerta XOR de una serie de variables es 0 si y solo si hay un número impar de unos entre las variables. (V/F)
- d) En método de simplificación por mapas de Karnaugh si se rodean todas las casillas se simplifica la función a 0. (V/F)
- e) En coma flotante, la longitud del exponente determina la precisión y la longitud de la mantisa determina el rango de números representables. (V/F)
- f) En suma de enteros sin signo no existe el desbordamiento. (V/F)
- g) Para ampliar la longitud de un número en complemento a 2 hay que añadir las posiciones de bits extra a la izquierda y llenar con el bit de signo, tanto en números positivos como en negativos. (V/F)
- h) Para una memoria de 1 Kbyte con módulos de 256 bytes previstos de entrada de habitación se necesita un multiplexor. (V/F)
- i) Para expresar una función booleana como producto de sumas a partir de una tabla de verdad hay que incluir un factor por cada combinación de variables de entrada que produce un cero en la salida. (V/F)
- j) Un único tipo de puertas o es suficiente para poder implementar cualquier función, hacen falta a menos dos tipos de puertas. (V/F)

PREGUNTA 3.B (2,75 ptos): Se desea diseñar un circuito digital que transforma números binarios enteros de 4 bits presentados en complemento a 2 aun formato de coma flotante como el descrito por la norma IEEE 754 pero con menos bits de mantisa y de exponente. El circuito deberá tener cuatro entradas para recibir en paralelo los cuatro bits del número en C-2 y n salidas para generar, también en paralelo, los n bits del número en coma flotante. Resolver los siguientes apartados:

1. ¿Cuáles son los números menor y mayor que pueden representarse en C-2 con 4 bits? (0,05 ptos)
2. Deducir el mínimo número de bits necesarios tanto para la mantisa (excluido el bit implícito) como para el exponente que permiten representar números deducidos en el apartado anterior en un formato de coma flotante con N bits descrito por la norma IEEE 754 pero con menores longitudes de mantisa y exponente. (0,6 ptos)
3. Expresar en el formato de coma flotante deducido en el apartado anterior todos los número que puede recibir en u entrada el circuito a diseñar, es decir, todos los números enteros que se pueden expresar con 4 bits en C-2. (0,5 ptos)
4. Desarrollar la tabla de verdad que define el funcionamiento del circuito deseado. Deberá tener 4 entradas A (msb)-B-C-D para el número en C-2 y n salidas para el número en coma flotante que habrán de nombrarse del siguiente modo:
 - a. S: signo
 - b. ...-E1-E0(lsb): exponente
 - c. ...-M1-M0(lsb): mantisa

(0,25 ptos)

5. Obtener las expresiones simplificadas de todas las Sali utilizando puertas XOR cuando sea posible. (1,1 ptos)
6. Dibujar con claridad y limpieza el circuito diseñado señalizando adecuadamente todas las entradas y salidas. (0,25 ptos)