

Implementación HW/SW de Arquitecturas de Clasificación de Paquetes en Lógica Reconfigurable

Luis Roberto Romano, Jairo Nicolás Trad

Universidad Nacional de Córdoba

Índice general

1. Introducción y Motivación	1
2. Sistema	2
3. Arquitectura	3
4. Implementacion	4
5. Resultados	5
5.1. Configuración del Hardware	5
6. Conclusiones	8
Bibliografía	9
Apendices	10

Índice de figuras

Índice de cuadros

Capítulo 1

Introducción

Capítulo 2

Sistema

Capítulo 3

Arquitectura

Capítulo 4

Implementación

Capítulo 5

Resultados

En este capítulo se presentan los resultados obtenidos de la ejecución del proyecto bajo ciertas condiciones representativas, con la intención de validar la funcionalidad y también de encontrar los puntos fuertes y las falencias del mismo.

5.1. Configuración del Hardware

Feature	Description
FPGA	<ul style="list-style-type: none">▪ Cyclone II EP2C35F672C6 with EPCS16 16-Mbit serial configuration device.

I/O Interfaces	<ul style="list-style-type: none">▪ Built-in USB-Blaster for FPGA configuration▪ Line In/Out, Microphone In (24-bit Audio CODEC)▪ Video Out (VGA 10-bit DAC)▪ Video In (NTSC/PAL/Multi-format)▪ RS232▪ Infrared port▪ PS/2 mouse or keyboard port▪ 10/100 Ethernet▪ USB 2.0 (type A and type B)▪ Expansion headers (two 40-pin headers)
Memory	<ul style="list-style-type: none">▪ 8 MB SDRAM, 512 KB SRAM, 4 MB Flash▪ SD memory card slot
Displays	<ul style="list-style-type: none">▪ Eight 7-segment displays▪ 16 x 2 LCD display
Switches and LEDs	<ul style="list-style-type: none">▪ 18 toggle switches▪ 18 red LEDs▪ 9 green LEDs▪ Four debounced pushbutton switches

Clocks	<ul style="list-style-type: none">■ 50 MHz clock■ 27 MHz clock■ External SMA clock input
--------	--

Capítulo 6

Conclusiones

Bibliografía

Apendices