

Programowanie układów FPGA

Marek Materzok

lista zadań nr 3
na zajęcia 3 listopada 2025

W poniższych zadaniach należy utworzyć projekty syntezowane na DE1-SoC. Można wykorzystać język Verilog, SystemVerilog lub Amaranth.

Testbench dla każdego z zadań należy zaimplementować przy pomocy Verilatora (używając C++ lub Veriloga/SystemVeriloga) albo symulatora języka Amaranth. Podziel projekt tak, aby główny moduł implementujący rozwiązanie był niezależny od interfejsu zewnętrznego (synchronizatorów, dekodów wyświetlaczy 7-segmentowych...), a połączenie tego modułu z elementami płytki deweloperskiej odbywało się w osobnym module toplevelowym, zawierającym jedną instancję modułu głównego.

1. Zaimplementuj układ kalkulatora dodającego lub odejmującego 6-cyfrowe liczby dziesiętne zapisywane w formacie BCD. Interfejs użytkownika powinien być analogiczny do prostego ręcznego kalkulatora.¹ Proponowane użycie wejść/wyjść:
 - Wyświetlacze HEX0 do HEX5 pokazują obecnie wpisywaną liczbę lub wynik obliczeń (gdy zostanie zażądany).
 - Przełączniki SW[0:3] wprowadzają cyfrę dziesiętną w formacie BCD (wartości spoza zakresu powinny być ignorowane).
 - Przycisk KEY[0] wprowadza cyfrę do kalkulatora. Jeśli wyświetlany jest wynik, wprowadzenie cyfry rozpoczyna wprowadzanie nowego argumentu, w przeciwnym wypadku do argumentu dopisywana jest kolejna młodsza cyfra dziesiętna. Odpowiednik przycisków cyfr dziesiętnych 0-9.
 - Przycisk KEY[1] wprowadza operację do wykonania, w zależności od stanu przełącznika SW[4] powinno to być dodawanie lub odejmowanie. Wciśnięcie tego przycisku powinno wykonać poprzednio wprowadzoną operację (jeśli taka istniała) z bieżącym argumentem, wyświetlić jej wynik, oraz zapamiętać jaka jest kolejna operacja do wykonania. Odpowiednik przycisków + i −.
 - Przycisk KEY[2] oblicza wartość końcową poprzez wykonanie ostatnio wprowadzonej operacji z bieżącym argumentem i wyświetla jej wynik. Odpowiednik przycisku =.
 - Przełącznik SW[9] steruje resetem układu.

Implementacja powinna wykonywać wszystkie operacje w pojedynczym cyklu zegara. Częścią implementacji powinien być pojedynczy układ dodająco-odejmujący sześć cyfr BCD, złożony z sześciu jednocyfrowych sumatorów BCD i dodatkowych elementów.

2. Rozbuduj układ kalkulatora o operację mnożenia implementowaną przez wielokrotne dodawanie. Przez okres wykonywania mnożenia układ powinien ignorować naciśnięcia przycisków. Dodawanie w trakcie mnożenia powinno być realizowane tym samym układem sześciocyfrowego sumatora BCD, który odpowiada za zwykłe dodawanie. Aby móc wprowadzić jedną z trzech dostępnych teraz operacji, wybór będzie odbywać się przy pomocy dwóch przełączników SW[5:4].
3. Zaimplementuj kalkulator analogiczny do tego z poprzedniego zadania, ale zaimplementuj operację mnożenia metodą „słupkową”. Układ powinien zawierać sześć multiplikatorów BCD, a cała operacja mnożenia dwóch sześciocyfrowych liczb powinna zajmować co najwyżej kilkanaście cykli.

¹Przykład: <https://www.calculatorsoup.com/calculators/math/basic.php>