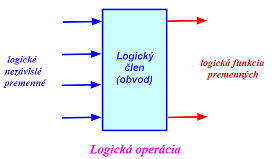
**Logické obvody**

Skutočným základom prakticky všetkých číslicových zariadení, riadiacich jednotiek, programovateľných automatov je tzv. binárna čiže dvojková logika založená na dvojkovej číselnej sústave. To je preto, lebo je univerzálne použiteľná v elektronických obvodoch   
a druhým dôvodom je možnosť efektívne realizovať fyzikálne logické obvody prostredníctvom integrovaných obvodov.

**Logický obvod** (člen) je taký systém, ktorého vstupné a výstupné veličiny nadobúdajú len dve hodnoty. Pracujú preto s dvojhodnotovým signálom: logická nula (0) a logická jednotka (1).



Obrázok 1 Logický obvod

**Booleova algebra:** V polovici 19. storočia vypracoval írsky matematik George Boole matematickú logiku, ako aplikáciu matematiky v oblasti logiky. Nazýva sa algebra logiky alebo Booleova algebra. Je to súhrn pravidiel a zákonov, ktoré umožňujú pracovať s logickými výrokmi ako s logickými premennými a funkciami a to formou algebrických operácií. Umožňuje návrh a sledovanie činnosti logických obvodov. Boolova algebra nie je algebrou čísiel, s akou sa stretávame v matematike, ale je to algebra stavov. Preto je aj inak definovaná takže v nej nenachádzame operácie odčítania a delenia (neexistujú tam). Uvedené tri základné logické funkcie môžeme rozšíriť na ľubovoľný počet vstupných premenných a to v priamom ale aj inverznom tvare. Kombináciou takých funkcií potom vznikajú všeobecné logické rovnice pre n premenných.

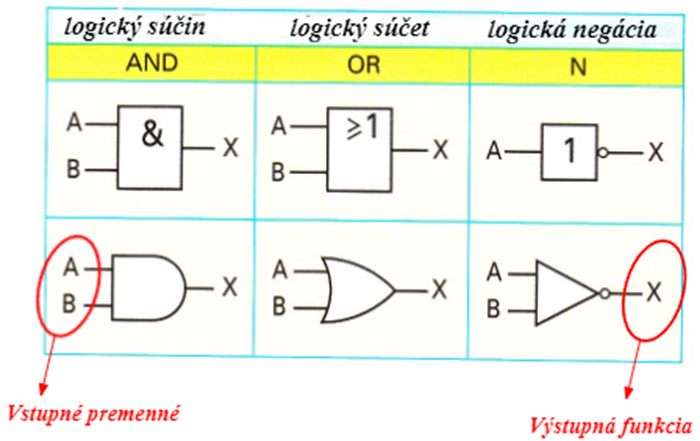
**Logická funkcia:** K vyjadreniu ľubovoľnej logickej funkcie sa v Booleovej algebre používajú len tri základné funkcie:

1. Logický súčet (konjunkcia)
2. Logický súčin (disjunkcia)
3. Logická negácia (negácia)

Týmito základnými funkciami môžeme vyjadriť ľubovoľnú logickú operáciu. Logické premenné a logické funkcie aj konštanty nadobúdajú v Booleovej algebre len dve hodnoty takže táto algebra počíta v dvojkovej sústave.

**Kombinačné logické obvody** riešia také funkcie, pri ktorých je výstupná premenná vždy výlučne obrazom okamžitých hodnôt vstupných premenných. Čas nemá na určenie funkcie žiadny vplyv. Kombinačná logika a odpovedajúce logické členy sú skutočným základom číslicovej techniky. Ich samotné využitie je však značne obmedzené. Každá prebiehajúca činnosť (proces) sa v skutočnosti skladá z postupnosti čiže sekvencie jednotlivých dielčich elementárnych činností. Kombinačný obvod môže vykonávať práve len túto elementárnu činnosť.

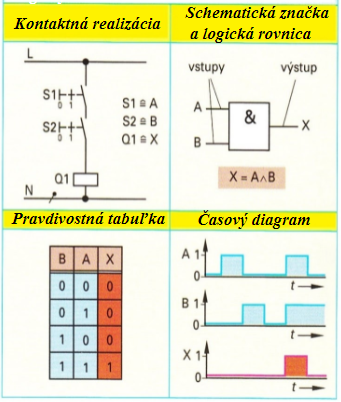
**Sekvenčné logické obvody** sa vyznačujú tým, že ich výstup je určený nielen kombináciou vstupných premenných, ale aj hodnotami predchádzajúceho stavu logického obvodu. Z toho vyplýva, že sekvenčný logický obvod má pamäť (sú časovo závislé). Ich funkcia v sekvenčnej sieti je ale úplne odlišná. Obvodová štruktúra musí byť riešená tak, aby sa uplatnil časový rozmer, preto a musia používať pamäťové prvky, ktoré si určitým spôsobom pamätajú predošlí-minulý stav obvodu. Vhodnou vzájomnou súčinnosťou kombinačnej a sekvenčnej logiky môžeme vytvoriť technické prostriedky, ktoré realizáciu takého procesu umožňujú.



Obrázok 2 Používané grafické značky

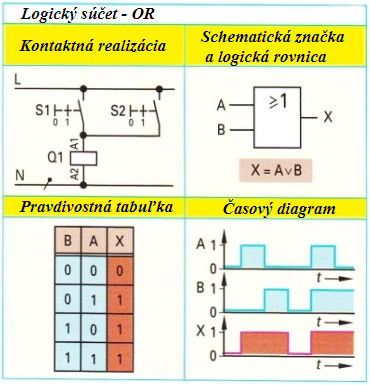
**Logický súčin – AND:** K určeniu jedného výstupného stavu môže byť rozhodujúci logický stav dvoch alebo viacerých vstupných premenných. Vzájomný vzťah vstupov a výstupov log. obvodu popisuje pravdivostná tabuľka. Vstupné premenné označujeme obvykle písmenami abecedy, výstupy písmenami X alebo Y . Časový diagram vyjadruje grafickú závislosť výstupu na kombinácii vstupov. Logický člen AND má na výstupe log. 1 vtedy a len vtedy, keď majú obe vstupné premenné hodnotu log. 1.

Vyjadrenie pre logický súčin – AND: X = A \* B   
A a B sú vstupné logické premenné,   
X je výstupná funkcia.



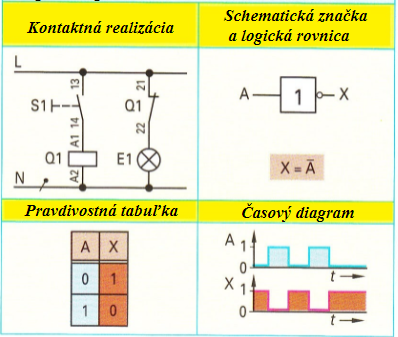
*Obrázok 3 Logický súčin – AND*

**Logický súčet – OR:** Logický člen OR má na výstupe log.1 vtedy a len vtedy, keď má úroveň log.1 aspoň jedna zo vstupných premenných. Vyjadrenie pre logický súčet – OR: X = A + B



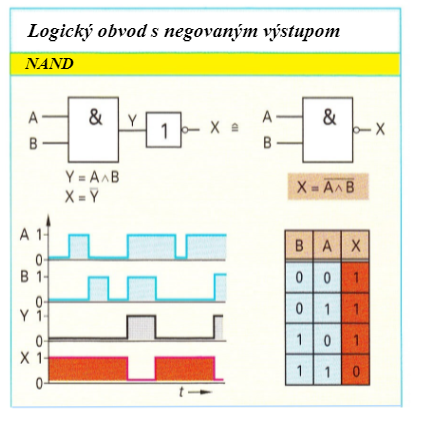
*Obrázok 4 Logický súčet – OR*

**Logická negácia – NOT:** Výsledok logickej operácie NOT má hodnotu 1, keď má negovaný operand hodnotu 0. Negácia invertuje vstupný operand. Logická operácia negácie sa označuje vodorovnou čiarou nad negovanou premennou: . Negáciu je možné realizovať jedine určitou aktívnou elektronickou súčiastkou napr. tranzistorom. Logický člen NOT (invertor) má na výstupe logickú invertovanú hodnotu logickej vstupnej hodnoty.



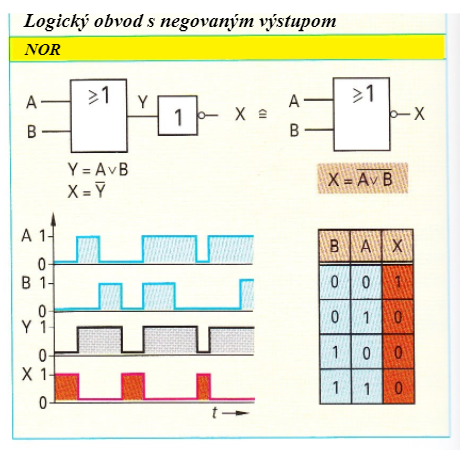
*Obrázok 5 Logická negácia – NOT*

**Negovaný logický súčin – NAND:** Negácia logického súčinu je logická funkcia v tvare . Táto funkcia vznikne negáciou funkcie AND, (Sheferová funkcia). Príslušný log. obvod vytvoríme sériovým zapojením členov AND a NOT. Obvod možno realizovať zapojením dvoch kontaktov (AND), ale výstup je ku kontaktom zapojený paralelne. Výstupná funkcia je rovná 0 vtedy a len vtedy, keď sú oba vstupy rovné 1.

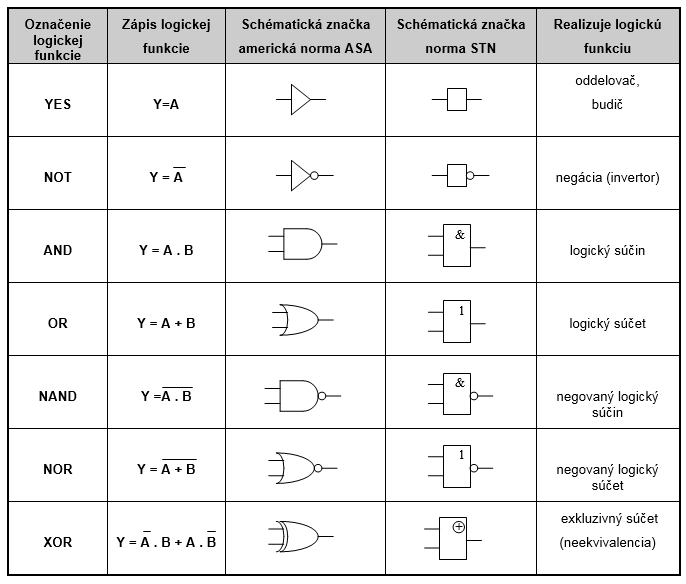


*Obrázok 6 Negovaný logický súčin – NAND*

**Negovaný logický súčet – NOR:** Negácia logického súčtu je logická funkcia v tvare . Táto funkcia vznikne negáciou funkcie OR, (Peirceová funkcia). Príslušný log. obvod vytvoríme sériovým zapojením členov OR a NOT. Obvod možno realizovať zapojením dvoch kontaktov (OR), ale výstup je ku kontaktom zapojený paralelne. Výstupná funkcia je rovná 1 vtedy a len vtedy, keď sú oba vstupy rovné 0.



*Obrázok 7 Negovaný logický súčet – NOR*

**** *Obrázok 8 Základné logické hradlá*

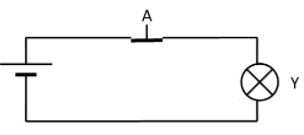
**Hradlo NOT – invertujúce hradlo (invertor):** Hradlo NOT realizuje logickú funkciu negácie, ktorá sa vo výroku logickej funkcie zapisuje symbolicky pomocou vodorovnej čiary nad označením vstupu alebo výstupu.



Samotná funkcia negácie je graficky reprezentovaná krúžkom na výstupe. Pri ďalších hradlách, ktoré používajú funkciu negácie vstupu alebo výstupu sa funkcia negácie graficky znázorňuje práve týmto symbolom (viz. hradlá NAND, NOR).



Obrázok 9 Hradlo NOT

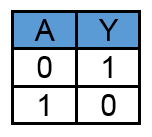


Obrázok 10 Náhradná schéma hradla NOT

Tlačidlo A je v kľudovom stave zopnuté. Ak nie je stlačené uzatvárajú jeho kontakty elektrický obvod – spoj a žiarovka svieti. Ak je tlačidlo A stlačené, jeho kontakty sú rozopnuté a žiarovka zhasne. Takéto tlačidlá, respektíve ich kontakty sa označujú „v kľude zopnuté“ alebo aj   
„NC – normally close“. V ich normálnej, kľudovej polohe sú zopnuté. Pri aktivácii sa ich kontakty rozopnú.

Iným typom tlačidiel respektíve ich kontakty sú kontakty „v kľude rozopnuté“ alebo aj   
„NO – normally open“. Ich kľudový stav je stav „rozopnuté“. Po aktivácii sa ich kontakty spoja a vytvoria spoj.

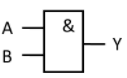
Pravdivostná tabuľka hradla NOT má dva stavy:



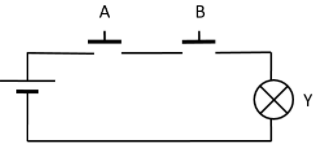
Obrázok 11 Pravdivostná tabuľka hradla NOT

Túto situáciu popisuje rovnica: Y = NOT A alebo zápis 

**Hradlo AND**



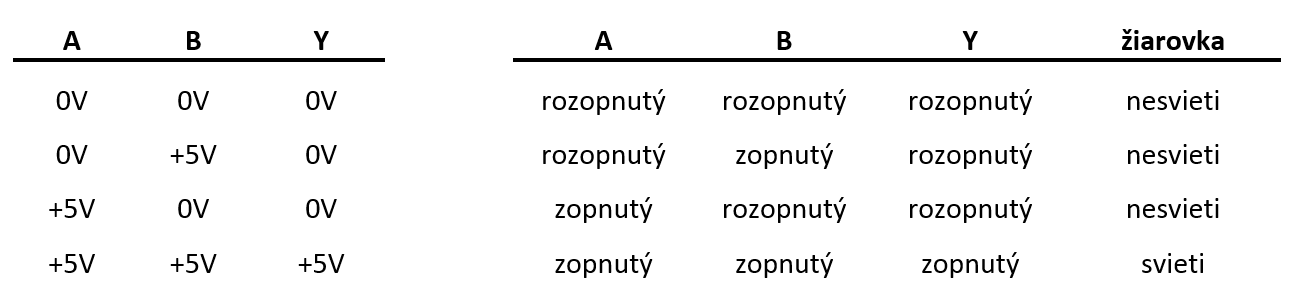
Obrázok 12 Hradlo AND



Obrázok 13 Náhradná schéma hradla AND

Náhradná schéma vysvetľuje činnosť hradla AND. Žiarovka bude svietiť (t. j. bude v stave logická 1) ak tlačidlo A a súčasne (anglicky AND, alebo &) tlačidlo B budú zopnuté  (budú v stave logická 1).

Na popis vzťahu medzi Y a A & B vstupmi sa používa pravdivostná tabuľka, popisujúca možné stavy. Pravdivostná tabuľka ukazuje hodnotu výstupu pre všetky možné kombinácie vstupov. Pretože hradlo má dva vstupy a každý vstup môže mať jednu z dvoch možných hodnôt, existujú štyri možné kombinácie vstupov:



Obrázok 14 Pravdivostná tabuľka

Potom tabuľka možných stavov (pravdivostná tabuľka) hradla AND je:

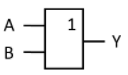


Obrázok 15 Pravdivostná tabuľka hradla AND

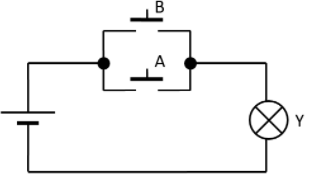
Hradlo AND môžeme popísať rovnicou : Y = A AND B alebo Y = A . B

Už sme uviedli, že hradlá môžu mať viac vstupov ako dva. Potom výstup Y štvorvstupového AND hradla bude v stave logická 1 vtedy a iba vtedy, ak všetky štyri vstupy budú v stave logická 1.

**Hradlo OR**



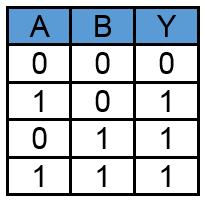
Obrázok 16 Hradlo OR



Obrázok 17 Náhradná schéma hradla OR

Náhradná schéma vysvetľuje činnosť hradla OR Žiarovka bude svietiť, ak tlačidlo A alebo (anglicky OR) tlačidlo B bude zopnuté. Samozrejme bude svietiť i vtedy, keď budú obe tlačidlá zopnuté. Preto stav logická 1 sa dosiahne na výstupe Y vtedy, keď A „OR“ B bude v stave logická 1.

Pravdivostná tabuľka hradla OR je:



Obrázok 18 Pravdivostná tabuľka hradla OR

Hradlo OR sa dá popísať rovnicou : Y = A OR B alebo Y = A + B

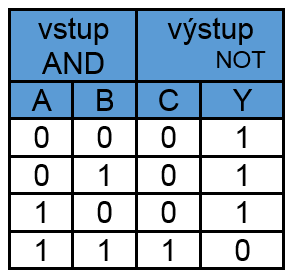
**Hradlo NAND**



Obrázok 19 Hradlo NAND

Hradlo NAND môže byť realizované pripojením invertujúceho hradla k výstupu hradla AND.

Pravdivostná tabuľka hradla NAND je:



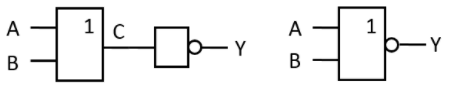
Obrázok 20 Pravdivostná tabuľka hradla NAND

kde C = A AND B Y = NOT C

Hradlo NAND sa dá popísať rovnicou Y = NOT ( A AND B ) alebo

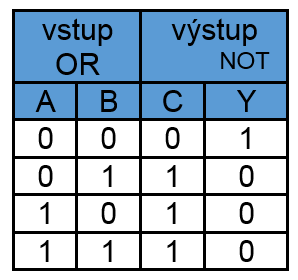


**Hradlo NOR**



Obrázok 21 Hradlo NOR

Hradlo NOR môže byť tiež realizované pomocou dvoch hradiel: hradla OR, za ktorým je zapojený invertor. Pravdivostná tabuľka systému je:



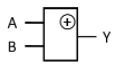
Obrázok 22 Pravdivostná tabuľka hradla NOR

kde C = A OR B Y = NOT C

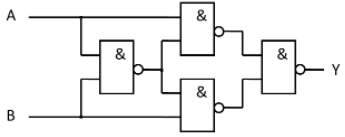
Hradlo NOR sa dá popísať rovnicou Y = NOT ( A OR B ) alebo



**Hradlo XOR (exclusive OR)**



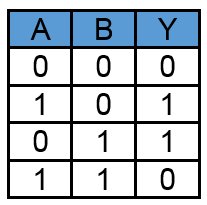
Obrázok 23 Hradlo XOR



Obrázok 24 Hradlo XOR zostavené z hradiel NAND

Hradlo XOR je zložené hradlo, možno ho zostaviť zo štyroch hradiel NAND.

Jeho činnosť môžeme pochopiť štúdiom pravdivostnej tabuľky, ktorá je:



Obrázok 25 Pravdivostná tabuľka hradla XOR

Y je rovné logickej 1 iba ak A alebo (OR) B je rovné 1, ale nie vtedy, ak sú A aj B rovné 1 (ako je to u hradla OR). Toto je dôvod, prečo sa toto hradlo volá „exclusive OR“ (výlučne alebo). Symbolom operácie XOR je znak



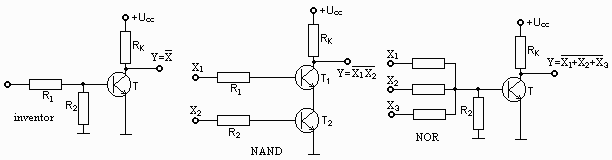
Jeho rovnica je:



Alebo

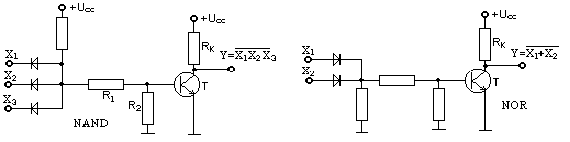


**Tranzistorové logické obvody s jednoduchou väzbou - Technika RTL:** Pre logické obvody môžeme použiť tranzistor v zapojení so spoločným emitorom alebo kolektorom. Tieto logické obvody sú z hľadiska vývoja najstaršie. V súčasnosti sa už nepoužívajú. Mohli pracovať s napäťovými úrovňami jednotiek až desiatok voltov. Mali veľkú spotrebu. Návrh bol často založený na akomsi kompromisnom riešení (všimnime si vstupný obvod člena NOR. Na rezistor R2 boli vstupy X1, X2 a X3 vždy pripojené, vstupnými rezistormi tiekol vždy nejaký prúd.) Tým bola daná aj menšia spoľahlivosť týchto obvodov.



*Obrázok 26 Technika RTL*

**Diódovo -Tranzistorový logický obvod -Technika DTL:** Ďalším vývojovým stupňom je technika DTL, v ktorej ako si to môžeme všimnúť na obrázkoch, sú nahradené rezistory na vstupoch logických členov diódami. Tým sa odstraňuje aspoň z časti už hore spomínaná nevýhoda vstupných obvodov riešených rezistormi. Spotreba je tiež veľká. Spoľahlivosť je vyhovujúca, v používaných zariadeniach dostačujúca. Tieto obvody hlavne pre svoju vysokú šumovú imunitu sú určené pre priemyslovú automatizáciu, pre vstupné obvody PC, ako aj pre prenosy informácií na veľké vzdialenosti.



*Obrázok 27 Technika DTL*

**Logické obvody s tranzistorom - Technika TTL:** Obvody tejto techniky sa vyrábajú len v integrovanej verzií. Pripomínajú techniku DTL. Funkcia vstupných diód je nahradená tranzistorom s väčším počtom emitorov. Keďže tieto logické obvody sú realizované v integrovanej forme a ich vnútorná štruktúra býva zložitá, ukážeme si činnosť týchto obvodov na jednom logickom obvode realizujúcom funkciu NAND (MH 7400). Jeho vnútorné zapojenie je na obrázku. Všimneme si tiež jeho prevodovú a vstupnú charakteristiku.

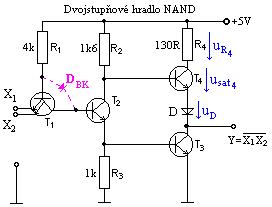
Dvojvstupové hradlo NAND: Predpokladajme, že vstupy X1 a X2 sú pripojené na elektrickú zem. Tranzistor T1 plní funkciu tranzistora. Prúdom cez rezistor R1 do bázy je otvorený a prechod K-E má vo vodivom stave. Tým, že báza tranzistora T2 je pripojená na kolektor tranzistora T1, je tranzistor T2 uzatvorený. Na emitore tranzistora T2 je nulové napätie zeme, ktorým je tranzistor T3 uzatvorený (cez rezistor R3.) Na kolektore tranzistora T2 sa objaví dostatočne veľké kladné napätie cez rezistor R2 z napájania, ktorým sa tranzistor T4 otvorí. Na výstupe dostávame kladné napätie - log.1. Toto napätie má hodnotu:

Uvýst = Ucc - UR4 - Usat4 - UD =3,5 ÷ 3,7 V

Obvod nadobúda tento stave aj vtedy, ak je na elektrickú zem pripojený len jeden vstup X1 alebo X2. Ak vstupy X1 a X2 pripojíme na napájacie napätie, prechod B-E je uzatvorený. Cez rezistor R1 a prechod B-K ( prechod PN polarizovaný v priamom smere ) je budený tranzistor T2, ktorý je v otvorenom stave. Tranzistor T1 plní funkciu diódy ( kvôli názornejšej predstave je dokreslená fialovou farbou.) Keď je tranzistor T2 otvorený a jeho prechodom K-E tečie prúd, napätie na jeho kolektore klesne a na emitore narastie. Tým sa T4 uzatvorí a tranzistor T3 otvorí.

Na výstupe máme log.0 s napäťovou úrovňou: Uvýst = UsatT3

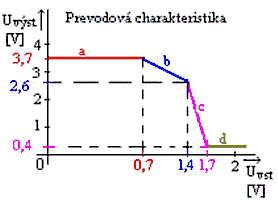
Dióda D vo výstupnom obvode zabezpečuje spoľahlivé uzatvorenie tranzistora T4.



*Obrázok 28 Dvojvstupové hradlo NAND*

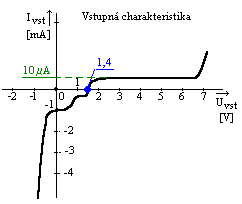
Prevodová charakteristika: Zobrazuje závislosť zmeny výstupného napätia Uvýst od zmeny vstupného napätia Uvst. Táto charakteristika má štyri výrazné oblasti.

V oblasti a (od 0 - 0,7V pre vstup) sú tranzistory T2 a T3 uzatvorené.  
V oblasti b sa tranzistor T2 začína otvárať, ale tranzistor T3 je ešte stále uzatvorený. Poklesom napätia na kolektore T2 je mierne privretý aj tranzistor T4.  
V oblasti c sa otvára tranzistor T3 a zatvára tranzistor T4.  
V oblasti d je tranzistor T3 v saturácii a tranzistor T4 úplne zatvorený.



*Obrázok 29 Prevodová charakteristika*

Vstupná charakteristika: Určuje závislosť vstupného prúdu od veľkosti vstupného napätia. Záporný prúd znamená, že tento vyteká cez R = 4 kW a prechod B-E tranzistora T1 von do zdroja signálu. Pri Uvst = 1,4 V je prúd vstupu Ivst = 0 mA. Nad toto napätie Uvst je prúd Ivst asi 10 mA. Tu je prechod B-E polarizovaný v závernom smere. Pri Uvst väčšom ako 7 V prúd vstupu prudko narastá z dôvodu poškodenia priechodu PN medzi E-B tranzistora T1.



*Obrázok 30 Vstupná charakteristika*

Pre logické obvody sú okrem prevodovej a vstupnej charakteristiky dôležité aj niektoré ďalšie parametre zhrnuté v porovnávacej tabuľke nižšie. V tabuľke sú dva parametre, a to šumová imunita a logický zisk.

**Šumová imunita** je to minimálny rozdiel vstupných napätí, pri ktorých výstup prejde z log.0 na log.1 alebo naopak, za najnepriaznivejších podmienok. U nás na prevodovej charakteristike pre Uvst menej ako 0,7V je výstup v log.1 a pre Uvst väčšie ako 1,7V je výstup v log.0. Rozdiel 1,7 - 0,7 = 1V je šumová imunita.

**Logický zisk** je daný počtom vstupov logických členov, ktoré môžeme pripojiť na výstup jedného logického člena. Výkonové členy sú riešené ako členy s otvoreným kolektorom.

**Základné charakteristické technické údaje obvodov TTL:**

Napájanie: +4,75 ¸ 5,25 V  
Stratový výkon jedného člena: 10 mW ¸ 25 mW  
Stratový výkon klopného obvodu: 60 mW ¸ 90 mW  
Šumová imunita: 1 V  
Logický zisk: 10 (výkonové členy 30)  
Vstupná úroveň log. 0: max 0,8 V  
Vstupná úroveň log. 1: min 1,8 V  
Výstupná úroveň log. 0: max 0,4 V  
Výstupná úroveň log.1: min 2,4 V  
Oneskorenie signálu: max 15 ns pri zmene na 0 [2÷4,5 ns pre radu S] , max 22 ns pri zmene na 1 [2÷4,5 ns pre radu S]

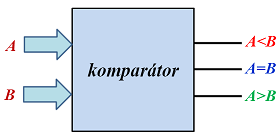
**Komparátor** je kombinačný obvod, pomocou ktorého môžeme indikovať časový okamih, v ktorom určitý signál nadobudne vopred stanovenú napäťovú hladinu. Komparátory sú schopné porovnávať vždy iba rovnaké dátové typy na svojom vstupe to znamená binárne, analógové atď. Tu uvažujeme komparátory binárne.

Komparátor je číslicový funkčný́ blok – kombinačný logický obvod, ktorý́ porovnáva dve n – bitové́ čísla na vstupe a na výstupe zobrazí́ výsledok porovnávania vo forme   
A = B, A > B a A < B. V praxi sa používajú́ aj komparátory, ktoré́ nemajú́ všetky tri výstupy, ale len jeden alebo dva.

Základným stavebným prvkom obvodov komparátorov sú kombinačné hradlá, alebo logické kombinačné obvody zhody – ekvivalencie EXCLUSIVE NOR.

Komparátory tvoria dôležitú skupinu obvodov pre spracovanie číslicových údajov v riadení procesov, indikácii stavov, po dosiahnutí úrovne určitých riadiacich signálov robotických a iných priemyselných zariadení.

Použitie komparátorov je veľmi rôznorodé. Jedným z príkladov môže byť napríklad úloha porovnávania času. Predstavte si napríklad digitálny budík. Chceme, aby nás vzbudil v presne nastavený čas. Jednou z možností ako to dosiahnuť je použitie komparátora. Najprv si nastavíme čas kedy chceme, aby sa budík aktivoval a túto hodnotu, samozrejme prevedenú do binárnej podoby zaznamenáme do pamäti. Potom, použijeme komparátor a vstupy pre jedno slovo prepojíme s našou pamäťou, v ktorej je uložený čas budenia a vstupy druhej pripojíme na hodiny. Komparátor tak bude porovnávať skutočný čas s časom uloženým v pamäti a až nastane zhoda, spustí pomocí svojho výstupu budiaci signál.

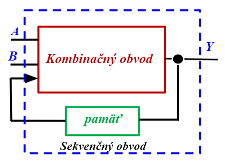


Obrázok 31 Komparátor

V prípade, že je potrebné rozhodnúť čí z porovnávaných dvoch binárných čísiel je A menšie ako B, A rovné veľkosti B alebo A väčšie ako číslo B (biárna forna), potom používame tzv. veľkostný komparátor, ktorý má tri výstupy.

Porovnáva zhodnosť dvoch bitov A a B, ktorú signalizuje na výstupe úrovňou log. 1.

**Sekvenčné logické obvody** majú tú vlastnosť, že ich výstupné premenné sú určené nielen kombináciou hodnôt vstupných premenných v danom okamihu, ale aj minulými hodnotami niektorých premenných. To znamená, že sekvenčný obvod musí pamätať hodnoty z predchádzajúceho stavu , musia preto obsahovať pamäťové členy.



Obrázok 32 Sekvenčný obvod

Základom sekvenčných obvodov sú preklápacie obvody, z ktorých sa vytvárajú čítače, registre, pamäťové obvody.

**Preklápacie obvody** sú sekvenčné logické obvody, ktoré sa využívajú v číslicových počítačoch, kde sa vyskytuje potreba uchovať na určitý čas signál s logickou hodnotou 0 alebo 1-čiže obvody s pamäťou 1 bit. Preklápacie obvody majú tú vlastnosť, že zachovávajú informáciu o podmienkach na vstupe. Keď dostane klopný obvod inštrukciu aby prešiel do stavu odpovedajúcemu log. 1, splní obvod túto inštrukciu a zotrvá v tomto stave do času, kým nedostane impulz aby sa preklopil do stavu odpovedajúcemu logickej 0. Každý preklápací obvod je vybavený výstupom, označovaným najčastejšie písmenom Q a doplnlovým výstupom označovaným non Q (Q\*): Výstup non Q, je v stave log 1 keď je výstup Q v stave log.0 a naopak. Preto výstup môže mať dva stavy. Zo znalosti stavu na jednom výstupe vieme určiť stav na druhom výstupe. K popisu stavov preklápacieho obvodu sa používa tiež pravdivostná tabuľka ktorá obsahuje obidva výstupy Q a non Q a vstupy.

**Rozdelenie preklápacích obvodov:**  
 **Asynchronné preklápacie obvody:**

1. Preklápací obvod RS s hradlami NOR
2. Preklápací obvod RS s hradlami NAND

**Synchronné preklápacie obvody riadené úrovňami signálov:**

1. Synchronné preklápacie obvody RS
2. Synchronné preklápacie obvody D
3. Synchronné preklápacie obvody JK

**Synchronné preklápacie obvody riadené hranami signálov:**

1. Synchronné preklápacie obvody JK riadené jednou hranou
2. Synchronné preklápacie obvody JK riadené dvomi hranami – JK Master – Slave

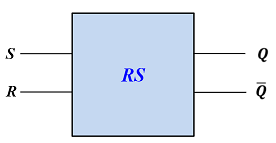
**Asynchronný preklápací obvod** je charakteristický tým, že je bistabilný-má dva stabilné stavy do ktorých sa prestavuje. Má dva vstupy:

nastavovací vstup S: Set  
nulovací vstup R: Reset   
a dva výstupy ktorých napäťové úrovne sú komplementárne (opačné):  
výstup Q  
výstup 

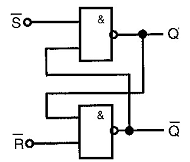
Asynchronný preklápací obvod nie je synchronizovaný žiadnym taktovacím alebo hodinovým signálom a jeho stav môže byť zmenený kedykoľvek vstupným signálom. Bistabilný preklápací obvod môže uchovávať jednobitovú informáciu.

Realizácia preklápacieho asynchronného obvodu typu RS môžeme realizovať pomocou dvomi logickými členmi NOR alebo dvomi logickými členmi NAND.

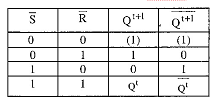
**Bistabilný preklápací obvod RS:** Patrí medzi najjednoduchšie preklápacie obvody. Má vstup (R)- reset a vstup (S)-set a dva výstupy Q a Q\*. Vstup S je tzv. nastavovací vstup a vstup R predstavuje nulovací vstup obvodu. Keď príde na vstup S impulz s úrovňou log 0 a keď je na vstup R úroveň log 1, nastaví sa PKO na výstup Q=1 a zotrvá v ňom aj vtedy, keď na S bude opäť signál log 1. Keď bude na R privedený signál log 1, obvod sa preklopí na Q=0 a zotrvá v tomto stave aj vtedy, ak sa na R obnoví stav log1. Charakteristickou vlastnosťou tohto obvodu typu R-S je, že nemá definovaný stav výstupu, keď sa na oba vstupy R a S privedie súčasne úroveň log.0. Pravdivostná tabuľka obsahuje: Počiatočný stav, vstupné informácie a výstupný stav.



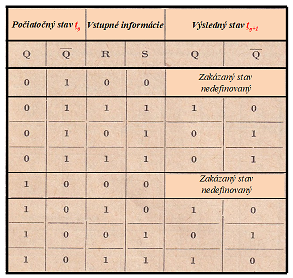
Obrázok 33 Bistabilný preklápací obvod RS



Obrázok 34 Realizácia BKO pomocou hradiel NAND



Obrázok 35 Pravdivostná tabuľka pre realizáciu BKO pomocou hradiel NAND



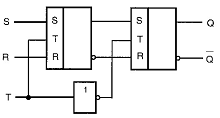
Obrázok 36 Pravdivostná tabuľka pre preklápací obvod RS

V pravdivostnej tabuľke je vyjadrená závislosť stavu výstupov pre štyri prípady podmienok na vstupoch a pre dva prípady počiatočných stavov výstupov. Počiatočným stavom výstupov sa rozumie stav výstupov pred privedením vstupných signálov. PKO môžeme zostaviť z dvoch logických obvodov s dvomi vstupmi k realizácii negovaného súčinu NAND. Obidva logické obvody sa vplyvom krížovej väzby udržujú v nastavenom stave, ktorý zostáva zachovaný, kým sa nezmenia podmienky na vstupoch.

**Preklápací obvod RS synchronný:** Obvod je taktovaný taktovacími impulzami na vstupe T. Jeho výstup bude možné meniť len behom synchronizačného hodinového impulzu. Vo väčšine sekvenčných logických obvodov tohoto typu sa používajú preklápacie obvody, ktoré preberajú informácie v určitých, presne definovaných časových intervaloch. To znamená, že preklápacie obvody menia svoj stav vtedy, keď sú ovládané zo samostatného zdroja impulzov, ktorý nazývame generátorom taktovacích alebo hodinových impulzov. Najjednoduchším takýmto obvodom je obvod R-S-T. Je to vlastne obvod typu R-S doplnený vstupom pre hodinové impulzy T. Jedna časť obvodu tvorí obvod R-S a druhú riadiací obvod ovládaný hodinovými impulzami. V podstate pri úrovni log 1 na vstupe T sa počas trvania tejto úrovne na T zapíše do obvodu privedená informácia.

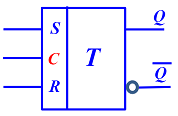


Obrázok 37 Preklápací obvod RS synchronný

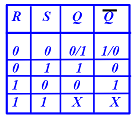


Obrázok 38 Dvojčinný RST

Preklápacie obvody, ktoré sú riadené hodinovým, taktovacím signálom sa nazývajú synchronné preklápacie obvody. Majú okrem nastavovacieho a nulovacieho vstupu, naviac ešte vstup pre pre hodinové impulzy – clock C (hodiny). Keď chýba hodinový impulz (C=0), je obvod pomocou prvých členov NAND zablokovaný, pretože ich výstup je trvale rovný 1 a akákoľvek zmena R alebo S nemôže zmeniť výstup Q. Obvod sa otvorí až príchodom hodinového impulzu (C=1) a iba v čase jeho trvania je možné pomocou vstupov R a S výstup Q meniť.



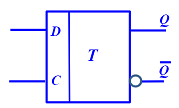
Obrázok 39 Grafická značka pre preklápací obvod RST



Obrázok 40 Pravdivostná tabuľka pre preklápací obvod RST

**Preklápací obvod D:** Obvod odstraňuje zakázaný stav pripojením obidvoch vstupov PKO typu RS invertorom. Obvod je riadený – synchronizovaný hodinovým signálom. Obvod preklopí len počas trvania hodinového signálu, inak je zatvorený. Invertor zaisťuje , že vstupy do pôvodného preklápacieho obvodu RS môžu byť iba rozdielne (ak je R=1 potom S = 0 a naopak), čiže obvod pracuje iba podľa druhého a tretieho riadku pravdivostnej tabuľky obvodu RS. Preto má obvod iba jeden vstup. Výstup preklápacieho obvodu typu D kopíruje vstup a uchováva poslednú hodnotu výstupu až do ďalšej zmeny vstupu. Obvod má pamäť o veľkosti jedného bitu a využíva sa preto v pamäťových registroch.

Preklápací obvod typu D sa často označuje ako „riadená pamäť“ v zobrazovacích číslicových systémoch. Vznikne ďalším rozšírením obvodu R-S o ďalšie hradlá. Jeho zvláštnosťou je že má iba jeden vstup pre príjem informácií a vstup pre riadiace hodinové impulzy C. Tým je zaistené, že pri tomto obvode nemôžu nastať neurčité stavy. Informácia prítomná na vstupe D pred začiatkom a behom trvania taktovacieho impulzu sa prenáša na výstup Q za celý čas trvania hodinového impulzu.



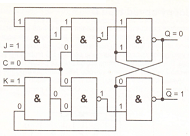
Obrázok 41 Grafická značka pre preklápací obvod D



Obrázok 42 Pravdivostná tabuľka pre preklápací obvod D

**Preklápací obvod typu J-K (jednofázový):** Preklápací obvod JK je zdokonalený synchronný obvod RS, ktorý nemá zakázaný stav vstupných premenných. To je docielené pridaním súčinových členov AND do vstupov S a R a zavedením spätnej väzby z výstupu KO na vstup týchto členov. Zabránenie vzniku zakázaného stavu je docielené zaistením jedného nulového spätnoväzobného vstupu (ak je Q=0) pre dolný súčinový člen AND alebo druhého nulového spätnoväzbového vstupu (ak je Q=0 )pre horný súčinový člen AND. Na blokovej schéme je stav, kedy 0 na vstupe dolného člena AND blokuje vstup K a klopný obvod je možné preklopiť jedine zmenou vstupu J z nuly na log.1.Po preklopení, ktoré môže nastať iba pri hodinovom impulze C=1 sa log.0 z výstupu dostane spätnou väzbou na horný člen AND a ten potom blokuje vstup J. Jednotlivé stavy PKO JK udáva pravdivostná tabuľka. Stĺpec Qn+1 znázorňuje stav výstupu obvodu po priechode hodinového impulzu. Qn znamená, že sa výstup po priechode impulzu nemení. Qn znamená preklopenie výstupu s nábežnou hranou hodinového impulzu C pri trvalej podmienke vstupov J=K=1.

Štvrtý riadok tabuľky by pri RS obvode znamenal zakázaný stav. Tu prečo nie? Hodnoty premenných na blokovej schéme odpovedajú momentálnej situácii po resetovaní (vynulovaní) obvodu a pred príchodom hodinového impulzu teda ešte pre C=0.Vzhľadom k tomu, že dolný vstupný člen AND-člen dole uprostred- je blokovaný log.0-ou z výstupu dolného člena AND, zostane jeho výstup aj po príchode hodinového impulzu C=1 na hodnote log.1. Príchod hod. impulzu však preklopí horný vstupný člen NAND na hodnotu log.0.Táto zmena zapríčiní preklopenie výstupu PKO na Q=1 a následnú zmenu výstupu spodného NAND na Q=0. Spätnou väzbou sa nula prenesie na horný člen AND a ten blokuje vplyv vstupu J. Po skončení hod. impulzu (C=0) sa zablokujú obidva vstupy NAND a výstup Q sa nezmení. Až ďalší hod. impulz umožní dolnému NAND, aby zmenil výstup Q na 1 a preto opäť Q=0.



Obrázok 43 Preklápací obvod typu J-K

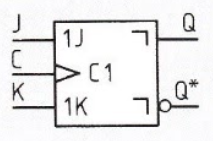


Obrázok 44 Pravdivostná tabuľka pre preklápací obvod typu J-K

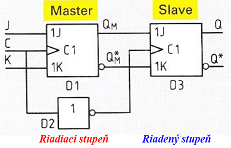
**Preklápací obvod typu J-K (dvojfázové):** Pri spracovaní informácií je často potrebné prenášať synchronné informácie v celom rade pamäťových prvkov tak, že jeden pamäťový prvok odovzdáva informáciu inému pamäťovému prvku a súčasne preberá informáciu od iného pamäťového prvku. Aby pri takomto prenose nedošlo k strate informácie, sú potrebné dvojstupňové pamäťové prvky. Prvý je označovaný ako MASTER (pán) a druhý ako SLAVE (otrok). Obvod je označovaný názvom: PKO Master-Slave typu J-K riadený dvomi hranami hodinového impulzu.

V prvej fázy činnosti obvodu sa informácia presunie zo vstupu do riadiaceho stupňa zatiaľ čo druhý stupeň zachováva nezmenený stav ( je blokovaný invertorom na jeho vstupe. V druhej fázy sa informácia presunie z riadiaceho stupňa do riadeného s možnosťou spôsobiť zmenu stavu výstupnej premennej Q. Druhá fáza prebieha v čase, kedy je riadený stupeň izolovaný od vstupnej časti neprítomnosťou hodinového signálu C v riadiacom stupni. Informácia prechádza z MASTER na SLAVE pri skončení hodinového impulzu – na jeho zadnej – týlovej hrane. Ak je J=K=1, tak každá týlová hrana hodinového impulzu obvod preklápa. Ak je J=K=0 potom obvod nepreklápa.

Obvod touto úpravou odstraňuje „hazardné stavy (náhodne vzniknuté),pretože preklopenie obvodu je možné len v priebehu krátkeho času trvania týlovej hrany hodinového impulzu. Poruchy v priebehu hodinového impulzu nemôžu výstup PK ovplyvniť. Preklápanie obvodu JK týlom hodinového impulzu.

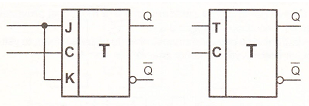


Obrázok 45 Bloková značka



Obrázok 46 PKO Master-Slave typu J-K

**Preklápací obvod typu T (Trigger – spúšťač):** PKO toho typu vznikne prepojením obidvoch vstupov J-K. Vznikne jediný vstup T. Ak je T=1,stav na výstupe sa mení na opačný pri každom príchode hodinového impulzu C. Ak je T = 0, obvod zotrváva v pôvodnom stave.



Obrázok 47 Bloková značka



Obrázok 48 Pravdivostná tabuľka

**Deličky kmitočtu:** Podstatou činnosti týchto obvodov je delenie kmitočtu hodinových impulzov čiže získanie kmitočtu impulzov menšej hodnoty ako je kmitočet vstupných impulzov.

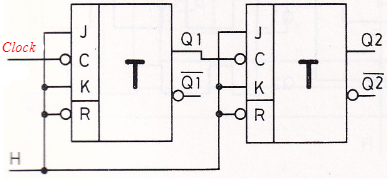
Najjednoduchším obvodom- deličkou kmitočtu je jednoduchý PKO typu J-K.



Obrázok 49 PKO typu J-K

Keďže výstup tohoto obvodu sa mení prechodom zostupnej hrany taktovacieho impulzu, výstupný impulz bude mať dvojnásobnú šírku ako vstupný. To znamená že sa realizuje deliaci pomer 1: 2.Obvod predstavuje deličku s deliacim pomerom 1:2.

Keď spojíme výstup PKO obvodu J-K so vstupom ďaľšieho rovnakého obvodu potom v pomere ku kmitočtu impulzov prvého obvodu dostaneme deliaci pomer 1:4.



Obrázok 50 PKO obvodu J-K so vstupom ďaľšieho rovnakého obvodu

Spojením ľubovoľného počtu PKO typu J-K za sebou obdobným spôsobom možno, získať delenie vstupného kmitočtu tak, že na výstupoch jednotlivých obvodov vzhľadom na vstupný kmitočet budú kmitočty s deliacim pomerom 1:21 , 1:22 , 1:23 ....... 1:2n.

1. Pravidlo: Žiadaný deliaci pomer rozložíme na násobky čísla 2. Počet násobkov určuje potom potrebný počet obvodov PKO typu J-K zapojených za sebou.

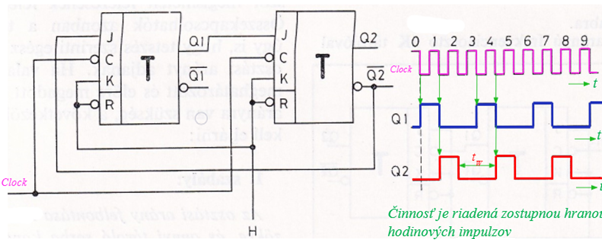
Riadenie pri párnom deliacom pomere je asynchrónne. Každý výstup obvodu Q, riadi vstup nasledovného obvodu C.

Doteraz máme však len ten výsledok, že sme získali taký kmitočet, ktorý je výsledkom viacnásobného delenia vstupného kmitočtu dvomi (2). Keď však potrebujeme získať dopredu definovaný deliaci pomer kmitočtu postupujeme nasledovne. Napr. Žiadaný deliaci pomer vstupného kmitočtu je 1:16. Číslo 16 = 2x2x2x2 = 24. Z toho vyplýva, že počet potrebných obvodov zapojených za sebou bude = 4.

Z hľadiska asynchrónneho riadenia, ktoré je tu aktuálne, má toto riešenie nevýhodu časové oneskorenie, ktoré sa rastúcim počtom obvodov J-K sa zvyšuje. Obvody dostávajú riadiace impulzy postupne za sebou.

Výhodou proti synchronnému riadeniu je jednoduchšie zapojenie.

Keď, nemôžeme rozložiť číslo deliaceho pomeru na násobky čísla 2, to znamená, že deliaci pomer je nepárne číslo. Pre získanie nepárneho deliaceho pomeru s obvodmi J-K musíme využiť aj vstupy J-K , čím sa získa čiastočne synchronné riadenie. Jednoduchým príkladom je delička s deliacim pomerom 1:3, pričom výstupný kmitočet je odoberaný z výstupu Q2 .Pre realizáciu sú potrebné dva obvody typu J-K.



Obrázok 51 Dva obvody typu J-K

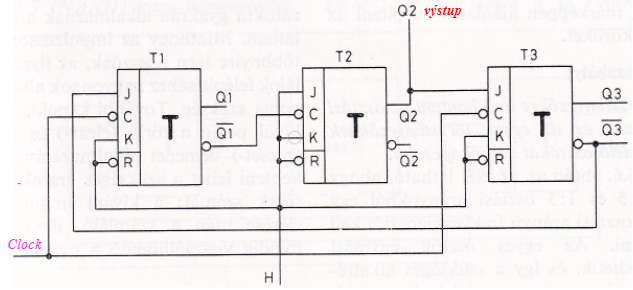
Zavedenie spätnej väzby z výstupu Q\*2 (non Q2 ), na vstup prvého obvodu J má za následok, že tento obvod nie schopný hneď po druhom hodinovom impulze sa preklopiť na úroveň   
Q1 = H. Preklopenie sa môže uskutočniť až po 3-ťom hodinovom impulze, kedy vstup J prvého obvodu opäť nadobudne úroveň H. Tým sa zmení dĺžka pauzy medzi výstupnými impulzami tW ktorá je presne 3 hodinové impulzy teda deliaci pomer 1:3.

**Delička 1:5**

Pri tomto deliacom pomere je činnosť nasledovná:

Po prvom hodinovom impulze sa preklopí obvod T1 a T2 .T3 sa nepreklopí lebo jeho vstup J=L  
 Po druhom hodinovom impulze sa súčasne preklopia T1 a T3 pretože majú J = K = H  
 Po treťom hodinovom impulze T1 nemení stav, lebo jeho J = Q\*3 = L, preto T2 nemá hod. impulz  
 Po štvrtom hodinovom impulze sa preklopia všetky- ich JK majú H.T1 a T3 sa preklopí, do stavu výstupov Q1 = Q3 = H, lebo ich J=H. Výstup Q1\* pri zostupnej hrane preklopí T2 do stavu Q2 = L.  
 Po piatom hodinovom impulze T1 a T3 prechádza do stavu Q1 = Q3 = L, nakoľko majú oba J = L.

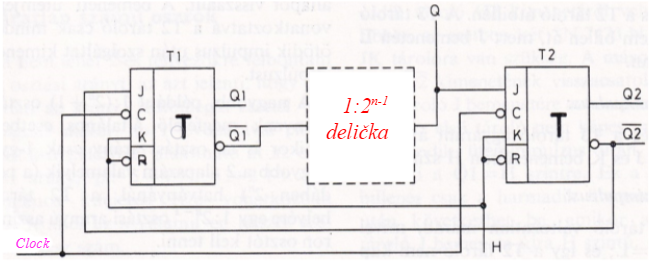
Po piatom hodinovom impulze sa dosahuje východiskový stav, ktorý sa opakuje a ktorého výsledkom je, že z výstupu Q2 odoberáme po každom piatom impulze výstupný impulz (1:5).



Obrázok 52 Delička 1:5

**Ľubovoľný deliaci pomer:**

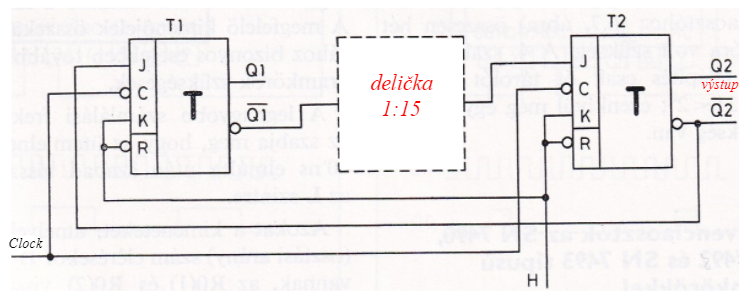
Pri veľkom deliacom pomere napr. 1:(2n+1) riešime problém podľa predchádzajúceho zapojenia s rozdielom, že namiesto obvodu T2, použijeme obvod s deliacim pomerom 1:2n-1.



Obrázok 53 Delička (2n+1)

1. Pravidlo: Keď nie je deliaci pomer násobkom čísla 2, je potrebné zistiť či zmenšením deliaceho pomeru o číslo 1, nezískame deliaci pomer ako mocninu (násobok) čísla 2.
2. Pravidlo: Žiadaný deliaci pomer rozložíme na viaceré deliace pomery a obvody. Tie potom spojíme za sebou. Príklad: deliaci pomer 1:15= 1:3 + 1:5.

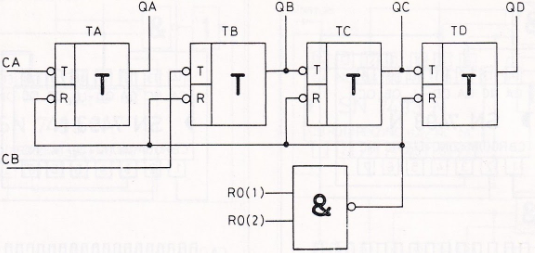
Pri väčších deliacich pomeroch postupujeme pri návrhu zapojenia deličky podľa 1. pravidla a 3. pravidla. Napr. pre deliaci pomer 1:31 = 2x15+1.Zapojenie bude nasledovné:



Obrázok 54 Delička 1:15

**Deličky realizované čítačmi:** Delička kmitočtu nie je ničím iným, než najjednoduchšia forma čítačov-obvodov ktoré počítajú impulzy. Preto sa obvody pre delenie kmitočtu môžu tiež realizovať využitím aj integrovanými obvodmi čítačov (napr. obvodom SN 7493 fy Texas Instruments).

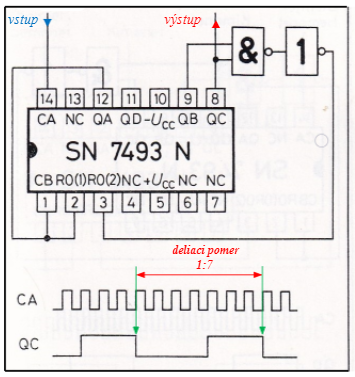
Obvod vo vnútornom zapojení obsahuje štyri PKO vzájomne prepojené typu T doplnené a dva resetovacie (nulovacie) vstupy R01 a R02- predstavuje „binárný čítač“.



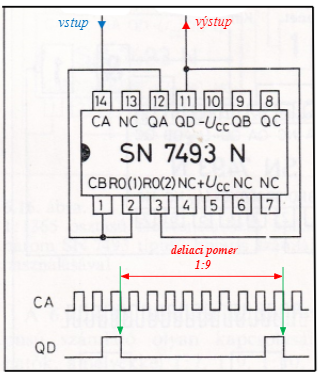
Obrázok 55 Nevim ako to nazvem

Resetovacie vstupy R01 a R02 umožňujú súčasné nastavenie obvodov na nulu. Pri použití obvodu na delenie kmitočtu sú jednotlivé výstupy QA,QB,QC a QD spätnoväzobne pripojené k resetovacím vstupom R01 a R02. Tým je možné bez závislosti od vstupného kmitočtu po dosiahnutí potrebného deliaceho pomeru nulovať obvod-nastaviť na východzí stav.

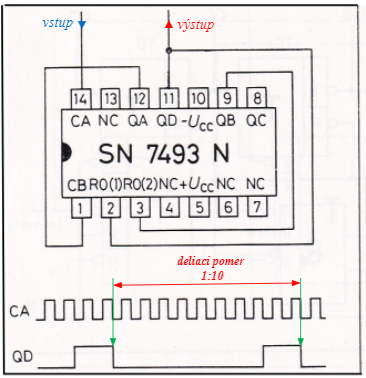
Použitie obvodov čítačov (SN 7490-dekadický čítač, SN 7493-binárný čítač.....) poskytuje určité výhody proti predchádzajúcim riešeniam.



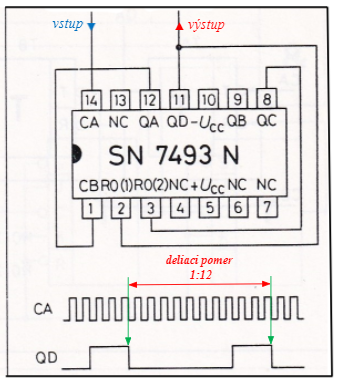
Obrázok 56 Delička deliací pomer 1:7



Obrázok 57 Delička deliací pomer 1:9



Obrázok 58 Delička deliací pomer 1: 10



Obrázok 59 Delička deliací pomer 1:12

**Čítač** je obvod, ktorý počíta impulzy prichádzajúce za sebou na vstup a na výstupe udáva počet impulzov v binárnej forme.

**Čítače delíme podľa:**   
 **Taktovania:**

1. Asynchronné
2. Synchronné

**Smeru čítania:**

1. hore (up)
2. dole (down)
3. vratné (up/down)

**Kódu:**

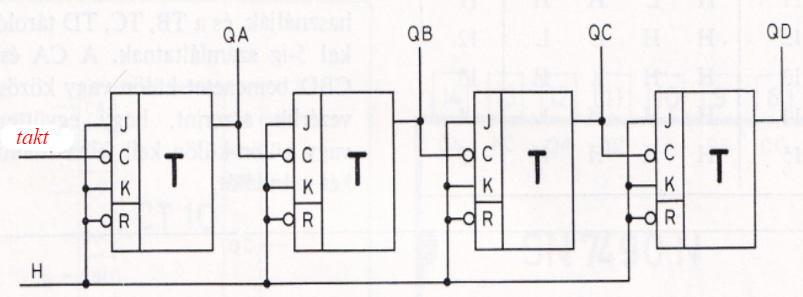
1. binárne
2. BCD

Čítač sa skladá z klopných obvodov (typu D, JK) a logických členov. Pre funkciu čítania musia mať klopné obvody JK pripojené nastavovacie vstupy na úroveň log. 1. Integrované JK sú taktované nábežnou alebo zostupnou hranou.

Kapacita čítača, je daná počtom klopných obvodov 2n – 1, kde n je počet klopných obvodov. Po prekročení kapacity sa čítač vynuluje. Obsah čítača sa často vyjadruje pojmom „modulo“ napr. modulo 10.

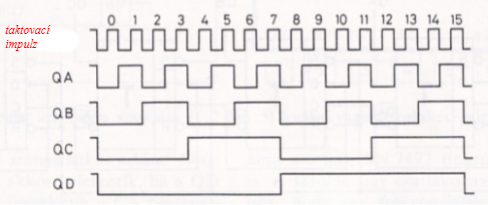
Čítač pracuje zároveň ako delič kmitočtu. Pri mechanickom taktovaní používať bezzákmitové tlačidlo.

**Asynchronné čítače** sú najčastejšie vytvorené zo sekvenčných obvodov typu T alebo J-K. Čítací reťazec je vytvorený radením obvodov za sebou spojených tak, že prvý člen dostáva taktovací (hodinový) impulz a vstup druhého člena je pripojený na výstup člena prvého.

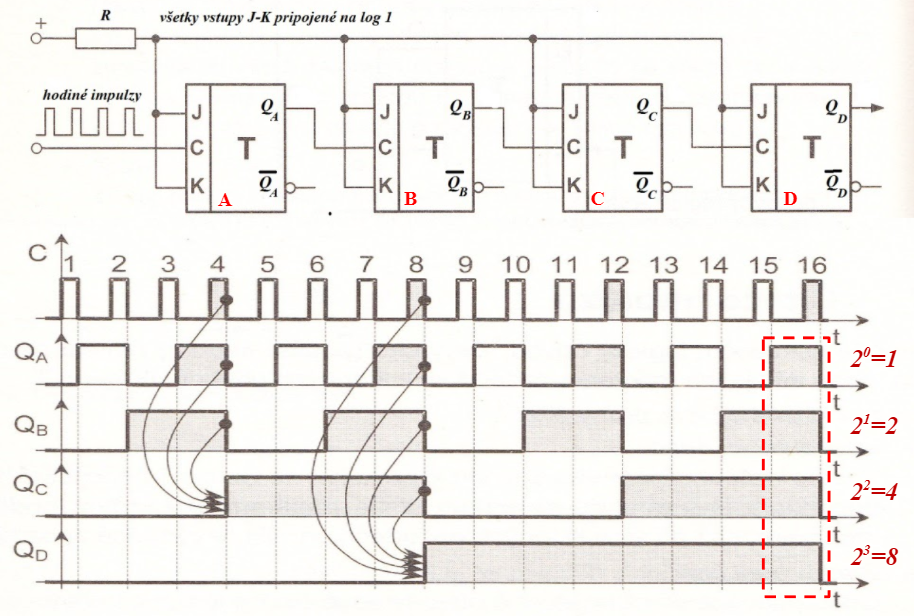


Obrázok 60 Asynchronný čítač

Zapojenie zobrazuje binárny asynchronný čítač do 15. Vstupný impulz sa prenáša v podobe vlny. Činnosť je asynchronná, obvody sa spúšťajú postupne.



Obrázok 61 Taktovacie impulzy asynchronneho čítača



Obrázok 62 Asynchronný čítač

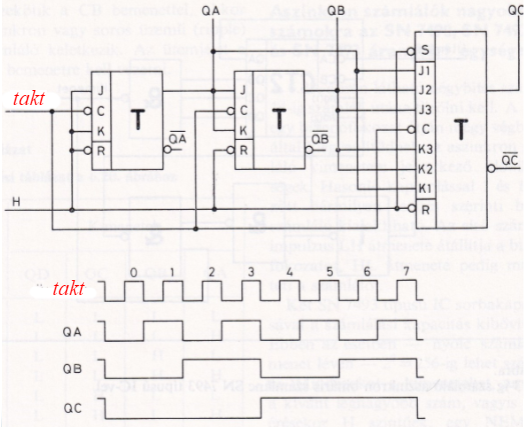
Asynchronný čítač využíva vlastnosti dvojstupňového preklápacieho obvodu J-K, ktorý preklápa pri zostupnej hrane hodinového impulzu. Na obrázku je jednoduchý binárný – dvojkový čítač so štyrmi PKO typu J-K.

Čítač počíta všeobecne do n= 2N , kde N je počet preklápacích obvodov v reťazci.na hodinový vstup prvého obvodu privádzame počítané impulzy. Kedže ide o asynchronný čítač-hodinové impulzy ostatných obvodov, sú pripojené vždy na výstup predchádzajúceho obvodu (QA ,QB,...) PKO TA mení svoj stav pri každom hodinovom impulze, to znamená, že kmitočet vstupných impulzov delí dvomi (2). PKO TB ,mení svoj stav po každom druhom vstupnom hodinovom impulze a vstupný kmitočet delí 4-mi, atď. Všeobecne platí, že na výstupe N-tého PKO získame kmitočet f/2N , takže pri šestnástom hodinovom impulze nastane taký stav, že v priebehu trvania tohoto hodinového impulzu, sú všetky PKO nastavené na úroveň log.1 čiže (QA = QB = QC = QD =1).V binárnom kóde to predstavuje číslo 15 (1.23 + 1.22 + 1.21 + 1.20 = 15).

Zostupná hrana 15-tého impulzu spôsobí preklopenie všetkých obvodov do východiskového stavu QA = QB = QC = QD = 0.

Činnosť čítača vyjadruje grafický záznam priebehov výstupov všetkých PKO. Vyšrafované podmienky pre preklopenie nasledovného obvodu-výstupy všetkých predchádzajúcich obvodov musia byť v log.1. Zo stavov výstupov PKO môžeme potom zostaviť pravdivostnú tabuľku čítača.

**Synchronné čítače** odstraňujú nedostatky asynchronných čítačov-ich oneskorenie prenosu informácií. Synchronné čítače, sú riadené taktovacím impulzom tak, že taktovací impulz riadi prenos na každom obvode reťazca súčasne – synchronne.



Obrázok 63 Synchronný čítač

Prenosové oneskorenie každého člena obvodu čítača sa tu uplatňuje na rozdiel od asynchronných čítačov iba jeden krát. Na rozdiel od asynchronných čítačov sa však pri synchronných čítačoch musia dodatočne použiť-podobne ako pri deličkách kombinačné členy na zabezpečenie spätnej väzby z potrebného výstupu Q na JK vstupy, čo závisí od konečnej hodnoty počítaných impulzov.

Pri synchronných čítačoch sa príslušné PKO spúšťajú súčasne, pretože vstupy hodinových impulzov sú prepojené paralelne. Čítač je zostavený z PKO typu JK, ktoré pri J = K = 1 menia svoj stav vždy s príchodom hrany hodinového impulzu a pri signáloch J = K = 0 zotrvajú vo svojom pôvodnom stave. Synchronné čítače sú zložitejšie, ale ich kmitočet čítania je limitovaný len jedným oneskorením obvodu, takže ich kmitočet čítania môže byť vyšší ako asynchronných čítačov. Okrem binárných čítačov sa používajú aj dekadické alebo so skráteným čítacím cyklom.