

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
FAKULTA INFORMAČNÍCH TECHNOLOGIÍ

Seminář VHDL – projekt
Grafický čítač na FPGA a ZYNQu

1 Úvod

1.1 Účel dokumentácie

Táto dokumentácia slúži pre poskytnutie podrobného a systematického prehľadu o projekte. Jej cieľom je umožniť čitateľovi hlbšie pochopenie návrhu, funkčnosti a implementácie tohto projektu.

1.2 Zadanie a prehľad projektu

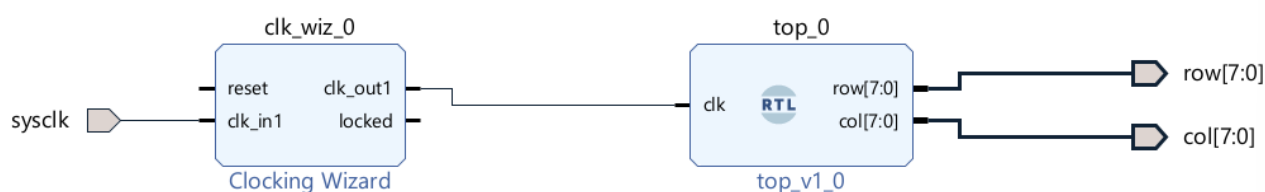
Cieľom projektu bolo implementovať grafický čítač zobrazujúci počítanie času v rôznych režimoch a zobrazenie doplnkových prvkov, ako napríklad obrázok alebo animácia.

1.3 Použité technológie

Pri implementácii projektu bola použitá kombinácia hardvérových a softvérových technológií. Hlavnú časť hardvéru tvorí doska Xilinx Pynq Z2, programovateľné hradlové pole, ktoré sa na nej nachádza a maticový displej, ktorý pozostáva z 8x8 LED. Pre vývoj a testovanie bolo použité vývojové prostredie Xilinx Vivado.

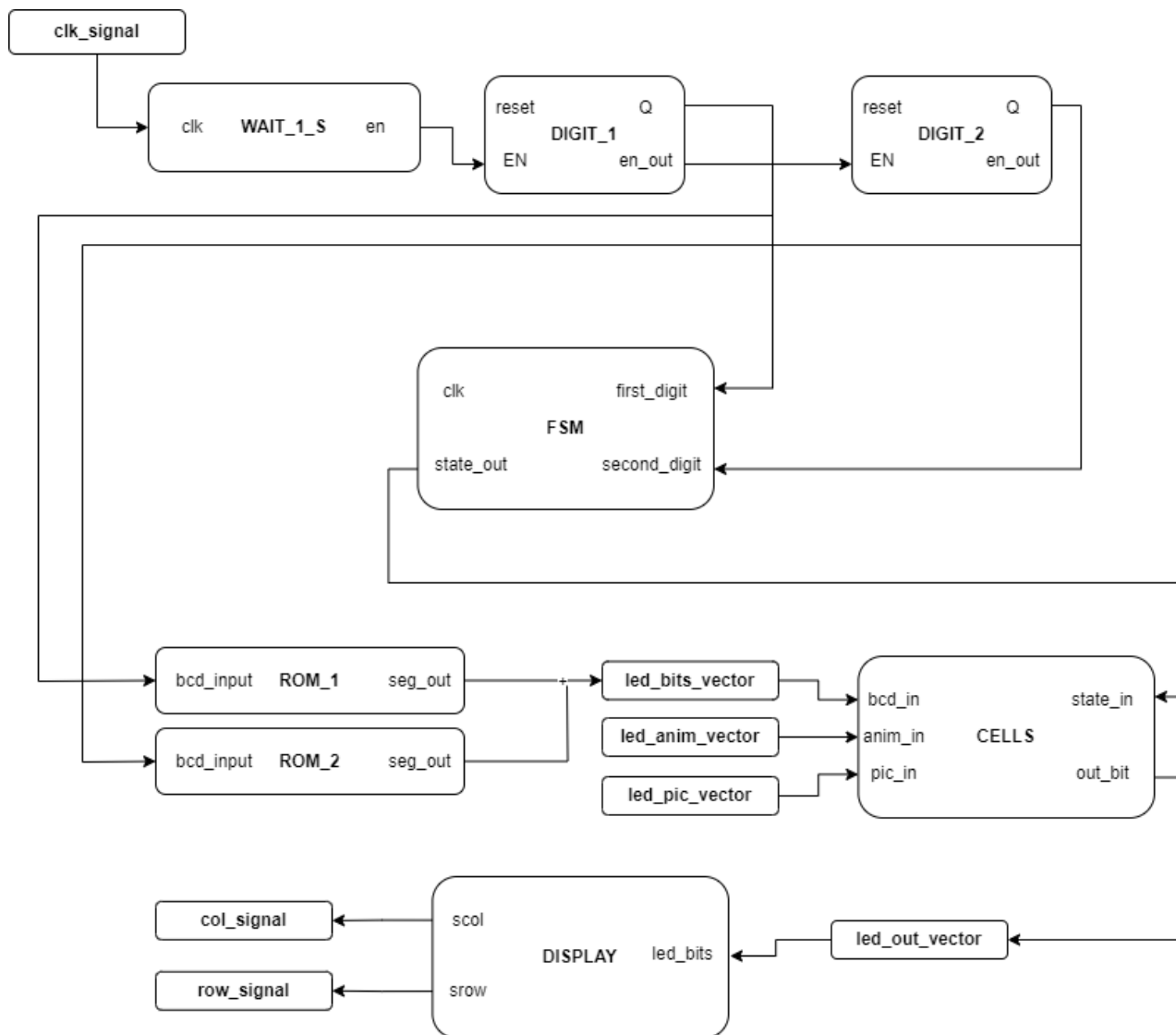
2 Návrh programu

2.1 Block Design



Obrázek 1: Block Design

2.2 Architektúra systému

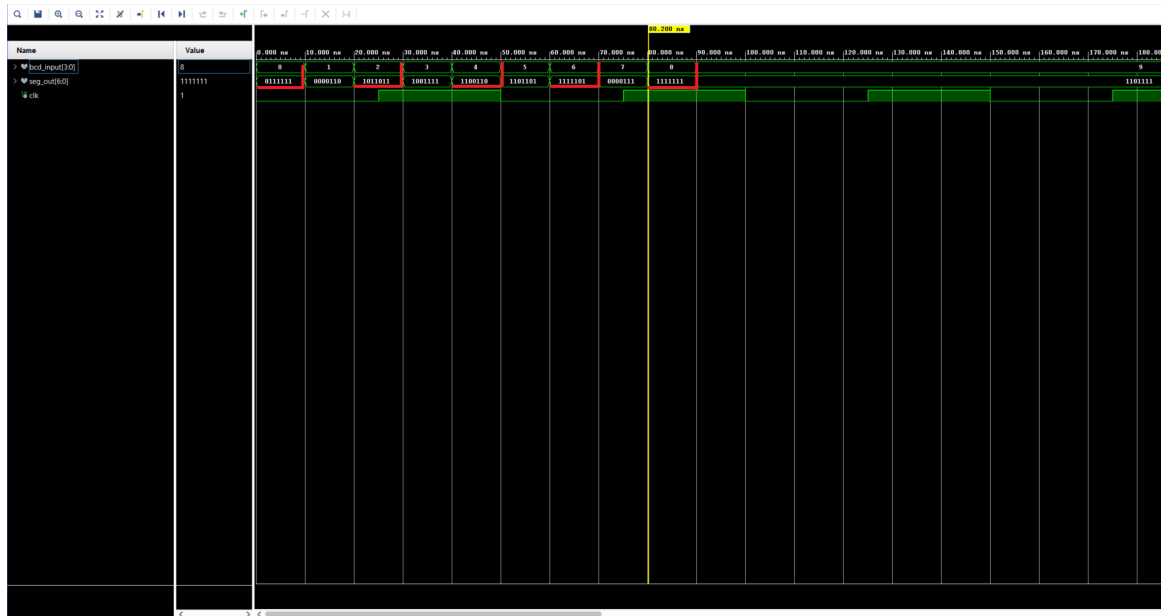


Obrázek 2: Diagram architektúry

Signál **clk_singal**, ktorý nám sprostredkuje clocking wizard spôsobí v procese **WAIT_1_S** inkrementovanie počítadla pri každej nástupnej hrane. Aby sme dosiahli nastavenie signálu **en**, ktorý povolí inkrementovanie prvej číslice BCD čítača každú sekundu, pri frekvencii 25 Mhz musíme počítať do 24 999 999 (konštanta **maxcnt**) a následne signál vynulovať. Keďže náš projekt vyžaduje počítanie dvojčíferných čísel, musíme za seba zapojiť dva BCD čítače. Výstupy z BCD čítačov sú privedené na vstupy **ROM** pamätí, ktoré zabezpečujú správne určenie rozsvietených a zhasnutých segmentov jednotlivých číslic a na vstup **FSM**, ktorý na základe ich hodnôt určí aktuálny stav zobrazovania. Komponenta **CELLS** pozostáva z 64 buniek, kde každá bunka určuje 1 bit finálneho vektora **led_out_vector**, ktorý v zobrazovacej entite **DISPLAY** reprezentuje stav zobrazovaných riadkov **srow**. Signál **scol** určuje aktuálne rozsvietený stĺpec pri multiplexovanom zobrazovaní. Prepínanie jednotlivých stĺpcov prebieha v zobrazovacej entite každé 2ms, čo odpovedá 49 999 taktom hodín (konštanta **refreshperiod**).

3 Testovanie a simulácia

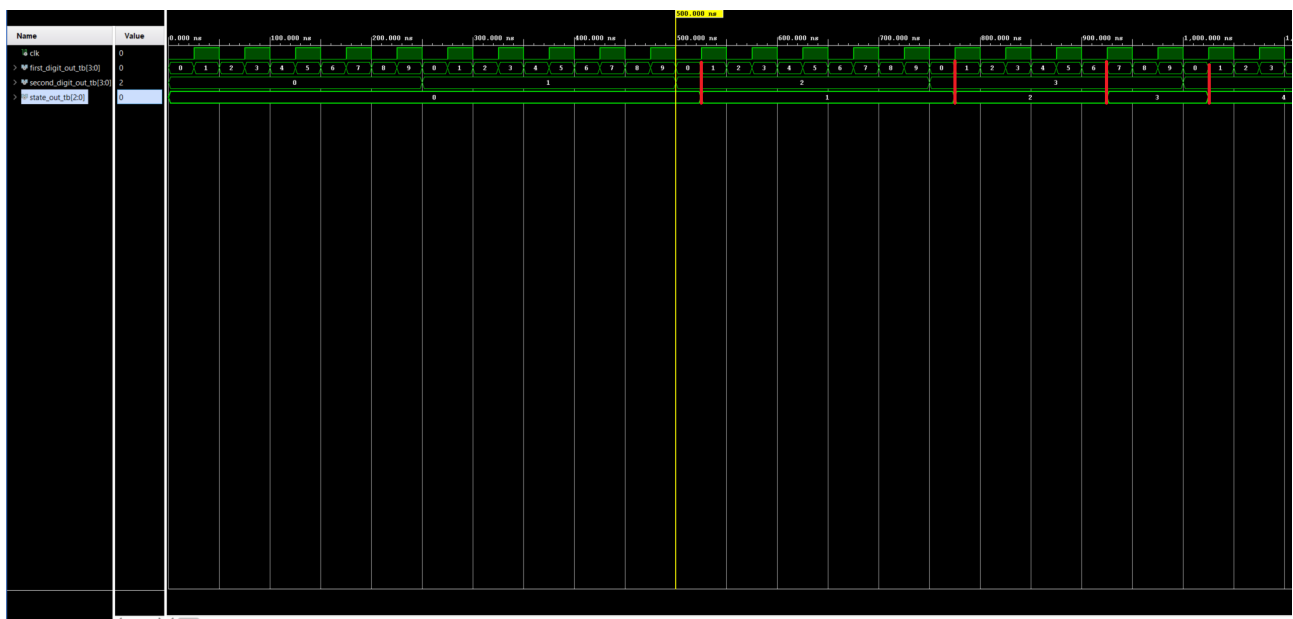
3.1 Test pamäte ROM



Obrázek 3: Simulácia ROM

Na obrázku vidieť, že pamäť ROM správne mapuje decimálny vstup na vektor binárnych hodnôt reprezentujúcich rozsvietené segmenty 7 segmentového displeja.

3.2 Test FSM



Obrázek 4: Simulácia FSM

Výstupný stav sa mení pri prvej nábežnej hrane hodín po požadovanej zmene.

3.3 Test zobrazenia výstupu



Obrázek 5: Simulácia zobrazenia

Každé dve milisekundy sa spraví bitový posun vektora, ktorý reprezentuje aktuálne rozsvietený stĺpec a zároveň sa priradí požadovaná hodnota do vektora, ktorý reprezentuje riadok. Keďže ide o multiplexované zobrazenie, tento proces sa periodicky opakuje tak, aby sa v dostatočne nízkom, ale nie príliš vysokom časovom intervale vystriedalo všetkých 8 stĺpcov.

3.4 Odkaz na demonštračné video

Mierne blikanie displeja na videu je pravdepodobne spôsobené snímacou frekvenciou použitého fotoaparátu a voľným okom viditeľné nie je.

Youtube: <https://youtu.be/E9H-52Zf8l8?si=EKnH0CRPBDWN7QyF>