

PROJEKT DO PŘEDMĚTU MPLD

KOMUNIKACE S DDR3 PAMĚTÍ

NA VÝVOJOVÉ DESCE ML605 (VIRTEX 6)

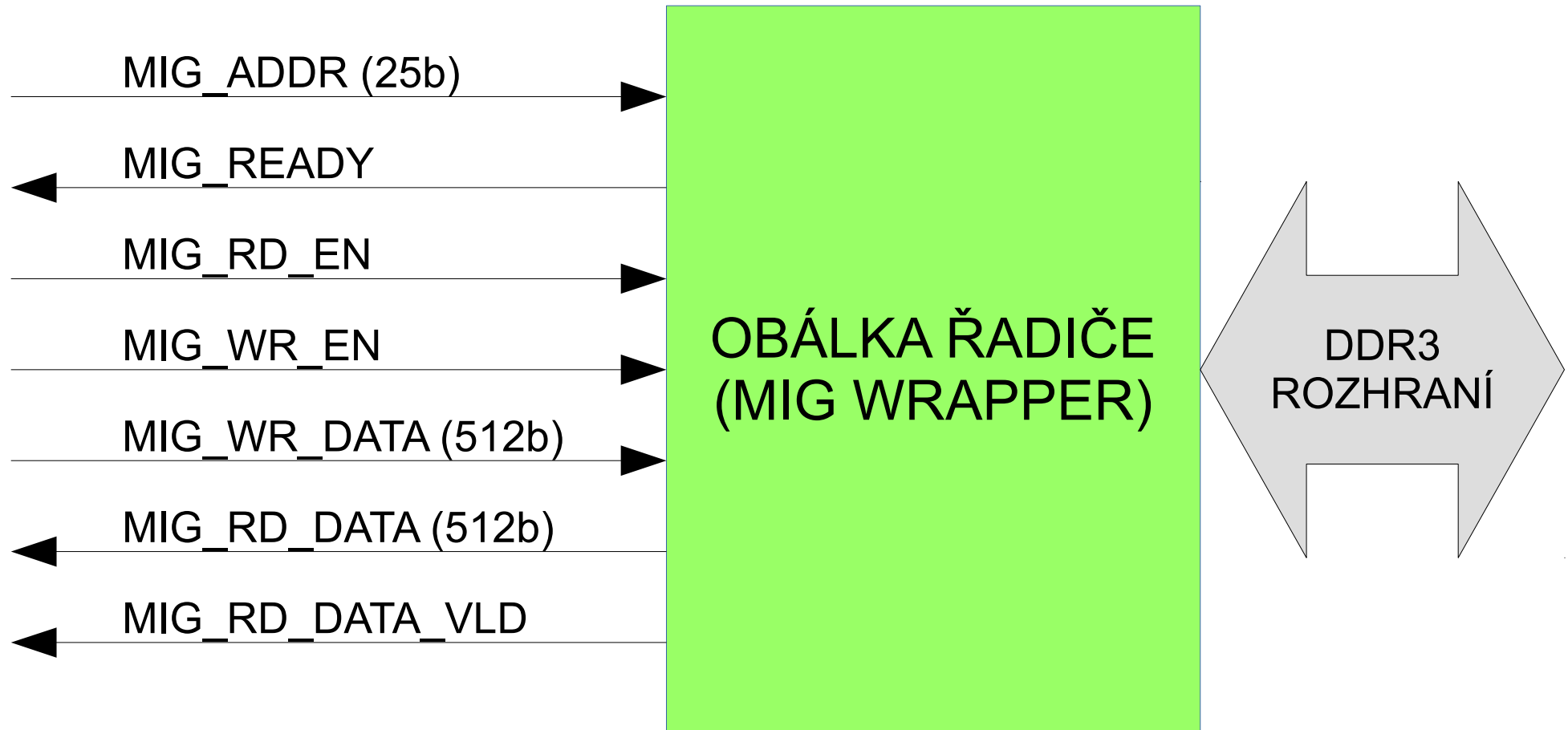
Bc. Jakub Cabal

xcabal05@stud.feec.vutbr.cz

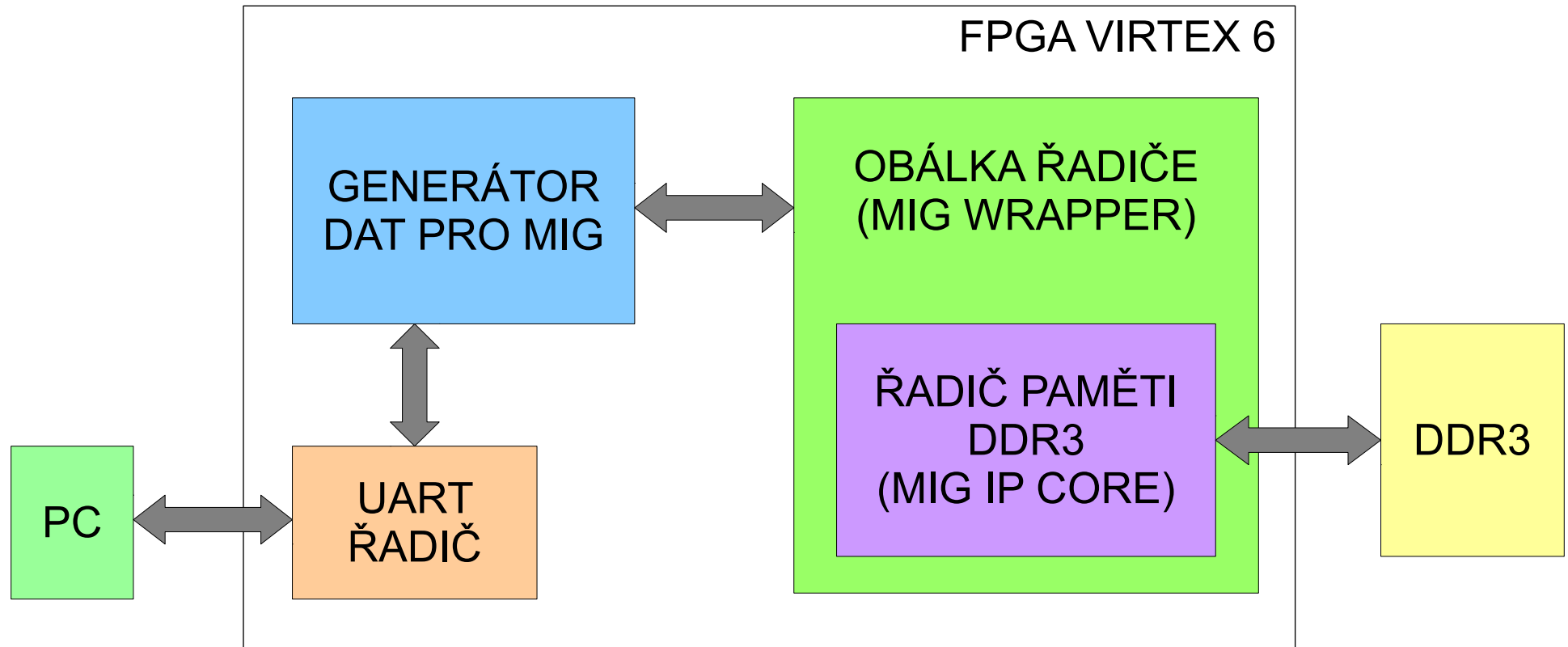
ZÁKLADNÍ CÍLE PROJEKTU

- Zprovoznit řadič MIG pro DDR3 paměť (vygenerován jako IP CORE v ISE).
- Vytvořit jednoduchou obálku (wrapper) pro usnadnění práce s řadičem MIG.
- Vytvořit ukázkový design, který otestuje a změří rychlost komunikace s DDR3 pamětí.

ROZHRANÍ OBÁLKY ŘADIČE MIG



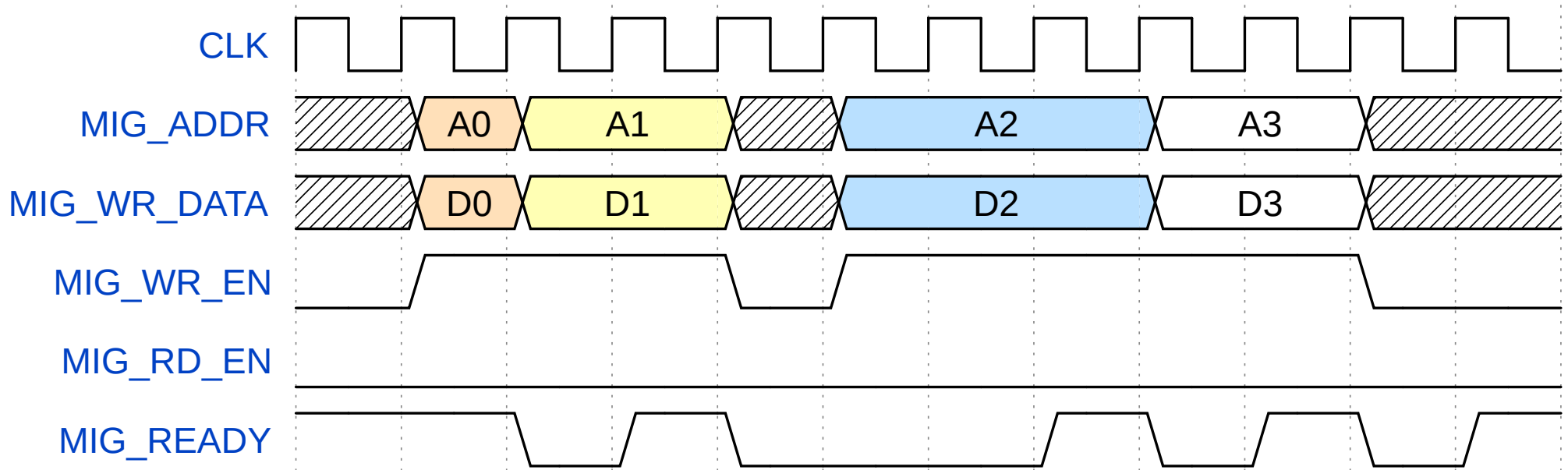
BLOKOVÉ SCHÉMA DESIGNU



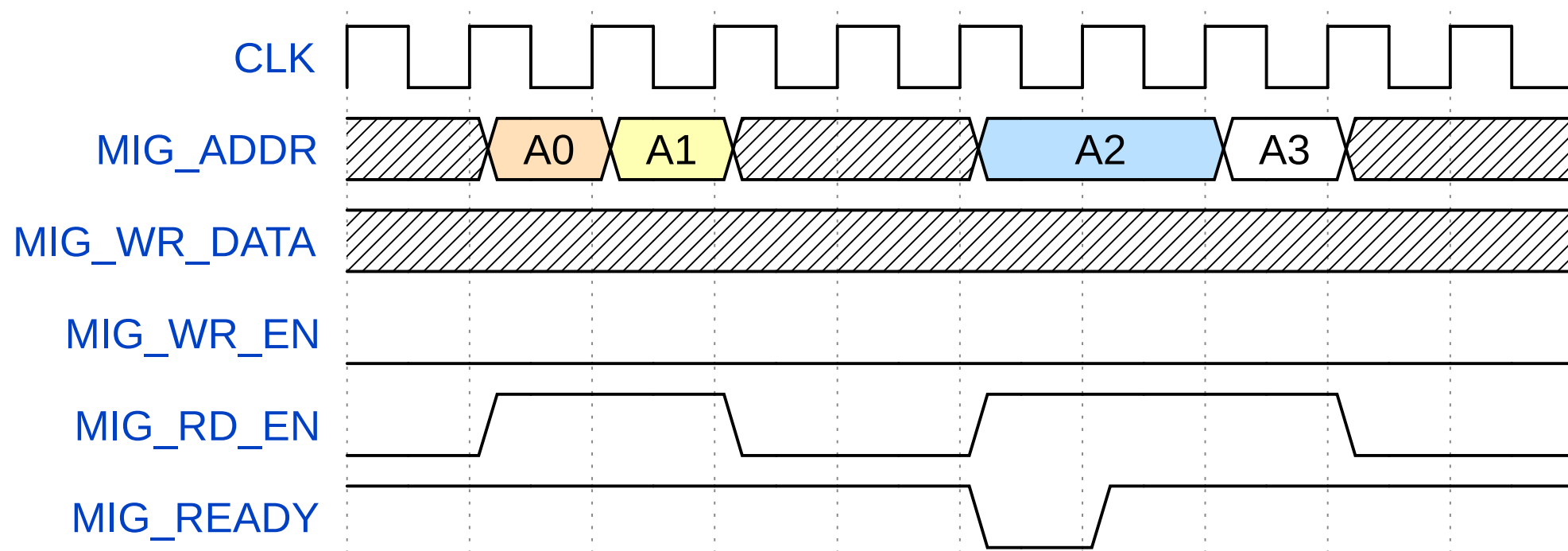
ZMĚNY OPROTI 7. TÝDNU

- Změna režimu komunikace s DDR3 pamětí z režimu BC4 na BL8 (úprava nastavení řadiče).
- V režimu BL8 probíhá komunikace pomocí 512b datových slov (řadič MIG má datovou šířku pouze 256b), výhodou je vyšší propustnost.
- MIG Wrapper přijímá 512b datová slova a sám řeší jejich rozdělení do dvou taktů pro řadič MIG.

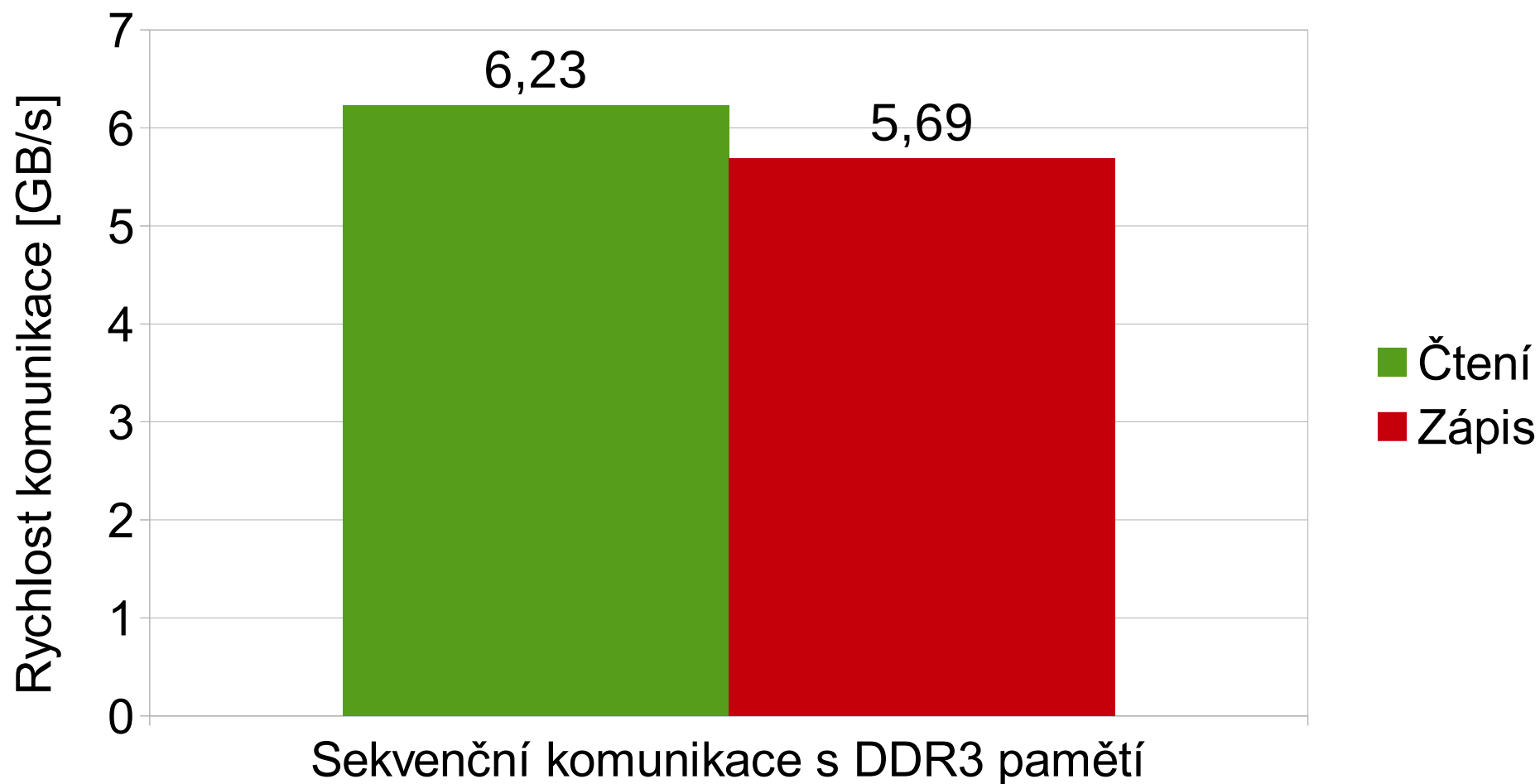
UKÁZKA ZÁPISOVÝCH POŽADAVKŮ



UKÁZKA ČTECÍCH POŽADAVKŮ



VÝSLEDKY MĚŘENÍ RYCHLOSTI



SHRNUTÍ NA ZÁVĚR

- MIG Wrapper včetně ukázkového designu je k dispozici na GitHubu. Licence MIT.
- Dále je k dispozici testbench celého ukázkového designu včetně modelu DDR3 paměti a základní stručná dokumentace MIG Wrapperu.
- Budoucí vylepšení a optimalizace MIG Wrapperu jsou vítány.

https://github.com/jakubcabal/mig_ddr3_wrapper_virtex6

Děkuji za pozornost.
Nyní je prostor pro dotazy.

https://github.com/jakubcaba1/mig_ddr3_wrapper_virtex6