

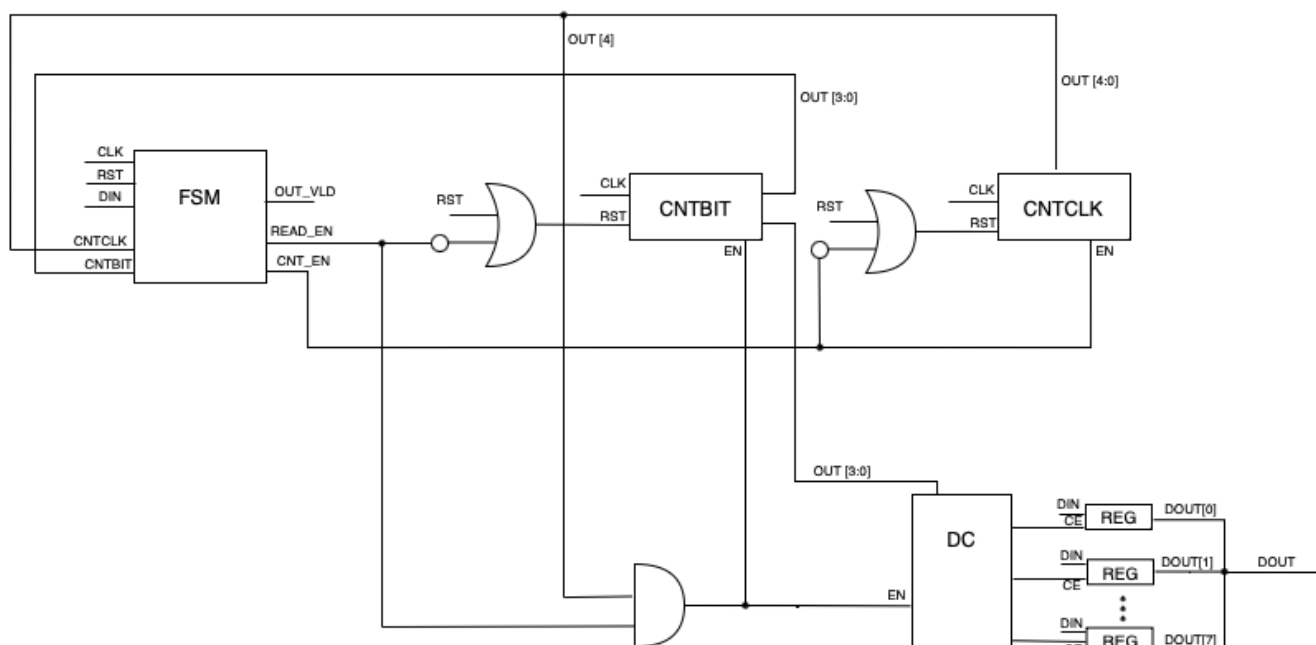
# Výstupní zpráva

Jméno: Milan Jakubec

Login: xjakub41

## Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



## Popis funkce

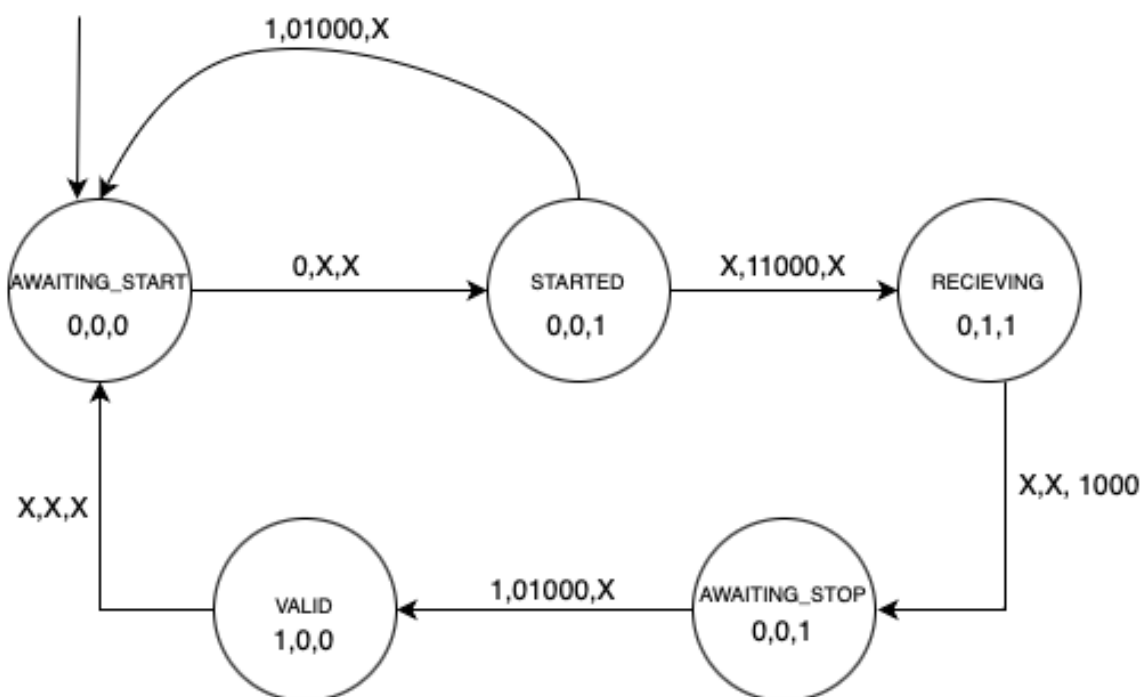
Obvod slouží k načtení a deserializaci z UART linky. Tento obvod je řízený FSM, jehož schéma je k nahlédnutí na další straně. FSM ovládá dva čítače, jeden počítá množství přečtených bitů (CNTBIT), druhá počítá hodinové signály (CNTCLK). V určitých stavech FSM nebo při RST signálu se čítače resetují. Pro výstup je zvolen 4-8 dekodér, který se zpřístupní, pokud je READ\_EN nastaveno na 1 a zároveň je poslední bit CNTCLK nastaven na 1. Dle ovládacích bitů DC, které řídí CNTBIT, se poté ukládají bity do příslušných registrů. Ty jsou v dalších cyklech potom přepisovány.

## Návrh automatu (Finite State Machine)

### Schéma automatu

#### Legenda

- Stavy automatu: AWAITING\_START, STARTED, RECIEVING, AWAITING\_STOP, VALID
- Vstupní signály: DIN, CNTCLK, CNTBIT
- Moorovy výstupy: OUT\_VLD, READ\_EN, CNT\_EN



#### Popis funkce

Počáteční stav tohoto automatu je **AWAITING\_START**, kdy čeká na start bit. Když dostane start bit, tedy **DIN** přejde na 0, přechází do stavu **STARTED**. Nyní se počítají hodinové cykly a automat ještě jednou otestuje, zda náhodou na osmém hodinovém cyklu nebyla změna **DIN** na 1, pokud ano, vrací se do předchozího stavu, pokud ne, tak jde o několik cyklů později do stavu **RECIEVING** a přijímá data. V momentu, kdy **CNTBIT** je 8, přechází automat do stavu **AWAITING\_STOP**. V tomto stavu čeká 8 cyklů a následně přejde do stavu **VALID**, pokud **DIN** odpovídá hodnotě 1. Z tohoto stavu se pak vrací na začátek.

Snímek obrazovky ze simulace

