

基于 FPGA 的可编程片上系统 SOPC

梁迎春¹, 曹祥建², 吴海涛¹

(1.肇庆学院 电子信息工程系, 广东 肇庆 526061; 2.中国建设银行 信息技术管理部厦门开发中心, 福建 厦门 361001)

摘 要:介绍了可编程片上系统 SOPC 导致嵌入式系统设计变革的原因及优势,分析了基于 FPGA 的可编程片上系统的设计方法,提出了嵌入 IP 核的 SOPC 系统的解决方案。

关键词: SOPC; FPGA; IP 核

中图分类号: TP39

文献标志码: A

文章编号: 1009-8445(2006)05-0018-05

片上系统(SOC)解决方案是微处理器发明以来最重要的发展之一.SOC 器件现已广泛应用于消费类产品(如数字蜂窝手机和数字电视机顶盒)及高端通信 LAN/WAN 设备.以前为设计此类嵌入式系统,设计人员需要选择 3 类不同的硬件器件——处理器、逻辑器件和存储器;而今,结合所有这些器件可以创造出单个 SOC 解决方案,从而提高了速度,缩小了尺寸,更重要的是降低了系统的总体成本.

嵌入式系统 SOC 可以基于 FPGA/CPLD 或专用集成电路(ASIC).开发新的基于 ASIC 的 SOC 器件需要许多关键因素,包括先进的开发工具、领先的制造技术和半导体 IP(Intellectual Property)核.考虑到技术发展,基于 ASIC 的 SOC 行业仍面临许多挑战,因此阻碍了其发展.采用 FPGA 可使 SOC 设计具有显著的灵活性,但由于处理器内核通常是硬核,所以其伸缩性极小.目前,ARM 和 ARC Cores 等公司推出的各种可配置处理器内核正在改变着 SOC 的设计.Altera 和 Xilinx 公司将自己生产的可配置 FPGA 与可配置处理器内核结合在一起,推出了 SOPC(可编程片上系统)解决方案.

1 可编程片上系统 SOPC 导致嵌入式系统设计的变革

目前,若以嵌入式系统所采用的核心器件——处理器进行划分,嵌入式系统可分为 3 种类型:基于微控制器(MCU)的嵌入式系统,基于信号处理器(DSP)的嵌入式系统,基于微处理器(MPU)的嵌入式系统.无论哪种嵌入式系统,其经典设计方法仍然是一种板级电子系统设计方法:首先,根据嵌入式系统的设计要求,按一定的设计规则,将整个嵌入式系统分成具有特定功能的若干个功能模块,如处理器模块、信号采集模块、执行机构控制模块等;然后,根据系统模块划分的结果,选择现成已商品化的模块或自行研制各功能模块;最后,把这些模块组合成一个完整的嵌入式系统.随着集成电路技术的发展,对嵌入式系统小型化、微型化等方面的要求越来越高,嵌入式系统的核心器件——处理器也不断向高处理速度方向发展,这使板级电子系统的 PCB 设计难度增加,设计重点不仅是 PCB 版图设计,更重要的是电磁兼容和系统可靠性设计.这个问题在 IT(Information Technology)产业中尤为突出.随着 CPLD/FPGA 的容量越来越大,性能越来越好,价格越来越低,嵌入式系统现已逐渐从板级设计转向了芯片级设计(片上系统设计),这大大降低了板级设计的工作量,减少了电磁兼容问题,提高了系统的可靠性.CPLD/FPGA 的可编程能力,还使得 CPLD/FPGA 不仅能实现一个高度复杂的系统,而且能快速改变系统的特性.

片上可编程系统 SOPC 在电子设计技术上给出了一种以人的基本能力为依据的软硬件综合解

收稿日期:2006-04-03

基金项目:肇庆学院青年科学研究基金资助项目(0632)

作者简介:梁迎春(1975-),女,广西玉林人,肇庆学院电子信息工程系讲师,硕士.

决方案.由于同时涉及底层的硬件系统设计和相应的软件设计,在系统优化方面有了前所未有的自由度.在软硬件系统的综合与构建 2 个方面, SOPC 技术使开发者有了充分发挥自己创造性和想像力的巨大空间,使其从多角度、多因素和多结构层面上大幅度优化自己的设计成为可能.事实上,对微控制器、信号处理器 DSP 或 ARM 系统等基于传统嵌入式开发技术的设计流程而言,不存在严格意义上的硬件设计,而只有软件设计.因为一旦方案确定,硬件系统的核心器件是现成的,其功能确定,结构固定,且指令系统不可更改,由此限定了硬件的组织方案和连接方案,用户只能被动地遵循和适应,这时的硬件“设计”只能流于拼装和连接.系统构成后的唯一任务是依据既定的指令系统进行编程,除了系统功能和算法可以通过软件改变外,系统的性能和指标已无从改变,设计者的创新能力、想像力和优化设计能力的发挥空间已被选定的硬件性能所定.没有创造,超越便无从谈起,这导致系统的综合性能基本取决于器件原有的性能和指标.换言之,传统嵌入式技术是以既定硬件及其性能而非以人的能力为主轴的技术. SOPC 在应用理论和知识构成上,达到了一种有机融合,它将 FPGA, MCU 及 DSP 等功能集于一身,将其可编程特性与 IP 核相结合,可以快速、低廉地开发出不同的协处理器,从而真正实现硬件编程、升级和重构.随着 FPGA 制造工业的发展,这种优势将会更加明显.同 IC 组成的系统相比, SOPC 由于采用了软、硬件协同设计的方法,能够综合并全盘考虑整个系统的各种情况,可以在同样的工艺技术条件下实现更高性能的系统指标,易于实现功能可重构、可重配置的复杂系统. SOPC 技术既缩短了开发周期,又能达到更好的设计效果,同时还能满足苛刻的设计限制.

SOPC 技术的目标就是试图将尽可能大而完整的电子系统,包括嵌入式处理器系统、接口系统、硬件协处理器或加速器系统、DSP 系统、数字通信系统、存储电路以及普通数字系统等,在单一 FPGA 中实现,使得所设计的电路系统在规模、可靠性、体积、功耗、功能、性能指标、上市周期、开发成本、产品维护及其硬件升级等多方面实现最优化.

随着现代信息技术的发展,电子产品的生命周期越来越短,可编程片上系统(SOPC)芯片的需求量日益扩大,传统的板级电子系统设计方法已无法满足需求,因此, SOPC 电子系统设计方法将成为嵌入式系统设计的主流方式.

2 基于可编程片上系统 SOPC 的设计方法

面向 SOPC 的设计技术主要包括以下 3 个方面:

1) 基于单片集成系统的软硬件协同设计和验证技术.主要是面向不同目标系统的软硬件功能划分理论和设计空间搜索技术.

2) IP 核生成及复用技术. IP 资源复用是指在集成电路设计过程中,先继承、共享或购买所需的智力产权内核,然后再利用电子设计自动化(EDA)工具进行设计、综合和验证,从而加速流片设计过程,降低开发风险.

3) 模块以及模块界面间的综合分析和验证技术.综合分析和验证是难点,要为硬件和软件的协同描述、验证及综合提供自动化的集成开发环境.

与传统方法相比, SOPC 的设计方法必须有根本的改变,即从以功能设计为基础的传统流程,转变到以功能组装为基础的全新流程.

传统的集成电路 IC 设计方法是先设计硬件,再根据算法设计软件.在深亚微米设计中,硬件的费用是非常大的.当设计完成后,发现错误进行更改时,要花费大量的人力、物力和时间,且设计周期变长.

现在,集成电路 IC 设计是建立在 IP 复用基础上的,即利用已有的芯核进行设计重用,完成目标系统的整体设计以及系统功能的仿真和验证.一般采用从系统行为级开始的自顶向下的设计方法,把处理机制、模型算法、软件、芯片结构、电路直至器件的设计紧密结合起来,在单个芯片上完

成整个系统的功能.这是由于芯片设计的复杂性和产品面市时间,对于保证终端市场的成功率至关重要,设计师不断寻求缩短设计周期的方法,以及更有效的设计方式的结果.随着系统级芯片时代的到来,利用 IP 内核和可编程逻辑设计复用显得日趋重要.IP 复用已逐渐成为现代集成电路设计的重要手段,在日新月异的各种应用需求面前,超大规模集成电路设计正步入一个 IP 整合的时代.它不仅应用于专用集成电路设计,对基于 FPGA 的 SOPC 系统设计领域而言,更具有举足轻重的地位.IP 核是 IP 资源复用的载体和核心内容,基于应用需要、规范协议和行业标准的不同,IP 核的内容也是千差万别的.

软硬件协同设计^[1]是具有很大挑战性的技术策略,它使系统软件的设计必须考虑芯片的硬件结构,同时系统的芯片结构,更需要软件与硬件设计的协同,以使整个系统在协同设计中实现最优化.正是由于硬件描述语言的广泛使用和数字仿真技术的日益完善,才使软硬件协同设计成为可能,从而大大缩短了 SOPC 的设计周期,提高了设计效率.软硬件协同设计通常是从一个给定的系统任务开始的,通过有效地分析系统任务和所需要的资源,采用一系列的变换方法并且遵循特定的准则,自动生成符合系统功能要求的、符合实现代价约束的硬件和软件框架.这种全新的软硬件协同设计思想需要解决许多问题:系统级建模、系统级描述语言、软硬件划分、性能评估、协调综合、协同仿真和协同验证.软硬件协同设计的一般流程如图 1 所示.面向 SOPC 的

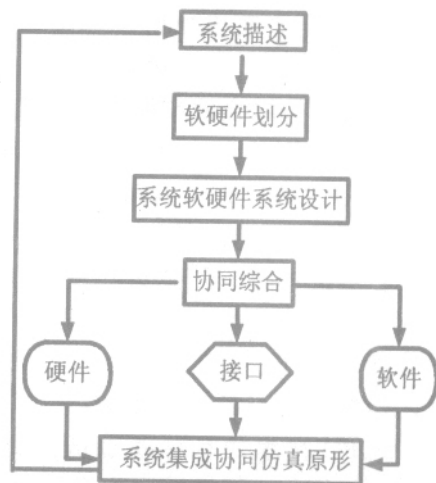


图 1 软硬件协同设计的一般流程

软硬件协同设计流程从目标系统构思开始.对一个给定的目标系统,经过构思完成其系统整体描述,然后交给软硬件协同设计的开发集成环境,由计算机自动完成剩余的全部工作.一般而言,还要经过模块的行为描述、对模块的有效性检查、软硬件划分、硬件综合、软件编译、软硬件集成、软硬件协同仿真与验证等各个阶段.其中软硬件划分后产生硬件部分、软件部分和软硬件接口界面 3 个部分.硬件部分遵循硬件描述、硬件综合与配置、生成硬件组建和配置模块;软件部分遵循软件描述、软件生成和参数化的步骤,生成软件模块.最后,将生成的软硬件模块和软硬件界面集成,并进行软硬件协同仿真,以进行系统评估和设计验证.

3 SOPC 系统的解决方案

将处理器 IP 核嵌入到可编程逻辑器件,是基于 FPGA 的可编程片上系统设计的前提条件.目前, SOPC 系统的解决方案主要有 2 种^[2].

3.1 嵌入处理器 IP 硬核的 SOPC 系统

这是一种将 51 单片机、ARM 等处理器硬内核嵌入各种可编程逻辑器件并进行应用系统 SOPC 设计的解决方案.利用 FPGA 中的可编程逻辑资源和 IP 软核,直接利用 FPGA 中的逻辑宏单元构成处理器硬核的接口功能模块,能解决传统嵌入式系统体积大、功耗高和可靠性低等缺点;能将 FPGA 灵活的硬件设计和实现与处理器强大的软件功能有机结合,高效地实现 SOPC 系统.

此方案存在的缺点如下:

- 1) 硬核多来自于第三方公司,致使 FPGA 器件成本偏高;
- 2) 硬核预先植入,使设计者无法根据实际需要改变处理器的结构;
- 3) 无法根据实际设计需求在同一 FPGA 中使用多个处理器内核;
- 4) 无法裁减处理器硬件资源以降低 FPGA 的成本;
- 5) 只能在特定的 FPGA 中使用硬核嵌入式系统.

3.2 嵌入处理器 IP 软核的 SOPC 系统

将处理器软内核嵌入各种可编程逻辑器件并进行应用系统 SOPC 的设计, 国内外已有很多成功先例. 其中最著名的要数 Altera 公司的 Nios 和 NiosII 软核及 Xilinx 的 MicroBlaze 软核.

Altera 推出的 NiosII 系列嵌入式处理器, 扩展了目前世界上最流行的软核嵌入式处理器的性能. 将 NiosII 嵌入到 Altera 的所有 FPGA 中, 如 StratixII, Stratix, Cyclone 等系列器件中, 用户可获得超过 200DMIPS 的性能. 设计师可以从开发系统中选择 3 种处理器以及超过 60 个的 IP 核, 创建最适合他们需要的嵌入式系统. 此外, 还可以根据需要调整嵌入式系统的特性、性能及成本, 利用其功能强大、易用的开发工具和完全功能的开发包, 将产品推向市场, 扩展产品的生命周期, 并且避免处理器的更新换代.

Xilinx 开发的 Micro Blaze, 是一个非常简化但性能较高的软处理器内核, 它可以在性价比很高的 Spartan II(-E) 系列 FPGA 上实现. 系统时钟频率为 75 MHz, 仅占用 400 个切片 (Slice) 资源, 相当于 10 万门 FPGA 容量的 1/3, 而 10 万门的 Spartan II 系列 FPGA 的批量目标市场价格仅为 10 美元左右, 非常适合消费类嵌入式产品的应用需求.

比较以上 2 种解决方案, 后者能有效地弥补前者的诸多缺陷. 它使得设计者可根据处理目标, 将配置优化为软核处理器, 设计构建硬件加速器及对应的 RISC 指令. 这种基于 SOPC 技术的可配置型处理器设计方案, 可解决仅靠增加主频速度难以提高处理器工作速度的难题, 还能成为超级计算机设计的有效手段.

下面以单芯片动态可重构信号处理器为例, 比较传统嵌入式系统设计和 SOPC 设计技术的区别. 数字信号处理器是一种为高度密集运算量而专门优化的嵌入式处理器, 典型的有 TI 的 TMS320 系列和 AD 公司的 ADSP. 其中 TI 公司的最新产品 TMS32C641X 系列处理器工作频率高达 1 GHz, 处理能力可达数 GFLOPS, 但是, 数字信号处理器终归还是一种基于软件程序顺序执行指令的串行处理器. 从微观上看, 处理器在某一特定时刻, 只有一个算数逻辑单元 (MAU) 在执行特定指令, 如果要在硬件上实现多个 MAU 并行, 只能通过将多个 DSP 器件并行处理, 这样必然导致 PCB 设计及调试的复杂性大幅度提高, 而且 DSP 器件之间的耦合程度、处理任务划分与进程间通信等方面的灵活性也存在一定问题. 基于可编程逻辑器件实现的可编程片上系统 SOPC 设计技术, 则在很大程度上克服了上述问题, SOPC 的处理器 IP、控制器 IP、信号处理算法 IP 等各种数字逻辑, 都是基于可编程逻辑在同一个 FPGA 芯片内部实现, 可以任意添加、裁减及改变连接关系, 而且它们之间的互连方式, 是比板级 PCB 互连更具有紧耦合特征的片内互连.

基于 SOPC 设计技术实现的单芯片动态可重构信号处理器的结构及接口, 如图 2 所示.

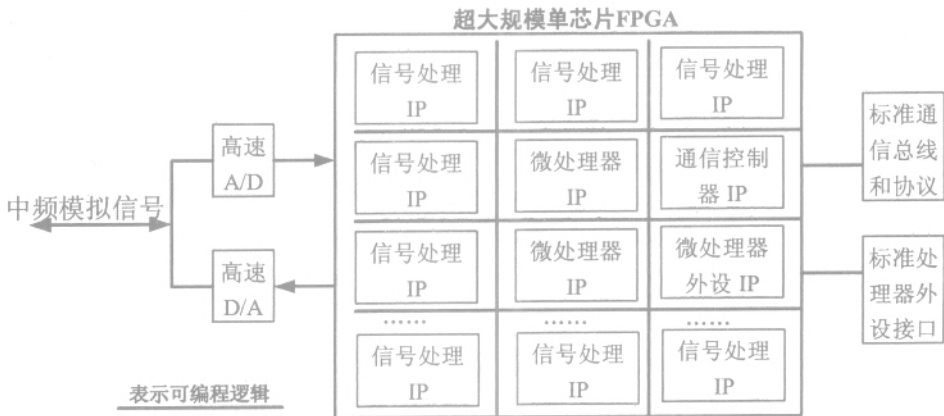


图 2 单芯片动态可重构信号处理器结构及其接口

4 结 语

以 FPGA 为核心的 PLD 产品,是近几年集成电路中发展最快的产品.随着 FPGA 性能的高速发展和设计人员自身能力的提高, FPGA 将进一步扩大可编程芯片的适用领域,将复杂专用芯片挤向高端和超复杂应用.目前, FPGA 的发展趋势主要体现在以下 4 个方面^[3]:

- 1) 向更高密度、更大容量的千万门系统级方向迈进;
- 2) 向低成本、低电压、微功耗、微封装和绿色化方向发展;
- 3) IP 资源复用理念将得到普遍认同并成为主要的设计方式;
- 4) MCU, DSP, MPU 等嵌入式处理器 IP 将成为 FPGA 应用的核心.

得益于新一代超大规模可编程逻辑器件工艺的不断进步和开发工具的不断完善,以 FPAG 为基础的可编程片上系统 SOPC,将更加广泛地应用于通信领域、工业控制、计算机相关产品和消费类电子等各个领域, SOPC 的设计理念将会使设计方式产生新的变革.随着处理器以 IP 的形式嵌入到 FPGA 中, ASIC 和 FPGA 之间的界限将越来越模糊. Altera 和 Xilinx 等公司最新一代 FPGA 及其相关 IP 核的推出,使我们有理由相信,可编程片上系统 SOPC 的普及应用时代已经离我们不远了.

参考文献:

- [1] 唐思章,黄勇. SOPC 与嵌入式系统软硬件协同设计[J]. 单片机与嵌入式系统应用, 2005(12): 5- 8.
- [2] 潘松. SOPC 技术实用教程[M]. 北京: 清华大学出版社, 2005: 1- 3.
- [3] 张文. 可编程逻辑器件的发展与应用[J]. 大众科技, 2006(3): 49- 50.

System on Programmable Chip Based on FPGA

LIANG Yingchun¹, CAO Xiangjian², WU Haitao¹

(1. Department of Electronics and Information Engineering, Zhaoqing University, Guangdong Zhaoqing 526061, China;

2. Xiamen Research and Development Center, China Construction Bank, Fujian Xiamen 361001, China)

Abstract: To introduce the cause and advantages of SOPC resulted from in the innovation of system-embedded design, analyze the design method of system on programmable chip based on FPGA, and present the solution of embedded IP core of SOPC system.

Key words: SOPC; FPGA; IP core

(责任编辑:徐生然)