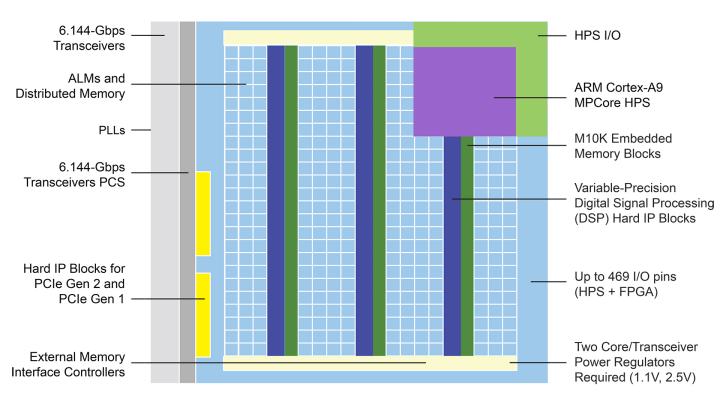
# SoC FPGA 架构

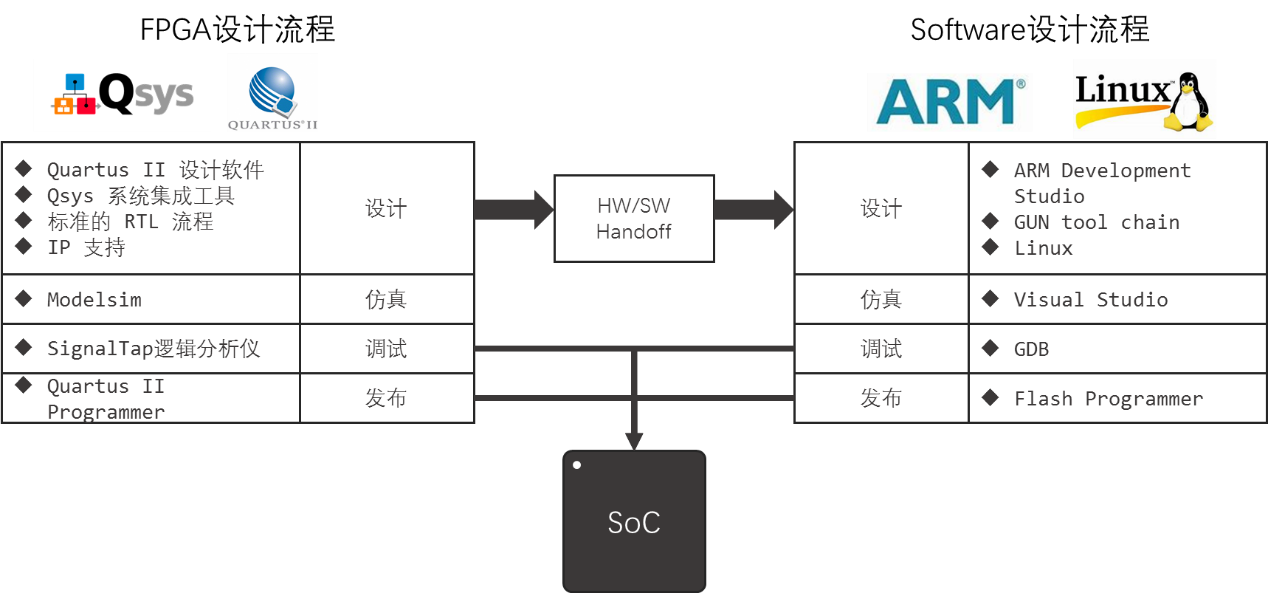
SoC FPAG 就是在FPGA架构中集成了基于ARM的硬核处理器系统HPS，包括处理器、外设和存储控制器。Altera SoC FPGA 集成了双核的ARM Cortex-A9 MPCore 处理器和28纳米的FPGA，硬核处理器与FPGA之间采用高于125Gb/s的宽带互联。FPGA同时实现了硬核IP的性能和低功耗特性，以及可编程逻辑的灵活性。SoC FPGA 架构如下：



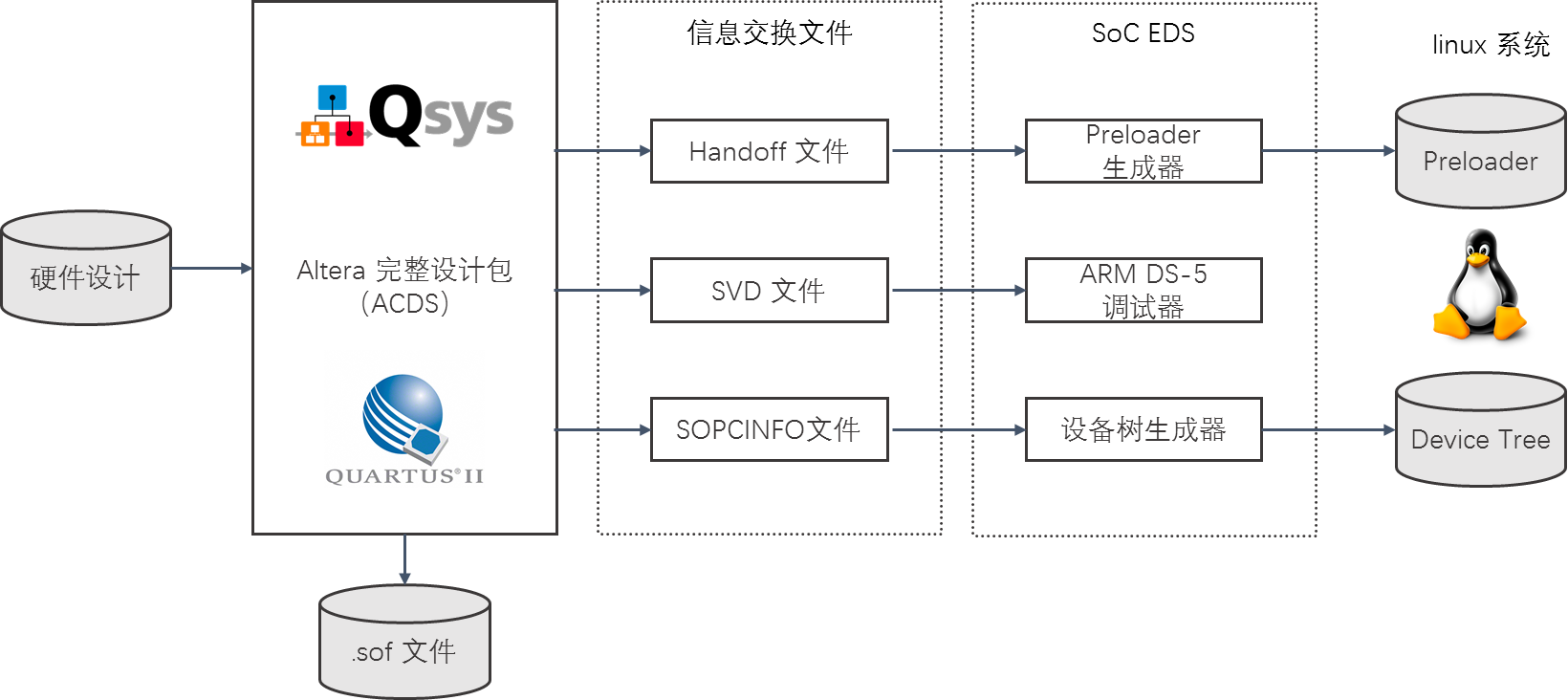
1. 基于ARM的硬核处理器系统。HPS包括一个双核ARM Cortex-A9 MPCore处理器、丰富的外设和与FPGA中的逻辑共享的多端口存储器控制器。SoC FPGA使用嵌入式外设，不需要在可编程逻辑中实现这些功能，FPGA有更多的资源去实现定制的逻辑，降低了系统功耗。处理器与FPGA共享的硬核多端口SDRAM存储器控制器支持DDR2、DDR3.和LRDDR2器件，集成了误码纠错功能，提供了系统的可靠性。
2. 高速互联。HPS与FPGA架构之间的大吞吐量的数据通路实现了双芯片解决方案无法提供的互联性能。HPS与FPGA架构提供了125Gb/s的峰值带宽。
3. 灵活的FPGA架构。采用灵活的FPGA逻辑架构，设计者可以在设计中用Altera预配置IP或者其他定制的IP，从而突出系统优势，利用FPGA中的硬核逻辑功能，降低系统功耗和节约FPGA资源。

# 软硬件开发流程

Altera SoC FPGA 将一个硬核处理器系统HPS和FPGA资源集成在一块芯片上，HPS部分包含丰富的控制器及接口资源，FPGA部分可以通过高性能连接桥访问HPS的资源。设计者可以将自定义的外设或者第三方IP添加到FPGA部分并映射到HPS中，基于ARM Cortex A9硬核处理器的SoC FPGA 软硬件整体开发流程如图：



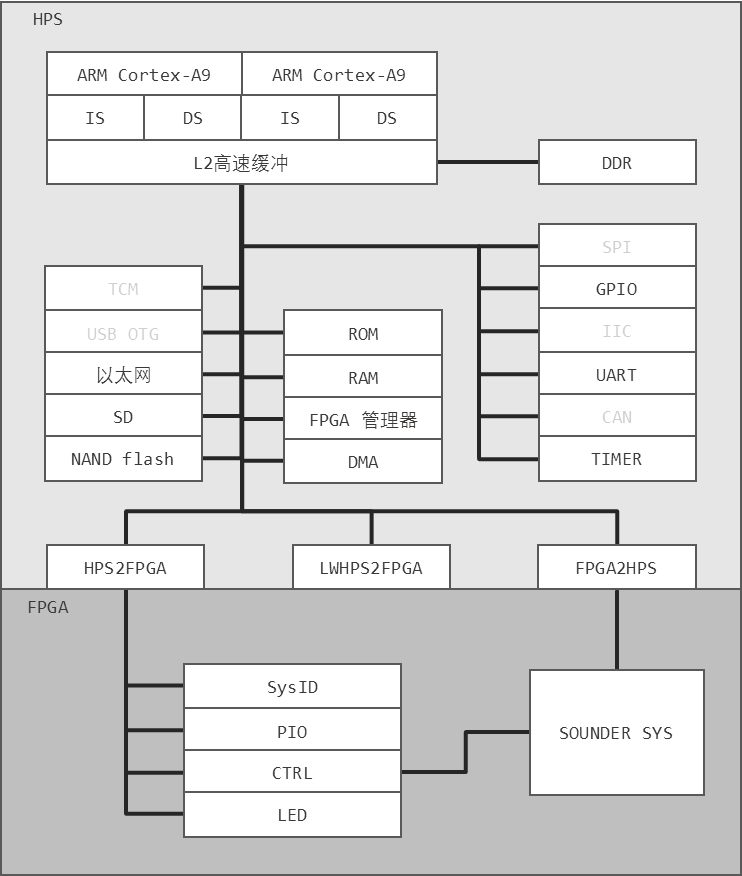
SoC FPGA中的HPS可以通过Altera SoC/FPGA IP集成工具Qsys进行配置，包括DDR存储器选择、时钟频率选择以及实际硬件系统中所使用的HPS外设等。Qsys用来定义HPS外设的引脚输入输出，Quartus II 软件用来定义FPGA外设的引脚输入输出。Qsys以及quartus II 编译可以产生软件设计所需要的信息文件，这些信息文件与软件设计过程的对应关系如下：



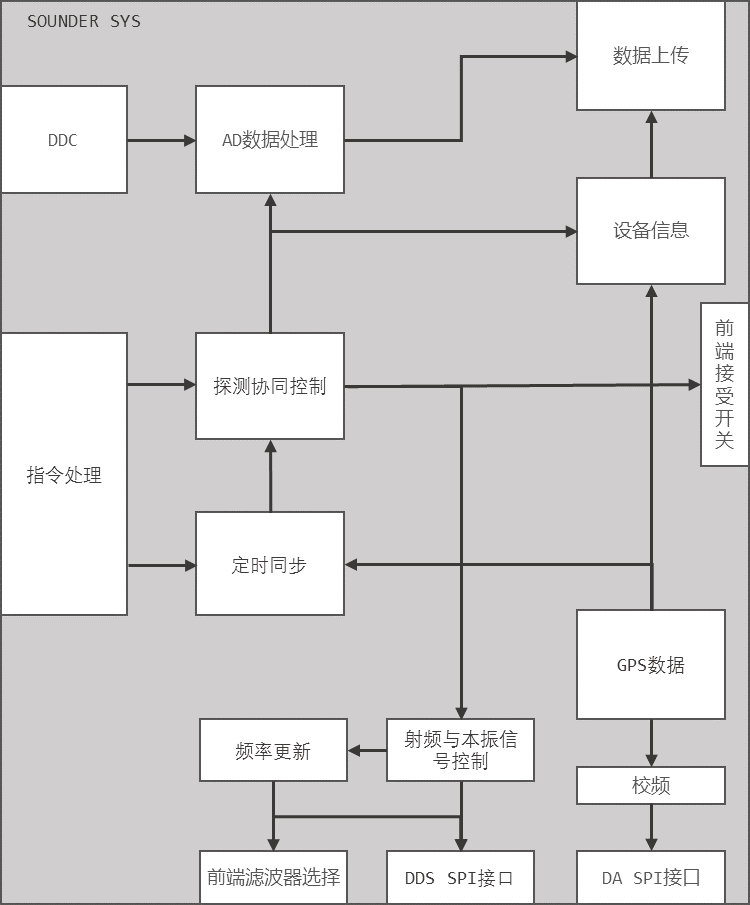
# 设计方案

## 硬件设计

Altera的Quartus II 13.0以上的EDA开发软件提供了基于ARM的SoC FPGA的开发环境，可以实现基于ARM的SoC系统设计，Quartus II所包含的Qsys系统集成工具在IP功能和子系统之间自动生成互联逻辑，从而缩短设计时间，减轻设计工作量。对于使用AMBA等通用接口标准和协议编写的IP，Qsys可自动识别，将其与SoC连接。系统框图如下：



在图中HPS的部分将在Qsys上进行元件属性配置生成， FPGA部分由Quartus进行搭建。本硬件模型中包括HPS、并行输入输出接口（PIO）、片上存储器、系统ID、DMA、LED等，以及许多固定外设如以太网、SD、UART、GPIO、DDR内存等，其中不太需要的外设接口没有显示。HPS与FPGA逻辑之间通过AXI桥接口进行通信，系统结构中的HPS2FPGA和FPGA2HPS接口可根据需求设置为32、64和128位宽。HPS中的模块都可以使用Qsys进行配置生成，而FPGA中的模块需要根据项目进行搭建，基于SoC的电离层探测系统（SOUNDER SYS）的结构框图如下：



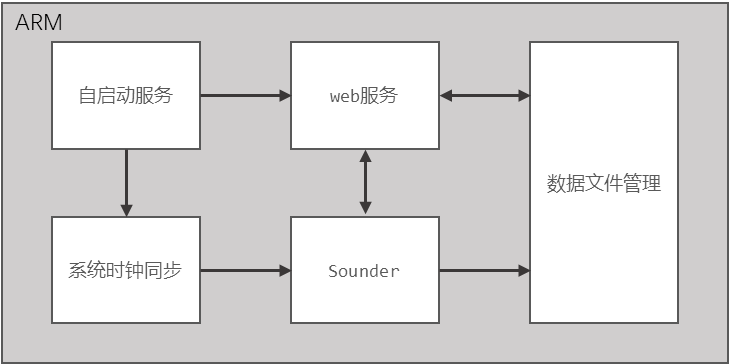
该探测系统中的指令处理模块与SoC系统框图中的CTRl接口相连，数据上传模块连接FPGA2HPS桥。

# 软件设计

Altera SoC FPGA 包括完善的高性能多核 ARM Cortex\*-A9 处理器。该处理器可用于实现各种功能，从极为简单的裸机应用（在一个可用内核上运行）到高带宽、低延迟的实时操作。对于简单的单核应用（具有最少的实时限制），可使用硬件库 (HWLIB) 构建裸机应用。然而，如需充分利用设备功能，强烈建议使用操作系统。所选的操作系统可以是运行在单核上的简单实时核心，或功能齐全的操作系统（如 Linux）或一种支持多核的实时操作系统。 除开源 Linux 外，还有许多商用操作系统可用于SoC FPGA，包括 uC/OS、ThreadX、VxWorks、FreeRTOS等。

硬件设计项目经Quartue II 编译后产生了三种接口文件，含有HPS元件配置信息的Handoff，描述HPS寄存器和FPGA软核IP寄存器的SVD文件以及描述整个系统信息的SOPCINFO文件，其中SOPCINFO文件用于设备树产生器，用于产生Linux内核所需的设备树，设备树文件描述了硬件到操作系统的行业标准方式，指定了相应板载硬件和FPGA配置，使Linux内核启动时会加载相应的驱动程序。

运行了操作系统的ARM处理器有许多优势，譬如功能齐全的Linux操作系统具有完善的多用户管理，丰富的底层驱动以及开源的软件应用程序。在此基础上，软件的设计要在裸机上开发方便得多，对于电离层探测系统的上位机设计框图如下：



在该设计框架下，Sounder模块负责完成与底层的数据交接，web服务负责人机交互，因此，该框架下的电离层探测系统完全可以通过网络进行操作，设备信息的获取、探测任务的发布以及数据文件的管理等操作都可以通过互联网来完成。