隊名： 政治嫂不會騎單車

成員； B08902106 袁昕德

B08902109 邱俊茗

分工；

袁昕德：

邱俊茗：

Implement：

Control.v：input有現在的Instruction跟 一個signal 代表現在的指令是否被flush過了，output則有數個signal分別代表是否要寫register、是否要寫memory、ALU的source取從register讀出來的值或一個常數、這個Instruction是否是branch instruction、寫進register的值是來自Memory或ALU以及ALU要做什麼運算(0代表Or、1代表And、2代表Add、3代表Sub、4代表Mul)。

ALU.v：根據Control傳的signal決定要對input的兩個data做什麼運算，並將結果輸出。

Imm\_Gen.v：若instruction是addi、sw或lw，輸出指令中的常數(包含Sign Extension)，若instruction是beq，則以sw的bits排列方式輸出常數(包含Sign Extension)，雖然這樣輸出的結果是錯的，但將會在Shift\_Left\_1被修正，而且這個錯誤的常數也不會被選為ALU的source，所以不影響，其餘instruction將會使這個module輸出的結果不會被選為ALU的source，亦不影響。

Shift\_Left\_1.v：將input的常數當作是beq在Imm\_Gen產生的錯誤的常數，重新排列成正確的常數(包含向左shift 1個bit)，若當前的instruction並非beq，這個常數不會被選為和pc相加，所以不影響。

Forward.v (Forwarding Unit)：若EX stage的rs1 / rs2會使用MEM stage中尚未寫入register的值，Forward1\_EX / Forward2\_EX為2，若rs1 / rs2會使用WB stage中尚未寫入register的值，Forward1\_EX / Forward2\_EX為1

，若rs1 / rs2未使用到尚未寫入register的值Forward1\_EX / Forward2\_EX為0。