

Ejercicios Memorias

1 Representar el mapa de memoria para un sistema digital de las siguientes características:

- Tipo de arquitectura Von Newman.
- Tamaño del bus de datos de 8 bits con bus de direcciones de 20 bits.
- Se requieren 2 Mbytes de memoria RAM. Para ello, se dispone de circuitos integrados de 512 KB.
- Se requiere 1 Mbyte de memoria ROM. Para ello, se dispone de circuitos integrados de 256 KB.
- Dirección de reset: 0x00000H
- El sistema se compone de 4 bancos.

Rango de direcciones: 20 bits / 4 = 5 cifras hexadecimales \rightarrow 00000H - FFFFFH

RAM: $2\text{MB} = 2 \cdot 2^{20} \text{KB} = 2048 \text{KB} \rightarrow 2048 / 512 = 4$ circuitos RAM

ROM: $1\text{MB} = 2^{20} \text{KB} = 1024 \text{KB} \rightarrow 1024 / 256 = 4$ circuitos ROM

① 512KB = 524288 B \rightarrow 80000H posiciones

② 256KB = 262144 B \rightarrow 40000H posiciones

	0	1	2	3
② 00000	ROM 0 256 KB	ROM 1 256 KB	ROM 2 256 KB	ROM 3 256 KB
3FFFF ② 40000	VACIO	VACIO	VACIO	VACIO
7FFFF ① 80000	RAM 0 512 KB	RAM 1 512 KB	RAM 2 512 KB	RAM 3 512 KB
FFFFFF				

2 Representar el mapa de memoria para un sistema digital de las mismas características que el presentado en el ejercicio 1, con la única diferencia que, en este caso, la dirección de reset se encuentra en la dirección 0xFFFF.

	0	1	2	3
00000	RAM 0 512 KB	RAM 1 512 KB	RAM 2 512 KB	RAM 3 512 KB
7FFFF 80000	VACIO	VACIO	VACIO	VACIO
BFFFF C0000	ROM 0 256 KB	ROM 1 256 KB	ROM 2 256 KB	ROM 3 256 KB
FFFFFF				

3 Completar la siguiente tabla relativa a las características principales de un bus de direcciones:

NUM. BITS	CAPACIDAD MEMORIA	INTERVALO DIRECCIONES (HEXADECIMAL)	NOMBRE SEÑAL ULTIMA LINEA
16	64 KB	0000 - FFFF	A15
20	1 MB	00000 - FFFFF	A19
24	16 MB	000000 - FFFFFFF	A23
28	8 MB	000000 - 7FFFFFF	A22
32	2 KB	000 - 7FF	A30
30	1 KB	000 - 3FF	A9

* $1 \text{ TB} = 2^{40} \text{ B} = 1024 \text{ GB}$
 $1 \text{ GB} = 2^{30} \text{ B} = 1024 \text{ MB}$
 $1 \text{ MB} = 2^{20} \text{ B} = 1024 \text{ KB}$
 $1 \text{ KB} = 2^{10} \text{ B} = 1024 \text{ B}$
 $1 \text{ B} = 8 \text{ bits}$

$2^n = x \text{ bits}^*$

4 Se tiene un computador de 36 bits con capacidad para direccionar 1MB de memoria. Físicamente, dicho dispositivo tiene instalados 64 KB de memoria, partiendo de la dirección 0x00000 de memoria y instalados de forma consecutiva. Dicha memoria se la realizó mediante chips de 32Kx4 (lo cual significa que son memorias de 32K de capacidad, siendo cada palabra de 4 bits). Se pide lo siguiente:

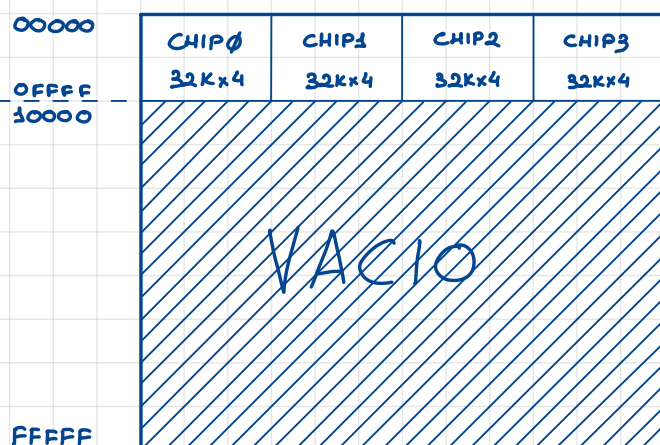
- Calcular el número de bits del bus de direcciones
- Calcular el número necesario de bits necesario para direccionar la memoria instalada.
- Calcular el número de chips de memoria de 32Kx4 necesarios para construir dicha memoria.
- Dibujar el mapa de memoria del computador, indicando las zonas ocupadas, indicando su tamaño y la señal digital empleada para su activación.
- Dibujar el circuito hardware de la memoria. Para ello, no se dispone de ningún dispositivo decodificador.

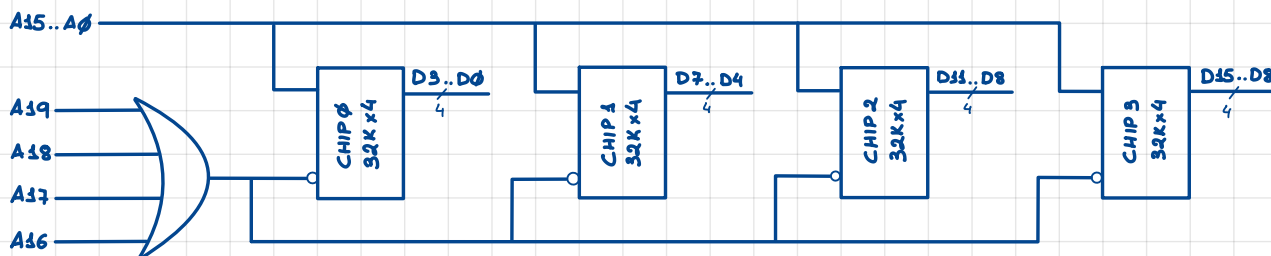
$$1 \text{ MB} = 2^{20} \text{ KB} = 2^{20} \text{ B} \rightarrow 20 \text{ bits} \quad // \quad 1 \text{ MB} = 1024 \text{ KB} = 1048576 \text{ B} \rightarrow \log_2 1048576 = 20 \text{ bits}$$

$$64 \text{ KB} = 64 \cdot 1024 \text{ B} = 65536 \text{ B} \rightarrow \log_2 65536 = 16 \text{ bits}$$

$$\frac{64 \text{ KB}}{32 \text{ KB}} \times \frac{8 \text{ bits}}{4 \text{ bits}} = 2 \times 2 = 4 \text{ chips de memoria de } 32 \text{ K} \times 4 \rightarrow 4 \cdot \frac{(32 \cdot 1024 \cdot 4)}{8} = 4 \cdot \frac{131072}{8} = 65536$$

n° chips 32k x 4
convertir a bytes



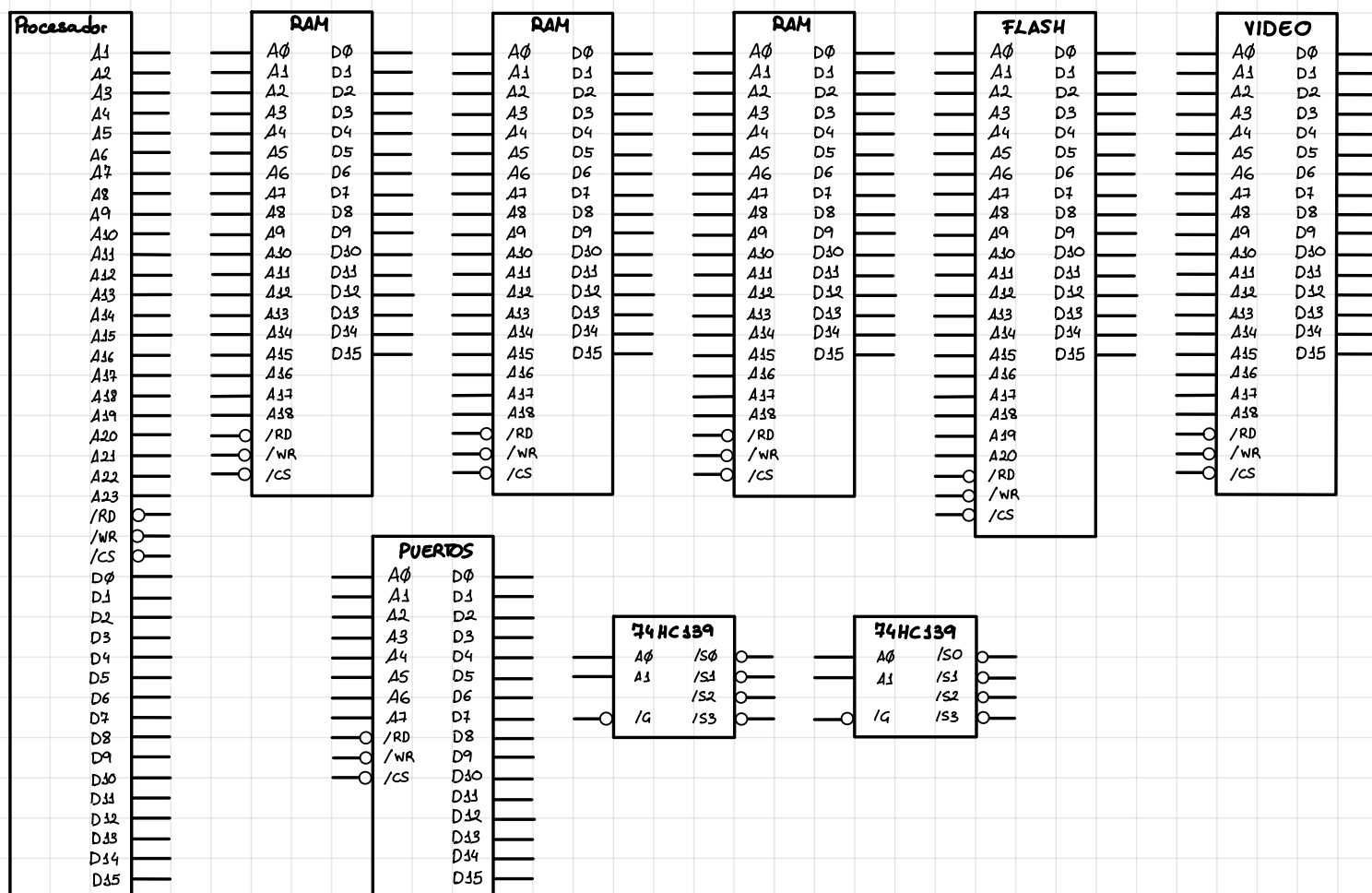


5 Se desea diseñar un mapa de memorias, los cuales cuentan con las siguientes características:

- Memorias FLASH de 4 MB en la posición 000000H.
- Memorias RAM de 3 MB en la posición 400000H.
- Memoria de video de 1MB en la posición 700000H.
- El resto de posiciones pueden quedar vacías o en espejo.

Se pide lo siguiente:

- Se debe dibujar el mapa de memoria indicando la ocupación de la memoria, además de definir las señales que activarán cada uno de los elementos (CS0, CS1, ...). Además, se deben indicar las direcciones más significativas de cada uno de los elementos.
- Se debe realizar el circuito hardware de la memoria. Para ello, se deberá utilizar únicamente dos integrados de tipo 74HC139. Indicar el conexionado considerando los elementos HW de la siguiente figura.



PROCESADOR :

- 23 bits bus de direcciones \rightarrow Rango de direcciones: 000000 - 7FFFFFFF
- 36 bits bus de datos

FLASH :

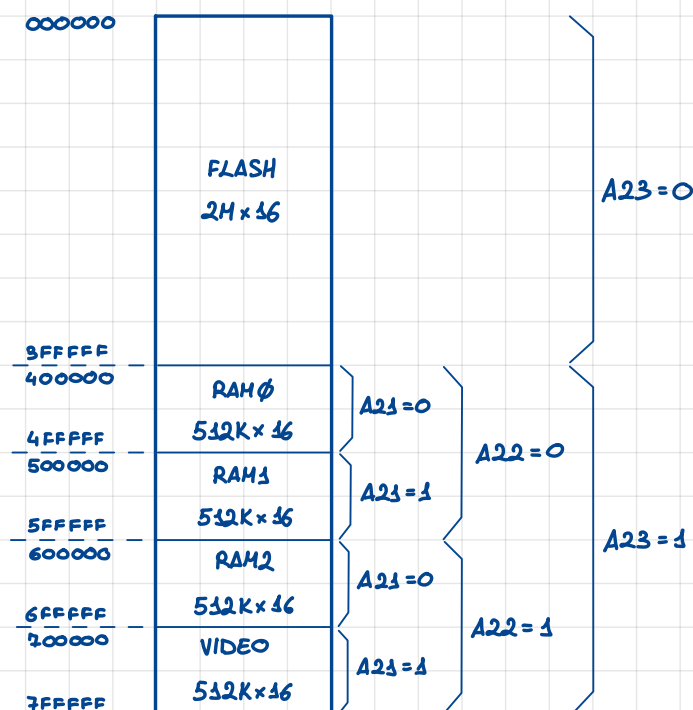
- 21 bits de direcciones $\rightarrow 2^{21} = 2097152 = 2048K = 2M$
- 36 bits de datos
- $\frac{4MB}{2MB} \times \frac{8 \text{ bits}}{16 \text{ bits}} = 2 \times \frac{1}{2} = 1$ chip de memoria FLASH de $2M \times 16$ bits
- Capacidad: $\frac{2M \times 16 \text{ bits}}{8 \text{ bits}} = 4MB \rightarrow 400000$ posiciones ($\times 8$ bits) $\rightarrow 000000 - 3FFFFFF$

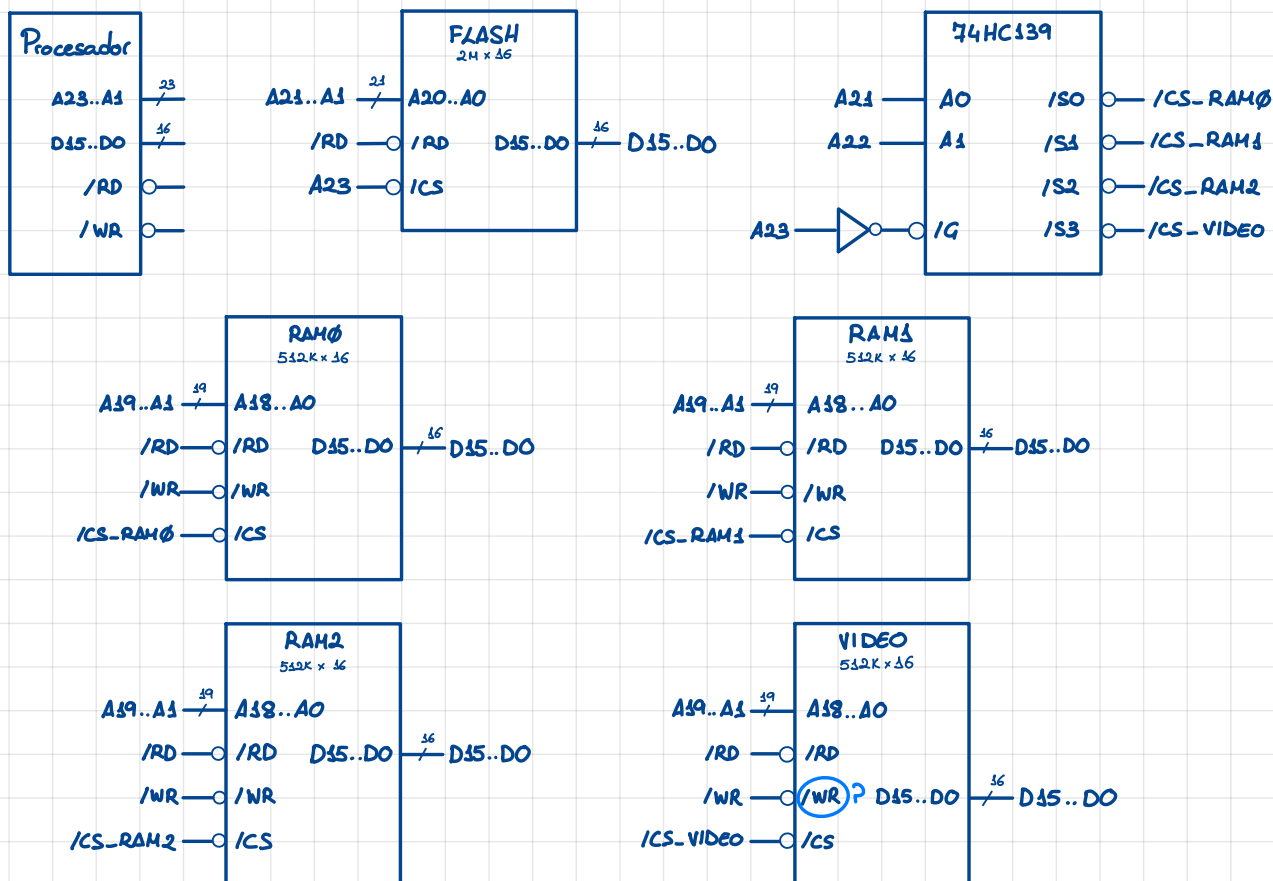
RAM :

- 19 bits de direcciones $\rightarrow 2^{19} = 524288 = 512K$
- 36 bits de datos
- $\frac{3M}{512K} \times \frac{8 \text{ bits}}{16 \text{ bits}} = \frac{3072KB}{512KB} \times \frac{8 \text{ bits}}{16 \text{ bits}} = 6 \times \frac{1}{2} = 3$ chips de memoria RAM de $512K \times 16$ bits
- Capacidad: $\frac{512K \times 16 \text{ bits}}{8 \text{ bits}} = 1024KB = 1MB \rightarrow 100000$ posiciones
400000 - 4FFFFFF (RAM0), 500000 - 5FFFFFF (RAM1), 600000 - 6FFFFFF (RAM2)

VIDEO :

- 19 bits de direcciones $\rightarrow 2^{19} = 524288 = 512K$
- 36 bits de datos
- $\frac{1M}{512K} \times \frac{8 \text{ bits}}{16 \text{ bits}} = \frac{1024K}{512K} \times \frac{8 \text{ bits}}{16 \text{ bits}} = 2 \times \frac{1}{2} = 1$ chip de memoria de video de $512K \times 16$
- Capacidad: $\frac{512K \times 16 \text{ bits}}{8 \text{ bits}} = 1024KB = 1MB \rightarrow 100000$ posiciones $\rightarrow 700000 - 7FFFFFF$





6 Diseñar el circuito de memoria de un microprocesador con las siguientes características:

- 8 bits de palabra, arquitectura Von Newman, 16 bits de direccionamiento y dirección de reset 0x000H
- El sistema se compondrá de dos bancos con la siguiente organización:
 - Memoria de programa de 64 KB, 32 KB por banco.
 - Memoria de datos de 16 KB accesible desde ambos lados.
 - Un puerto de lectura para poder fijar el banco seleccionado.
 - El resto de la memoria puede quedar en espejo o vacía, primándose esto último.

Para la realización hardware de la memoria se dispone de los siguientes elementos:

- Memorias FLASH de 16 KB.
- Memorias RAM de tipo SRAM de 4 KB.
- Decodificadores de 2 a 4 del tipo 74139.
- Decodificadores de 3 a 8 del tipo 74138.

Se debe diseñar el mapa de memoria que cuente con las direcciones más significativas, nombres de las líneas de selección y tipo de memoria por cada región. Además, se debe realizar el circuito de decodificación mediante los dispositivos hardware presentados con anterioridad.

MEMORIA DE PROGRAMA (FLASH):

- $\frac{64 \text{ KB}}{16 \text{ KB}} = 4$ chips de memoria FLASH de 16 KB (8 bits), 2 por banco.
- 16 KB \rightarrow 4000 H posiciones \rightarrow 0000-3FFF (FLASH0, FLASH2), 4000-7FFF (FLASH1, FLASH3)

MEMORIA DE DATOS (SRAM):

- $\frac{16 \text{ KB}}{4 \text{ KB}} = 4$ chips de memoria SRAM de 4 KB (8 bits), en espejo.
- 4 KB = 1000 H posiciones \rightarrow 8000-8FFF (SRAM0), 9000-9FFF (SRAM1), A000-AFFF (SRAM2), B000-BFFF (SRAM3)

PUERTO DE LECTURA:

- 1 puerto = 8 bits = 1 posición \rightarrow C000

