

Trabalho Prático da Disciplina de Laboratório de Hardware (V1)

Igor Mello e Pedro Mello

Outubro de 2023

Resumo

Este relatório descreve os passos concluídos na segunda versão (final) do projeto do trabalho prático da disciplina de Laboratório de Hardware, que implementa um SoC (System on a Chip) utilizando a Linguagem de Descrição de Hardware VHDL.

1 Versão 1

1.1 Entidade Memória

A entidade de memória foi desenvolvida como um vetor, no qual cada posição armazena um byte. Esta entidade de memória foi concebida de maneira simples e funcional, sem interconexões. Na próxima etapa, na versão 2 do trabalho, deverá ser instanciada duas vezes na estrutura do SoC, com o propósito de representar tanto a memória de instruções (IMEM) quanto a memória de dados (DMEM) do processador. Ambas as memórias serão interconectadas com a unidade central de processamento (CPU). Por padrão, o barramento de leitura de dados, representado pelo sinal "data out," retorna 4 bytes a partir do endereço fornecido no sinal "data addr."

1.2 Testbench da Memória

O teste da memória foi desenvolvido de modo a instanciar a entidade memória e realizar um teste de escrita e leitura. Durante o teste de escrita, a memória foi inicialmente preenchida com 0 e após isso foi feita a leitura da memória, validando se realmente havia sido preenchido corretamente com os zeros. Após isso foi feita a escrita 'FF' em hexadecimal na posição 0 da memória, e para validar a escrita foi feita outra leitura retornando 'FF000000' e validando que a escrita foi concluída.

1.3 Entidade Codec

A entidade codec foi projetada para acomodar duas instruções da CPU: "In" e "Out". Quando a CPU envia um byte para a unidade de codec, essa unidade armazena o byte em um arquivo de saída. Se a CPU utilizar o comando "Out", o codec lerá um byte de um arquivo de entrada e o transmitirá de volta para a CPU.

1.4 Testbench do Codec

O teste do codec foi estruturado para instanciar a entidade codec, após isso o codec efetua a leitura de um arquivo texto contendo a letra "A", que será validada com seu equivalente em ASCII, após isso realizamos uma escrita da letra "B" em ASCII no arquivo de saída e posteriormente é validada se a escrita foi efetuada com sucesso.

2 Versão 2

2.1 Entidade CPU

O processador foi implementado na forma de um monociclo de arquitetura MISC (Minimal Instruction Set Computer). Sendo assim, possui instruções simples; cada instrução tem o tamanho de uma palavra de 1 byte de largura. O CPU trabalha com duas memórias: uma de instruções e outra de dados, que funciona na forma de pilha. O fluxo de instrução funciona da seguinte forma:

- CPU começa lendo a instrução de endereço 0 na IMEM apontado por IP;
- CPU decodifica instrução e executa;
- CPU atualiza IP.

A tabela a seguir contém todas as instruções possíveis para essa arquitetura.

Opcode	Mneumônico	Significado
0x0	HLT	Interrompe execução indefinidamente
0x1	IN	Empilha um Byte recebido do codec
0x2	OUT	Desempilha um Byte e o envia para o codec
0x3	PUSHIP	Empilha o endereço armazenado no registrador IP (2 bytes, primeiro MSB ² e depois LSB ³)
0x4	PUSH imm	Empilha um Byte contendo imediato(armazenado nos 4 bits menos significativos da instrução)
0x5	DROP	Elimina um elemento da pilha
0x6	DUP	Reempilha o elemento no topo da pilha
0x8	ADD	Desempilha Op1 e Op2 e empilha(Op1 + Op2)
0x9	SUB	Desempilha Op1 e Op2 e empilha(Op1 - Op2)
0xA	NAND	Desempilha Op1 e Op2 e empilha NAND (Op1, Op2)
0xB	SLT	Desempilha Op1 e Op2 e empilha(Op1 < Op2)
0xC	SHL	Desempilha Op1 e Op2 e empilha(Op1 « Op2)
0xD	SHR	Desempilha Op1 e Op2 e empilha(Op1 » Op2)
0xE	JEQ	Desempilha Op1(1 byte), Op2(1 byte) e Op3(2 bytes). Verifica se(Op1 = Op2), caso positivo soma-se Op3 no registrador IP
0xF	JMP	Desempilha Op1(2 bytes) e o atribui ao registrador IP

2.2 Entidade Soc

O SOC opera no mais alto nível da hierarquia, sua função é conectar todas as entidades descritas anteriormente. Ela possui 2 sinais de entrada sendo o clock e o started. Quando instanciada ela carrega na IMEM um arquivo de dados firmware.bin onde possui todas as instruções a serem executadas pela cpu.

2.3 Repositório

Todo o processo de desenvolvimento está registrado no seguinte link:

<https://github.com/jantapao/LH-SOC/tree/main/TrabLabHardware>