



CI INOVADOR
RESIDÊNCIA EM MICROELETRÔNICA



UFSC



UnB



Universidade Federal
de Campina Grande



UNIVERSIDADE
FEDERAL DO CEARÁ



CI Inovador
Trilha Digital
Projeto Físico

Trabalho Final da Disciplina

Multiplicador em Ponto Flutuante

Nome

Histórico de Revisões

Versão	Descrição	Data	Autor
0	Criação do documento e informações básicas	23/12/2024	Leonardo

1. Descrição Geral

Este projeto consiste no desenvolvimento de um ASIC que realiza uma multiplicação binária de dois números no formato IEEE 754 (ponto flutuante), podendo ser aplicado a diversos produtos que precisem de uma operação específica de multiplicação. Este projeto não implementa nenhuma interface de comunicação com periféricos. **Este documento não contempla a especificação de fronteira do ASIC com outros dispositivos tampouco a configuração de células de IO e bond pads, possui um único modo de operação, não possui restrição de área de silício e consumo de potência, sendo o projeto destinado a alcançar a maior velocidade possível mantendo a funcionalidade prevista.** Comentários: durante a fase de especificação, a arquitetura/organização do *chip* é definida e documentada até o nível de implementação de blocos básicos, funções almejadas, definições de fronteira e comunicações internas. Desta forma, o *chip* é subdividido em blocos fundamentais e, a partir deste ponto é possível criar códigos HDL's vazios (*dummy codes*) que possuam apenas as relações de comunicação externas e internas entre os blocos, com definição de pinos, tipos e largura de dados (em VHDL: *entities*; em Verilog: *modules*). Este processo auxilia na etapa de criação de *scripts*, verificação funcional e antecipação de questões de fronteira (“*interfaceamento*”). Depois que o documento de especificação é finalizado, o mesmo só pode ser modificado por uma Ordem de Alteração de Engenharia ou ECO (*Engineering Change Order*) e todos os documentos relacionados/vinculados devem ser alterados apropriadamente.

2. Equipe de projeto

A equipe apresentada na tabela a seguir representa as pessoas diretamente envolvidas com o presente documento e projeto do ASIC.

Nome	Cargo	Contato
Jack	Projetista Backend	jack@correio.com

3. Funcionalidades

Este projeto não implementa funções analógicas e possui apenas funcionalidades digitais, reunidas na Tabela I.

Tabela I – Tabela de Funcionalidades de topo do ASIC

Função	Descrição
1	Recebe paralelamente os operandos A e B
2	Habilita a máquina de estados pelo sinal <i>start</i>
3	Computa a operação de multiplicação
4	Entrega uma <i>flag</i> indicando o fim da operação
5	...
...	...

Fonte: Autor.

4. Organização de Topo

4.1. Descrição

A operação de multiplicar os dois números binários faz uso uma abordagem sequencial, utilizando uma máquina de estados e somas sucessivas. O número denominado por “B” alimenta o registrador contador *count* no início do processo de multiplicação e indica o número de vezes que acontecerão somas sucessivas do número “A”.

O bloco de topo é responsável pela comunicação com o mundo externo. Recebe dados, os operandos, e comandos, *start*, e entrega o resultado. É neste bloco que é realizada a conexão dos sinais que trafegam entre o bloco de controle e o bloco de dados.

4.2. Sinais de Controle

Existem sinais que se comunicam entre o bloco de controle e o bloco de dados, manipulando as operações a serem realizadas. Por exemplo, os sinais de controle gerados pelo bloco de controle comandam a escrita no registrador contador *count* através do sinal *wrCount*, bem como o dado a ser registrado através do sinal *decCount*. A escrita no registrador acumulador *acc* é controlada pelo sinal *wrACC*. A Tabela II apresenta os sinais de controle que trafegam entre o control path e o data path.

Tabela II – Resumo dos sinais de controle do multiplicador.

Nome	Origem	Destino	Operação Afetada	Descrição
<i>wrCount</i>	ControlPath	DataPath	escrita em registrador	Quando igual a “1”, habilita a escrita no registrador <i>count</i>
<i>decCount</i>	ControlPath	DataPath	seleção de sinal	Quando igual a “1”, seleciona o sinal resultante do decremento do contador; se igual a “0”, seleciona a entrada B. A saída do multiplexador controlado por este sinal é a entrada <i>inCount</i> do registrador <i>count</i>
<i>flagEnd</i>	DataPath	ControlPath	fim da multiplicação	Este sinal recebe “1” quando o contador <i>count</i> chega a ZERO

Fonte: Autor.

4.3. Blocos

Figura 1 – Diagrama de blocos do multiplicador.



Fonte: Autor.

4.4. Interconexões

Tabela III – Portas de entrada e saída do multiplicador.

Nome	Tamanho	Tipo	Conexão	Descrição
<i>clk</i>	1	entrada	externa	Clock global do circuito (10 MHz)
<i>rst</i>	1	entrada	externa	Reset global do circuito
<i>start</i>	1	entrada	externa	Indica quando deve ser iniciada uma nova operação de multiplicação
<i>A</i>	8	entrada	externa	Dado a ser multiplicado
<i>B</i>	8	entrada	externa	Dado a ser multiplicado
<i>Result</i>	16	saída	externa	Fornece o resultado da operação entre A e B
<i>done</i>	1	saída	externa	Indica para blocos externos que a multiplicação terminou

Fonte: Autor.

5. Especificações Físicas e de Operação

5.1. Frequência de operação

Listar todas as frequências dos clocks externos e internos: 10 MHz e o clock máximo alcançado.

5.2. Requisitos Elétricos e Condições Térmicas de Operação

Este ASIC deve operar a uma tensão de alimentação com $V_{DD}=1,0$ V. Deve ser capaz de suprir em suas saídas uma carga de 40 fF e, operar dentro de uma faixa de temperatura de 0° C a 125° C.

5.3. Sistema de Teste Adotado e Equipamentos

Não disponível.

5.4. Consumo de Potência Alvo

O projeto deste ASIC não contempla o fluxo com foco em potência.

5.5. Tecnologia de Fabricação

45 nm.

5.6. Encapsulamento

Este ASIC tem por objetivo compor um *System-on-a-Chip* (SOC) como um IP (*Intellectual Property*) e, portanto, não há especificação de encapsulamento.

5.7. Caracterização dos vetores de teste

Os vetores de teste empregados para a validação funcional do circuito são formados por duplas de valores em hexadecimal (8 algarismos). Estas duplas constituem as entradas dos operandos do circuito multiplicador. Estes vetores retratam um cenário real de aplicação onde este ASIC irá operar...

5.8. Simulação SDF (*Standard Delay Format*)

As simulações com atraso anotado são conduzidas apenas para *worst case de timing* e são empregadas tanto para a validação funcional quanto para a geração dos arquivos de atividade de chaveamento.

5.9. Atividade de chaveamento VCD (*Value Change Dump*)

Os vetores especificados anteriormente são utilizados para a inspeção dos valores de potência em dois momentos do projeto: *netlists* resultantes da síntese lógica e da síntese física... Ao todo são gerados 4 cenários de atividade de chaveamento...

Informe o número de ciclos necessários para executar um processo de multiplicação. Caso o número de ciclos dependa dos valores dos operandos, informe neste caso os números máximo e mínimo de ciclos, indicando os operandos em cada caso.

6. Desempenho

Apresentar uma figura evidenciando o correto funcionamento do circuito para um caso de multiplicação.

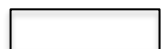
Apresentar duas figuras (sempre comentadas) evidenciando um atraso anotado na simulação SDF e o trecho do arquivo SDF, para o mesmo cenário (IOPATH, SETUPHOLD...), com os *netlists* da síntese lógica e física.

Utilizar representação(ões) gráfica(s) para resumir os dados da Tabela IV.

Apresentar comentários e conclusões considerando o desempenho do circuito baseadas nos dados tabelados e gráfico(s).

Tabela IV – Desempenho.

Freq (MHz)	# of vectors	VCD simulation time (ns)	Power (μW)			Total area (μm ²)	# of gates	Timing slack (ps)	Start-point End-point	TNS (ps)
			internal	switching	total					
10	--	--								
	100	X								
			2X							
?	--	--								
	100	X								
			2X							



Resultados finais da síntese **lógica**



Resultados finais da síntese **física**

