

实验二 MIPS 32 位 alu 设计

2.1 实验目的

- 1. 掌握 ALU 的工作原理与设计方法
- 2. 掌握 ALU 的数据传送通道原理与设计方法
- 3. 掌握 ALU 加入 MIPS 方法

2.2 实验内容

2.2.1 实验任务

设计一个 MIPS 32 位 ALU，要求实现如下功能：

- 1. 具有多种运算功能，见图 1 。运算要求如下：
 - a) 算数运算。加运算与减运算
 - b) 逻辑运算。按位与、或、或非运算；比较运算，若 $A < B$ ，则输出 1；否则输出 0
- 2. 运算结果带有标志位显示功能，见图 1。要求如下：
 - a) 零标志 ZF(Zero Flag)
 - b) 进/借位标志位 CF(Carry Flag)
 - c) 溢出标志 OF(Overflow Flag)
- 3. 将 1 位 Ainvert 线、1 位 Binvert 线和两位 Operation 线作为 ALU 控制线，用于控制

ALU 执行加、减运算与逻辑运算。见表 1 。

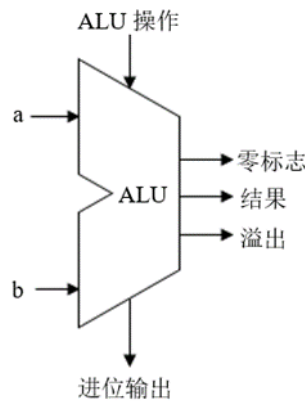


图 1 ALU 功能图

表 1 ALU 控制线真值表

ALU 控制线	功能
0000	与
0001	或
0010	加
0110	减
0111	$a < b$ ，输出 1；否则输出 0
1100	或非

使用 4x4 矩阵键盘输入数字，使用拨码开关表示 ALU 控制线状态，在数码管和发光二极管上显示运算数及结果。在 FPGA 实验板调试完成电路设计。

2.2.2 实验要求

1. 使用模块化和层次化设计方式完成电路设计。电路基本结构如图 2 所示。

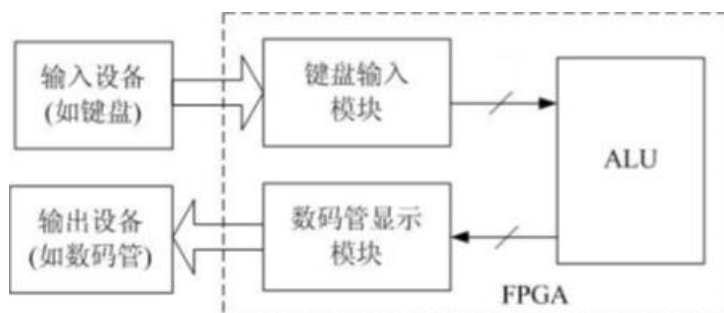


图 2 电路基本结构

2. 输入、输出设备操作要求。使用矩阵键盘输入 16 进制数字，使用拨码开关连接 ALU 控制线，完成加、减、与、或等运算。利用发光二极管显示标志位状态；使用数码管显示部分算数运算的数及结果（例，使用 16 进制数显示运算数的低 16 位数）。

演示举例：完成 $123F00AB + 4C5A6B89$ 的运算，操作步骤是——当键盘输入 1、2 … A、B 时，数码管上先后显示 1、12、123 … 00AB；接着将拨码开关状态调为“0010”（对应 ALU 控制线“加”功能）；然后键盘输入 4C5A6789，数码管上先后显示 4、4C … ；最后改变表示等号“=”的拨码开关状态，数码管上显示运算结果的低 16 位数 6C34。具体要求如下：

- 1) 键盘位置定义如图 3 所示。
- 2) 比较结果用发光二极管 D2 显示。
- 3) 用发光二极管 D3、D4、D5 作为标志位 zero、carry 和 overflow 的显示。当运算结果为 0 时，zero 为 1；当加法运算最高位有进位时，carry 为 1；当减法运算最高位产生借位时，carry 为 0；当运算结果有溢出时，overflow 为 1。

1	2	3	4
5	6	7	8
9	0	A	B
C	D	E	F

图 3 ALU (32 位) 矩阵键盘按键标识

3. 使用 signalTap II 检验 ALU 运行结果。SignalTap II 使用简介见附录。

4. 仿真要求。使用 modelsim 软件完成 ALU 模块的电路仿真。仿真文件中要含有激励信号、预期响应值和比较判断等功能。图 4 是测试文件与被测试文件的关系图。

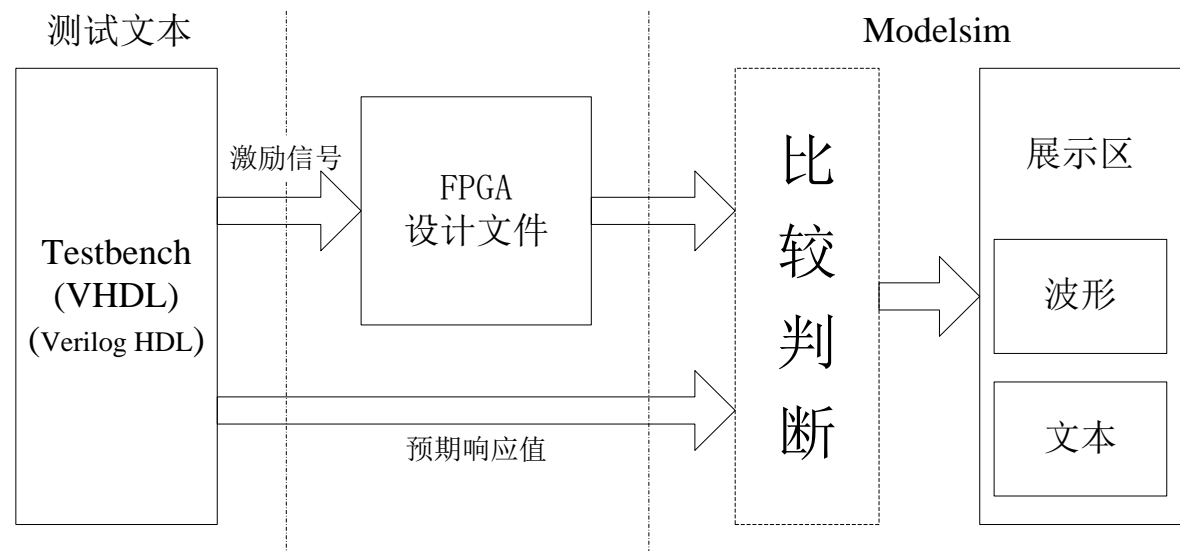


图 4 测试文件、FPGA 设计文件与 ModelSim 三者关系

2.3 实验报告

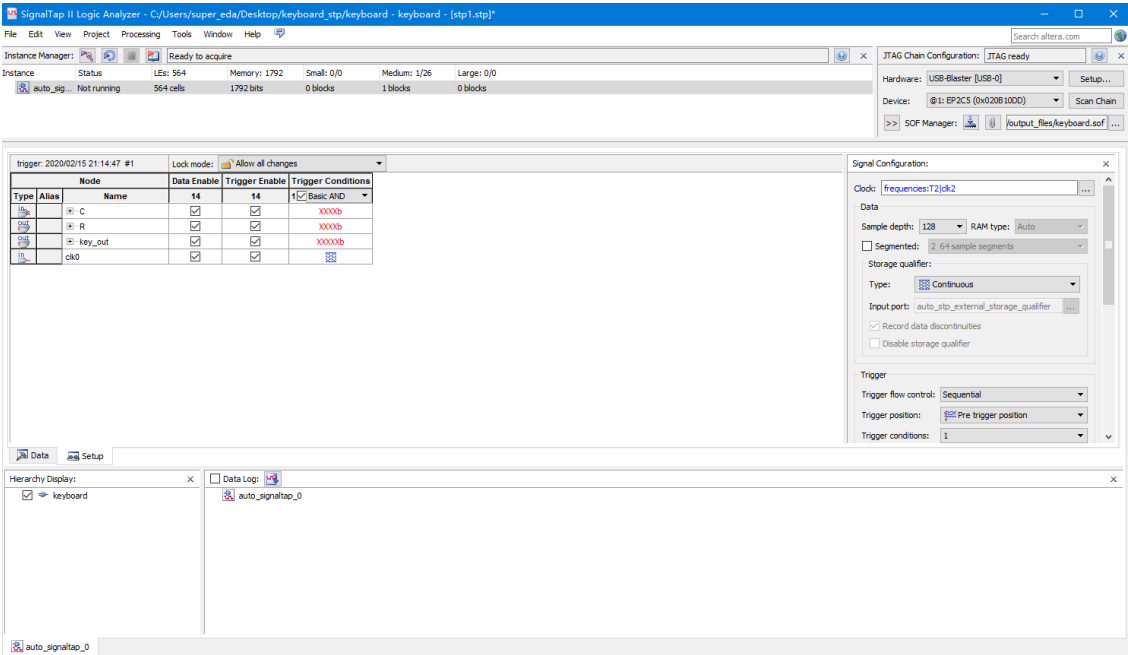
1. 整理实验数据，描述顶层模块结构；简介每个功能模块作用。
2. 分析 32 位 ALU 仿真结果。
3. 分析 signalTap II 测量结果。
4. 实验中若出现 BUG，请分析产生 BUG 的原因。

附录：SignalTap II 使用简介

实际工作中使用软件仿真可以发现硬件设计错误，但是仿真文件不能囊括一切可能发生的情况，而且无法获取反馈信号。因此，需要一个实时的信号分析工具获取 FPGA 内部的信号，以便对电路进行分析与调试。

SignalTap II（SignalTap II Logic Analyzer），是一个逻辑分析仪硬件模块，他可以与设计电路一起下载到FPGA中，通过JTAG线将FPGA的内部信号上传到PC机，通过相关软件进行逻辑分析，检查电路信号的运行状态和锁定设计问题，进行电路调试。SignalTap II使用方法如下：

1. 打开 SignalTap II 工作界面。点击 Quartus II 界面中 Tools 菜单内 SignalTap II Logic Analyzer 栏；弹出 SignalTap II 工作界面。见附图 1。

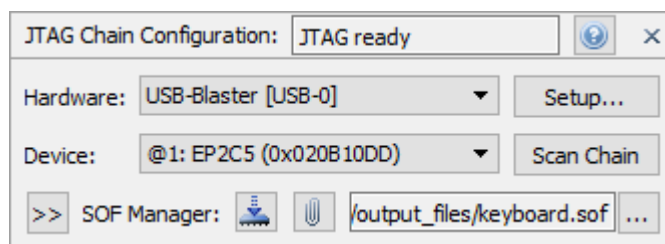


附图 1 SignalTap II 工作界面

2. 设置工作参数。SignalTap II 本质是逻辑分析仪模块，引入设计工程后会占用 FPGA 内部资源（以 RAM 资源为主）；SignalTap II 采集的信号将存储到 FPGA 内部 RAM 中，通过 JTAG 上传到 PC 机。使用 SignalTap II 时要合理设置采样深度、触发信号等参数，才能观察到被测信号。

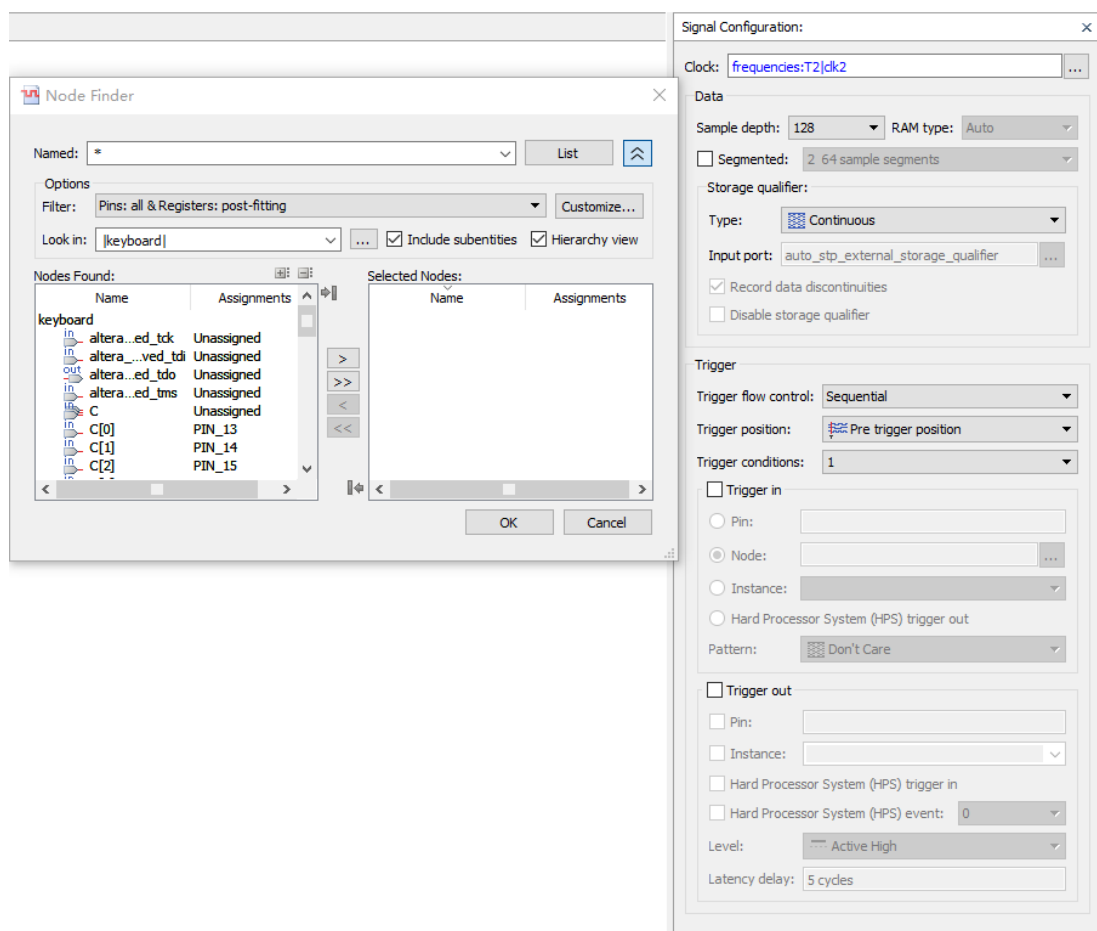
1) 设置 JTAG 连接模式。连接 FPGA 实验板；点击 JTAG Chain Configuration 框内的 Setup...按钮，将 Hardware 设为 USB-Blaster 模式。见附图 2。

2) 添加 sof 文件。点击 JTAG Chain Configuration 框内 SOF Manger 对应的“...”按钮，找到 sof 存放路径，双击 sof 文件，完成添加任务。见附图 2。



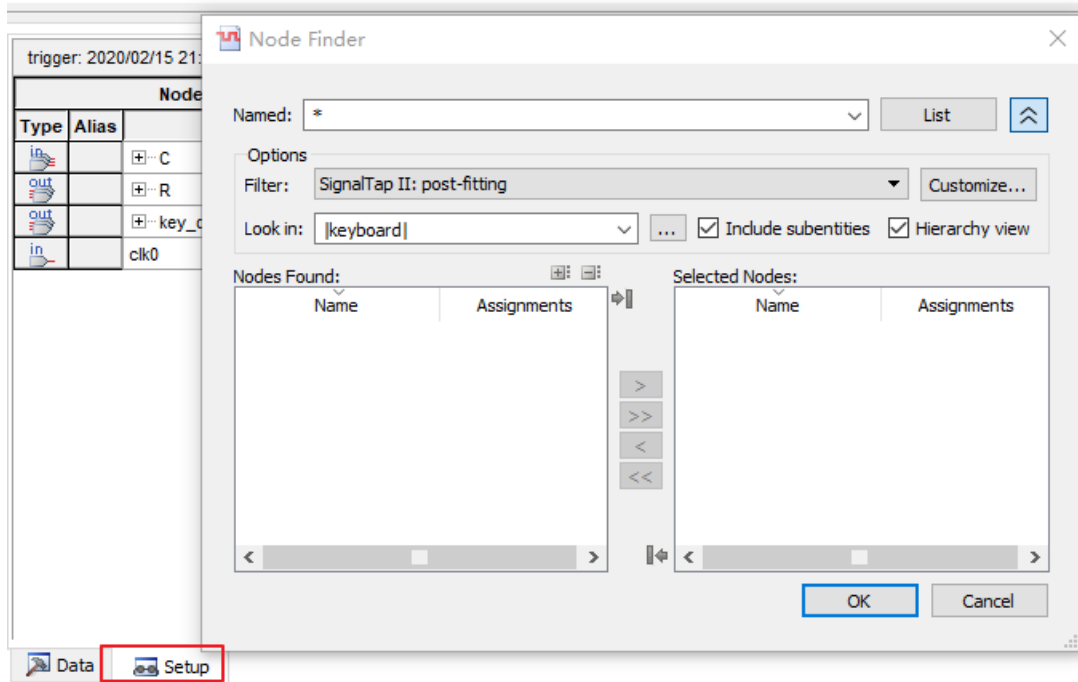
附图 2 JTAG 设置窗

3) 设置采样时钟。采样时钟频率一定要接近被测信号频率。例被测信号频率为 200Hz，则采样时钟频率范围应在 150~300Hz 内。采样时钟可以是输入、输出引脚，也可以是 FPGA 内部某硬件模块的时钟引脚。点击 Signal Configuration 框内 Clock 对应的“...”按钮，会弹出 Node Finder 窗，然后可挑选适合的信号作为采样时钟。通常情况下不用改动 Signal Configuration 框内的其他参数值。见附图 3。



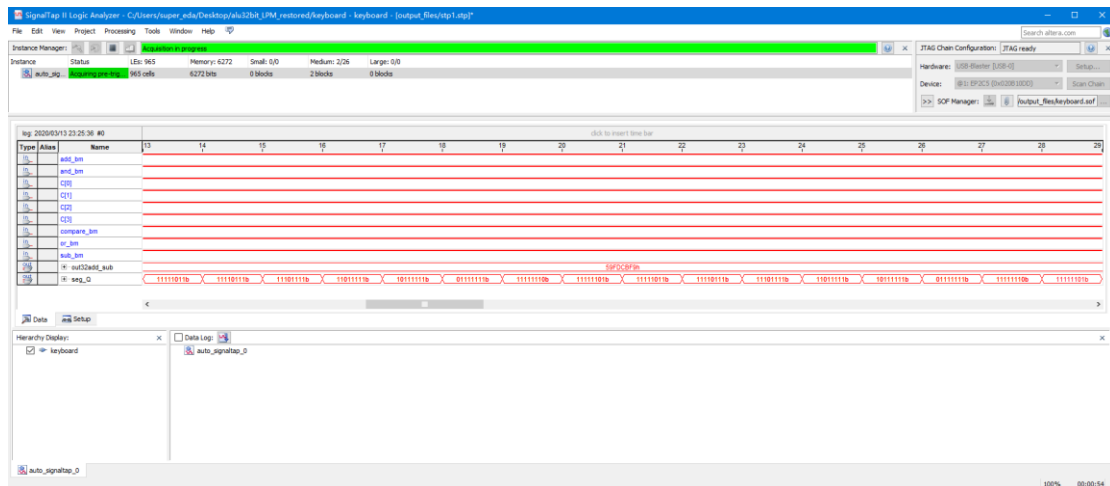
附图 3 采样时钟设置窗

4) 添加被测信号。点击 SignalTap II Logic Analyzer 界面内 Setup 卡片项，在空白处双击鼠标左键，弹出 Node Finder 窗后，即可添加被测信号。见附图 4。



附图 4 被测信号添加窗口

- 5) 保存*.stp 文件；运行全编译。
- 6) 下载*.sof 文件
- 7) 测量信号波形，查看电路运行状态。点击 SignalTap II Logic Analyzer 界面内 Data 卡片项，运行 Run analysis 或 Auto analysis 命令，查看电路运行状态。见附图 5 。



附图 5 SignalTap II 测量窗口