



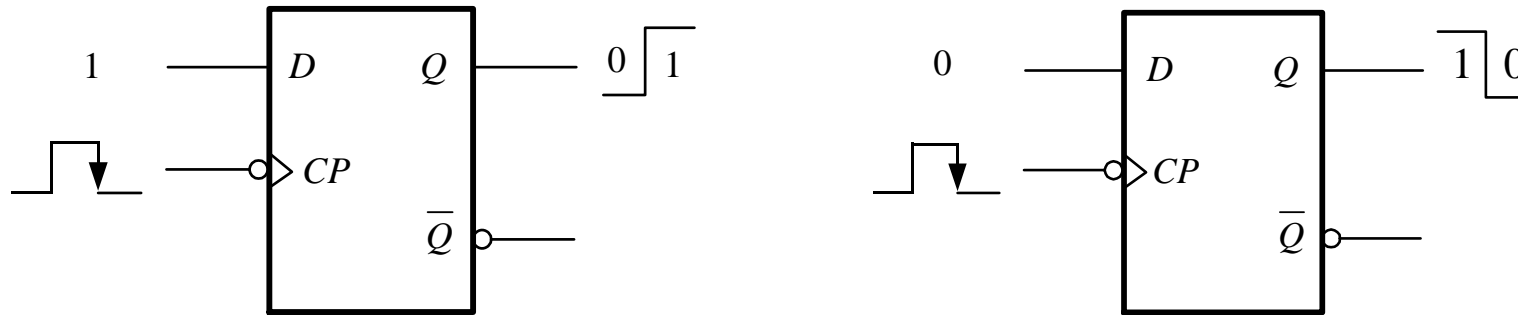
# 序向邏輯電路之設計 — 移位暫存器與隨機存取記憶體

# 概 述

- ◆ 移位暫存器(Shift Register)是由  $n$  個正反器及控制正反器輸出狀態之組合邏輯電路所構成的序向邏輯電路，當加入週期性之時序脈波後，移位暫存器便可輸入或儲存於正反器之二進位資料，依組合邏輯電路之運算結果，配合時序脈波，以控制這些二進位資料向左、向右、移入或移出暫存器。
- ◆ 移位暫存器不僅可用來輸入與儲存二進位資料，亦能執行二進位資料傳遞，暫停、複製與轉移之邏輯運算，以進行算術運算與資料處理工作，最後再將這些經過運算後之二進位資料儲存在暫存器 (Register) 中，以作為主系統與週邊設備間資料傳送的轉換介面。
- ◆ 本章首先討論移位暫存器之基本原理後，再分 5 個部分來分析二進位資料的轉移方式與傳送方向不同之移位暫存器後；接著再討論一些移位暫存器之應用電路，包括時間延遲 (Time Delay)、資料格式轉換 (Data Format Transfer) 與序列產生器 (Sequence Generator)；最後再討論隨機存取記憶體 (Random Access Memory; RAM) 之電路結構與原理。

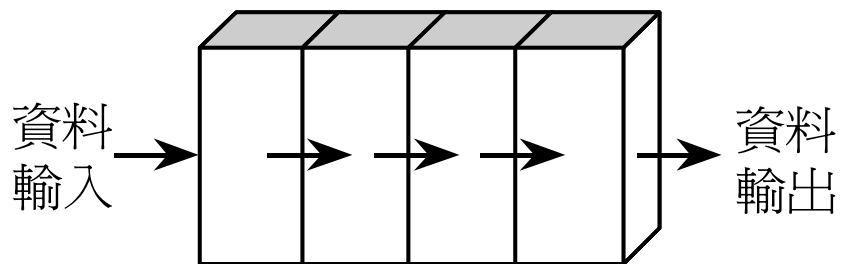
# 移位暫存器之基本原理

- ◆ **D 型正反器**可用來儲存**二進位資料**(1 個正反器僅可儲存 **1 個位元**之二進位資料 )，且隨著時序脈波 ( $CLK$ ) 之變化(時序脈波之前緣或後緣)，將正反器所儲存之二進位資料**轉移**至輸出端，如下圖所示，故 **D 型正反器**為組成**暫存器**(Register)之基本記憶元件。

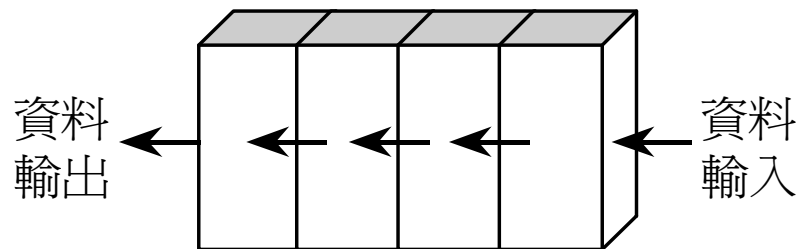


- ◆ 因 **1 個 D 型正反器**僅能儲存或傳送 **1 個位元**之二進位數，故可用來儲存或傳送  **$n$  個位元**之二進位資料的**移位暫存器**，必須使用  **$n$  個 D 型正反器**來實現。
- ◆ 對處理  $n$  個位元的二進位資料而言，若以**資料傳送方式**分類，則可分為**串列** (Serial) 與**並列** (Parallel) 等兩種；若以**資料傳送方向**分類，則可分為**左移** (Left Shift)、**右移** (Right Shift) 與**雙向移動** (Bidirectional Shift) 等 3 種移位暫存器。

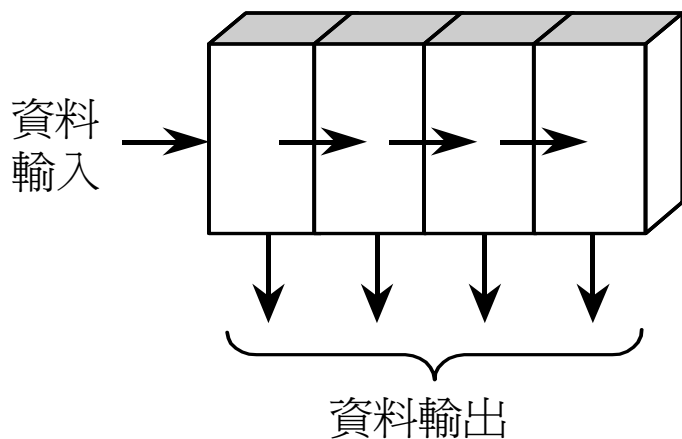
- ◆ 根據二進位資料之傳送方式與轉移方向，即可繪出移位暫存器種類之方塊圖（以處理 4 位元之二進位數之移位暫存器為例），如下圖所示。



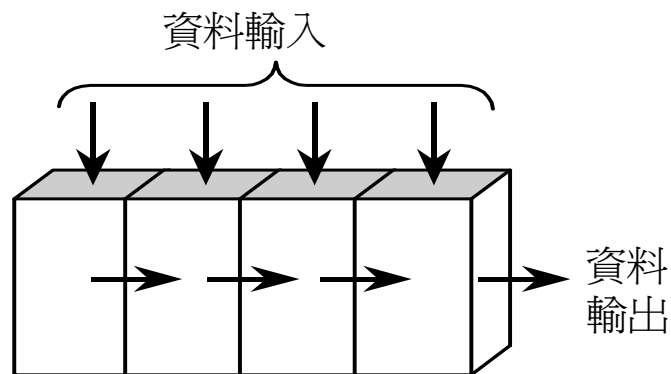
(a) 串列輸入/串列輸出(單向右移)



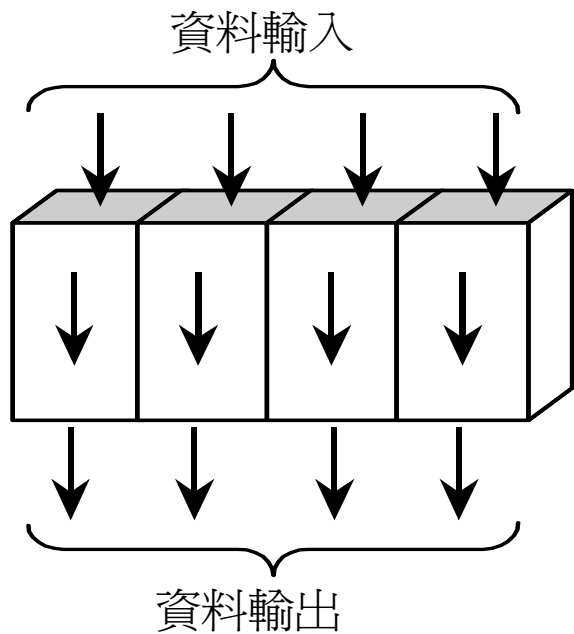
(b) 串列輸入/串列輸出(單向左移)



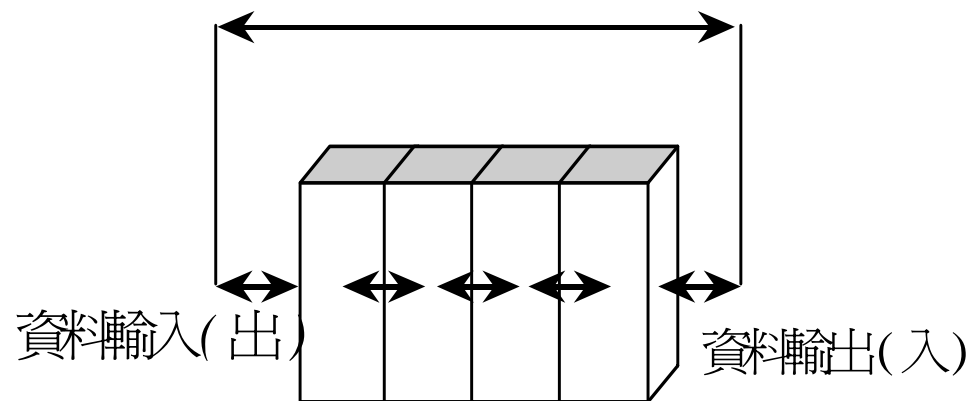
(c) 串列輸入/並列輸出(單向右移)



(d) 並列輸入/串列輸出(單向右移)



(e) 並列輸入/並列輸出(單向)

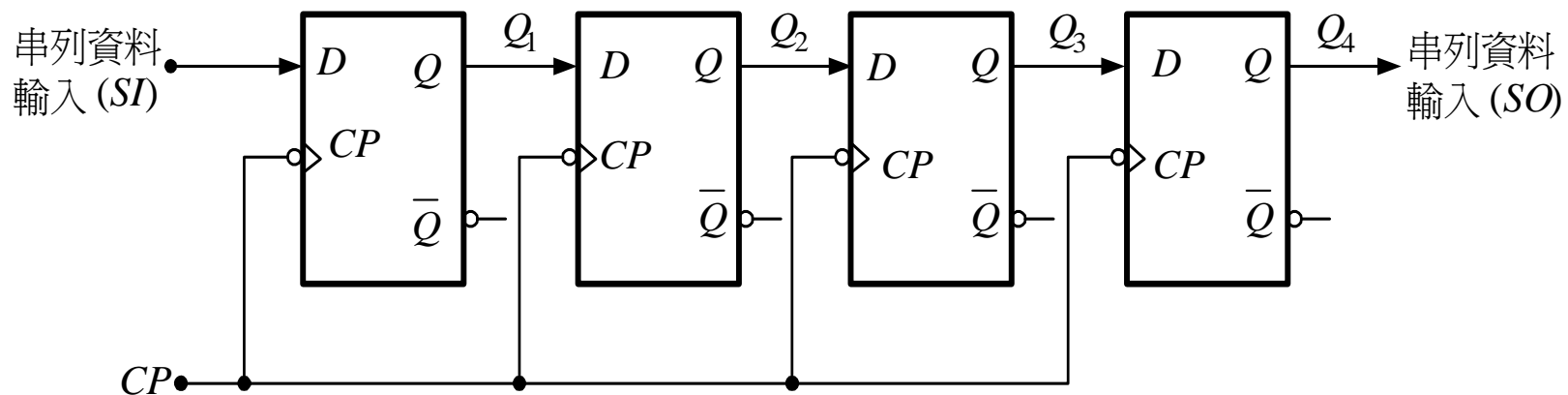


(f) 串列輸入/串列輸出(雙向)

◆ 接著分成 5 個部份，分別討論上圖所示移位暫存器之邏輯電路與邏輯運算功能。

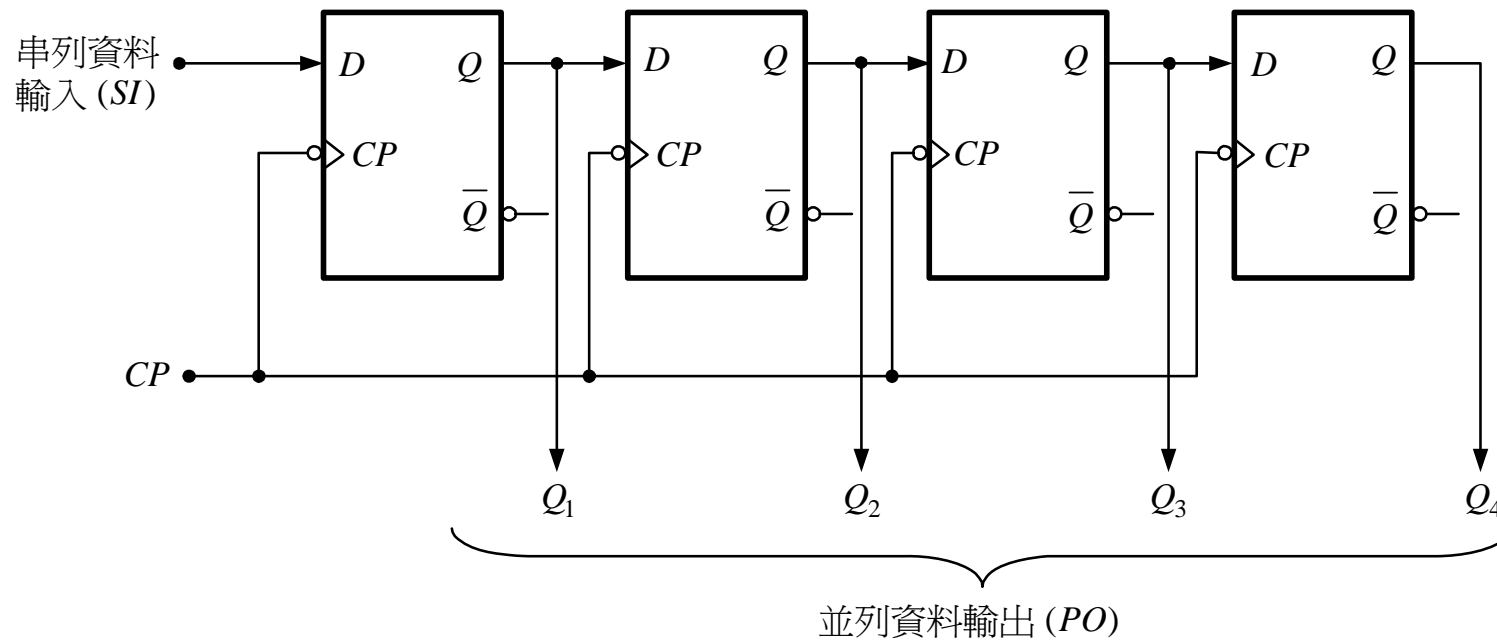
# 串列輸入/串列輸出之移位暫存器

- ◆ 若將  $n$  個  $D$  型正反器之**時序脈波**( $CP$ ) 連接在一起，而將**二進位資料**加入第一級正反器之**輸入端** ( $SI$ )，且**上一級正反器之輸出  $Q$**  連接至**下一級正反器之輸入端** ( $D$ )，依此類推，直到連接至第  $n$  級正反器為止，而所接收之二進位資料，僅可由**最後一級正反器之輸出取出** ( $SO$ )，即可構成**串列輸入 / 串列輸出** (Serial In/Serial Out; SISO) 之移位暫存器。
- ◆ 若**輸入訊號**( $SI$ )由**左邊**輸入，而輸出 ( $SO$ )由**右邊**取出，則可得**串列輸入/串列輸出**(單向**右移**)之移位暫存器；若**輸入訊號** ( $SI$ ) 由**右邊**輸入，而輸出( $SO$ )由**左邊**取出，則可得**串列輸入/串列輸出**(單向**左移**)之移位暫存器。(SISO 具資料**先進先出**之特性)



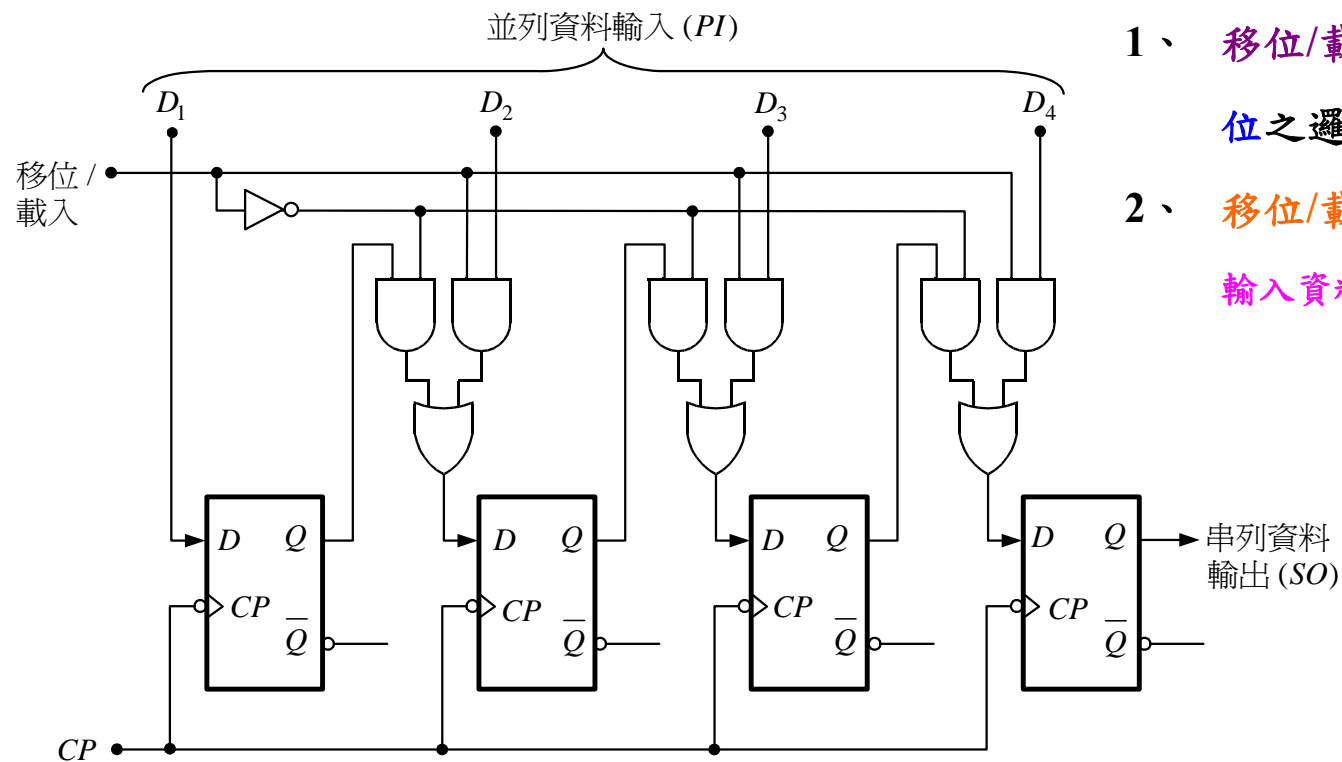
# 串列輸入/並列輸出之移位暫存器

- ◆ 若將  $n$  個  $D$  型正反器之**時序脈波**( $CP$ ) 連接在一起，而將二進位資料加入**第一級正反器**之串接輸入端 ( $SI$ )，而上一級正反器之**輸出**  $Q$  再連接至下一級正反器之**輸入** ( $D$ )，依此類推，直到連接至第  $n$  級正反器為止，而所接收之二進位資料，可由**每一級正反器輸出** ( $PO$ ) 取出，便可構成**串列輸入 / 並列輸出** (Serial In/Parallel Out; **SIPO**) 之移位暫存器。



# 並列輸入/串列輸出之移位暫存器

- ◆ 若將  $n$  個  $D$  型正反器之**時序脈波**( $CP$ ) 連接在一起，而將二將進位資料**分別**加入每一級正反器之**並列輸入端** ( $PI$ )，且上一級正反器之**輸出**  $Q$  與輸入訊號進行某種**邏輯運算**後，再連接至下一級正反器之**輸入** ( $D$ )，依此類推，直到連接至第  $n$  級正反器為止，便可構成**並列輸入 / 串列輸出** (Parallel In/Serial Out; **PISO**) 之移位暫存器。

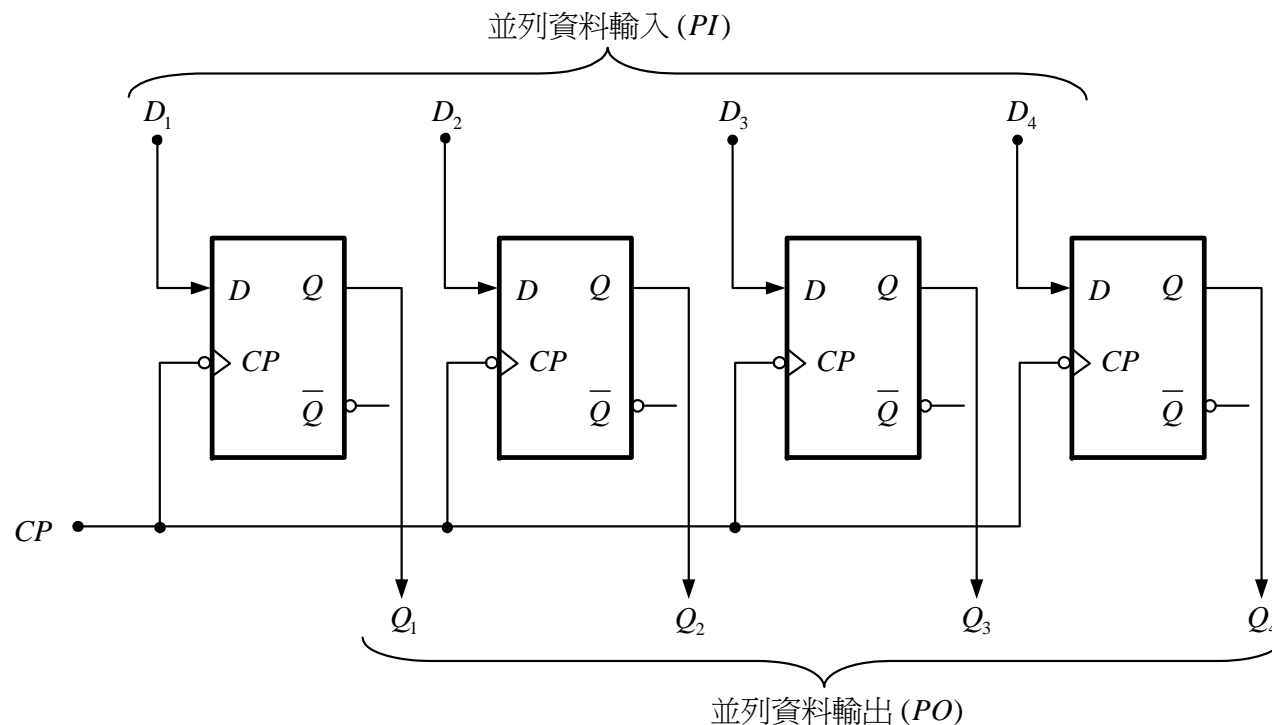


- 1、**移位/載入**=0，暫存器執行**移位**之邏輯運算。
- 2、**移位/載入**=1，暫存器可將**並列**輸入資料載入正反器。



# 並列輸入/並列輸出之移位暫存器

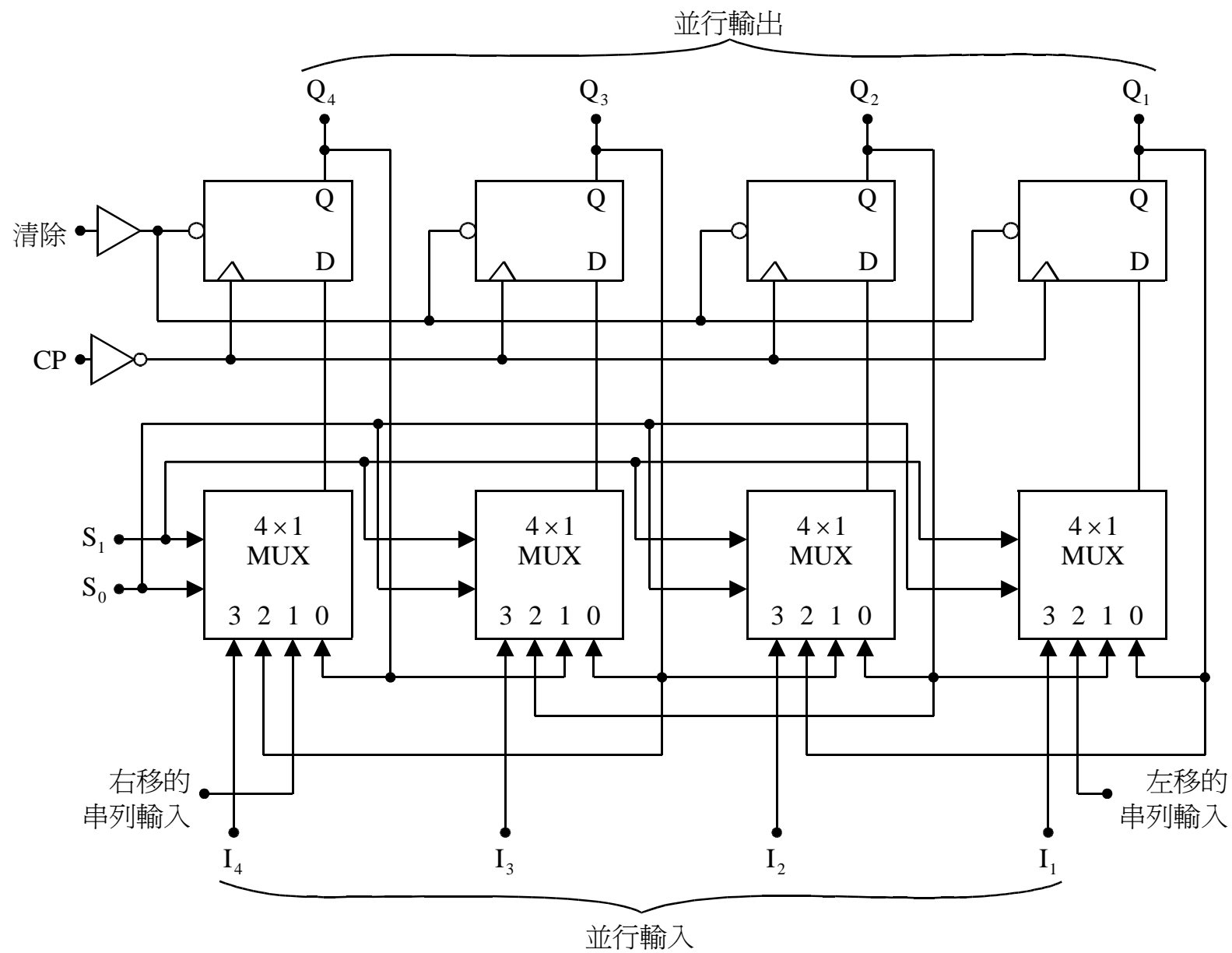
- ◆ 若將  $n$  個  $D$  型正反器之**時序脈波**( $CP$ )連接在一起，而分別將二進位資料加入**每一級**正反器之**並列輸入端**( $PI$ )，因暫存器之所有正反器可**同步觸發**，所接收之二進位資料，可分別由**每一級正反器輸出端**( $PO$ )取出，便可構成**並列輸入/並列輸出**之移位暫存器(Parallel In/Parallel Out; **PIPO**)。



# 並行載入的雙向移位暫存器

- ◆ 並行載入之雙向移位暫存器可轉變串列資料輸入成為並行資料輸出，或將並行資料輸入轉變成為串列資料輸出，即此種移位暫存器可改變資料之移轉方式（串列或並列），以供給實際所需的輸入與輸出資料，且可同時進行資料之左移或右移的運算功能。
- ◆ 因並行載入之雙向移位暫存器可用來作為選擇執行並行載入 (Parallel Load)、左移串列輸入 (Shift Left Serial Input) 或右移串列輸入 (Shift Right Serial Input)，以作為控制暫存器之輸出資料或輸入資料的移位方向，故此電路同時具有並行載入、串列左移與串列右移之功能，故稱為雙向移位暫存器 (Bidirectional Shift Register)。而此雙向移位暫存器之功能與邏輯電路，如下所示。

控 制 模 式		暫存器之運算
$S_1$	$S_0$	
0	0	不變更
0	1	右移
1	0	左移
1	1	並行載入

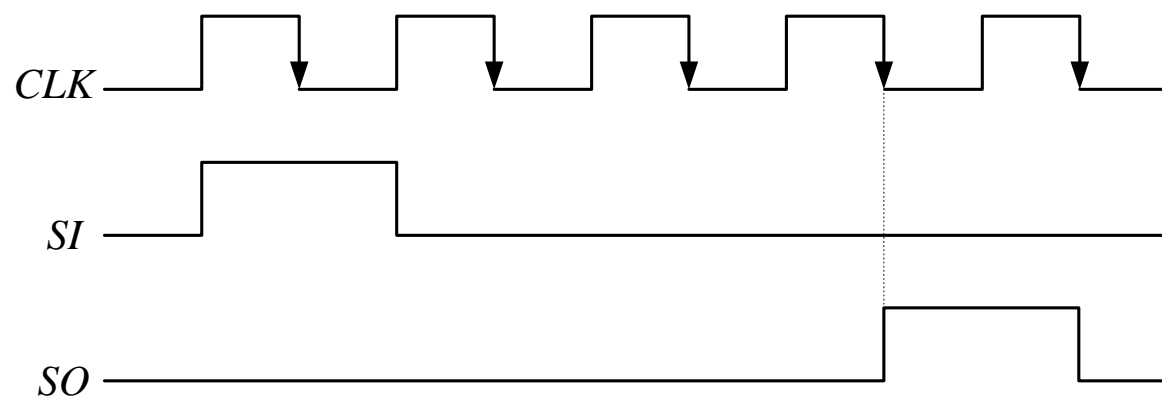


## 暫存器之應用(時間延遲電路)

- ◆ 在數位系統中，常常需要對某些訊號作時間延遲 (Time Delay)，且所需延遲之時間，常常須為脈波週期之整數倍，使所有輸入訊號可同時到達電路之某個輸入端，以達同步之目的。
- ◆ 串列輸入 / 串列輸出之移位暫存器，可將輸入資料延遲  $n$  個時脈 (對  $n$  個位元之移位暫存器而言) 後，再由最後一級正反器之輸出端取出，故串列輸入 / 串列輸出 (SISO) 之移位暫存器，可用來設計作為脈波週期整數倍之時間延遲。
- ◆ 接著考慮下圖(a)所示之 4 位元串列輸入/串列輸出(SISO)之移位暫存器，若將時序脈波 (CLK) 加入時脈輸入端 (CP) 時，當經過經過 4 個時序脈波之延遲後，則暫存器會將邏輯 1 轉移至輸出端 (SO)，如下圖(b)所示。



(a) 4 位元串列輸入 / 串列輸出 (*SISO*) 移位暫存器之方塊圖



(b) 4 位元 *SISO* 移位暫存器之輸入與輸出波形

## 暫存器之應用(格式轉換電路)

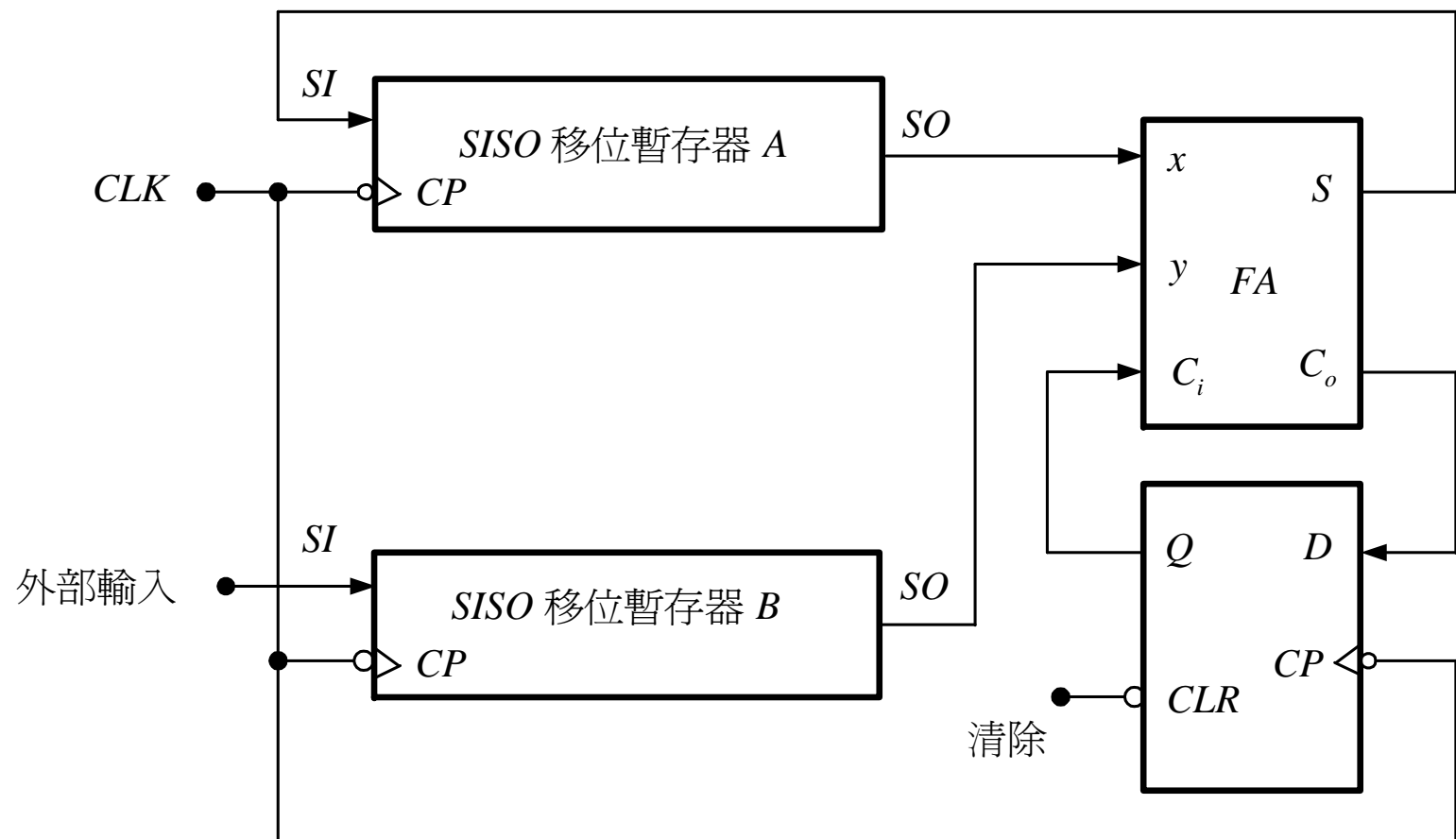
- ◆ 使用前面所討論之移位暫存器，將**並列**二進位輸入資料改為**串列**方式傳送(反之亦然)，以滿足實際電路之需求，而可轉變資料傳送方式之電路稱為**格式轉換電路** (Data Format Transfer Circuits)。

### 例題 10-5

試利用**兩個 SISO 移位暫存器**、**1 個全加法器 (FA)** 與 **1 個 D 型正反器**，以執行被加數  $x$  與加數  $y$  相加後，並將  $x + y$  所得之和存放於被加數  $x$  之暫存器的**串列加法電路**，即實現  $x = x + y$  之**算數運算電路**。

**解**

首先將**被加數  $x$**  與**加數  $y$**  分別存放於**兩個 SISO 移位暫存器  $A$  與  $B$**  之正反器中，接著依序將被加數  $x$  與加數  $y$ ，從兩個移位暫存器移出，進入全加法器 (FA) 之輸入端，並將兩數相後之和 (S) **存放回暫存器  $A$**  中，且所產生之**進位** ( $C_o$ )，轉移至 **D 型正反器之輸入**，以作為較高位元之被加數與加數的**進位輸入** ( $C_i$ )，如下圖所示。



## 例題 10-6

試利用上例所得之串列加法器，對兩個 4 位元之二進位數，分別為被加數  $x = x_4 x_3 x_2 x_1$  與加數  $y = y_4 y_3 y_2 y_1$  執行加法運算，再將運算後之結果存放在暫存器 A 之詳細過程（假設開始時，暫存器 A 與 B 之內容皆為邏輯 0）。

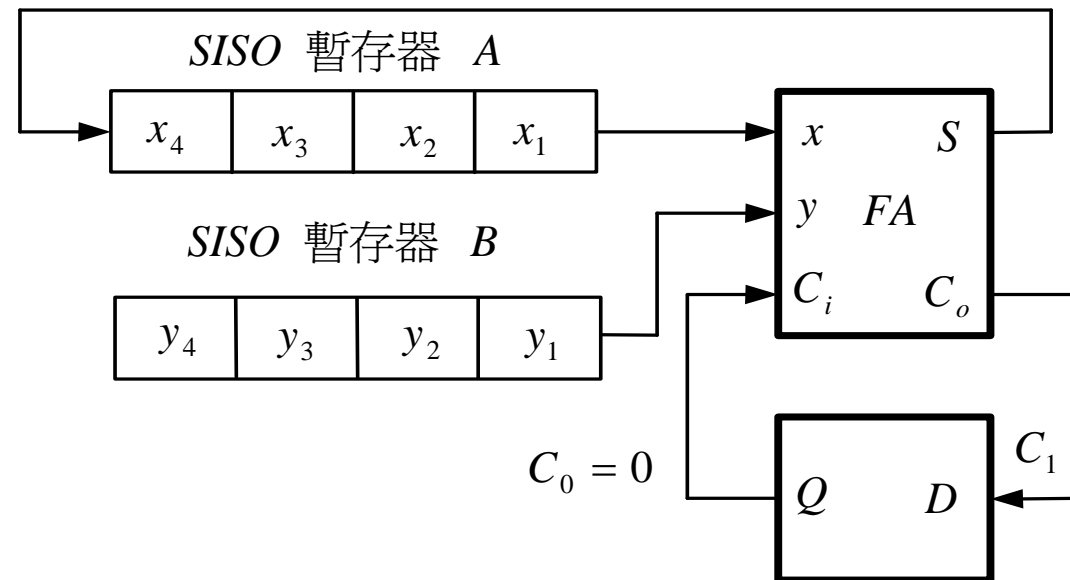
解

首先將兩個 4 位元之二進位數，分別為被加數  $x = x_4 x_3 x_2 x_1$  與加數  $y = y_4 y_3 y_2 y_1$  執行加法運算的規則如下：

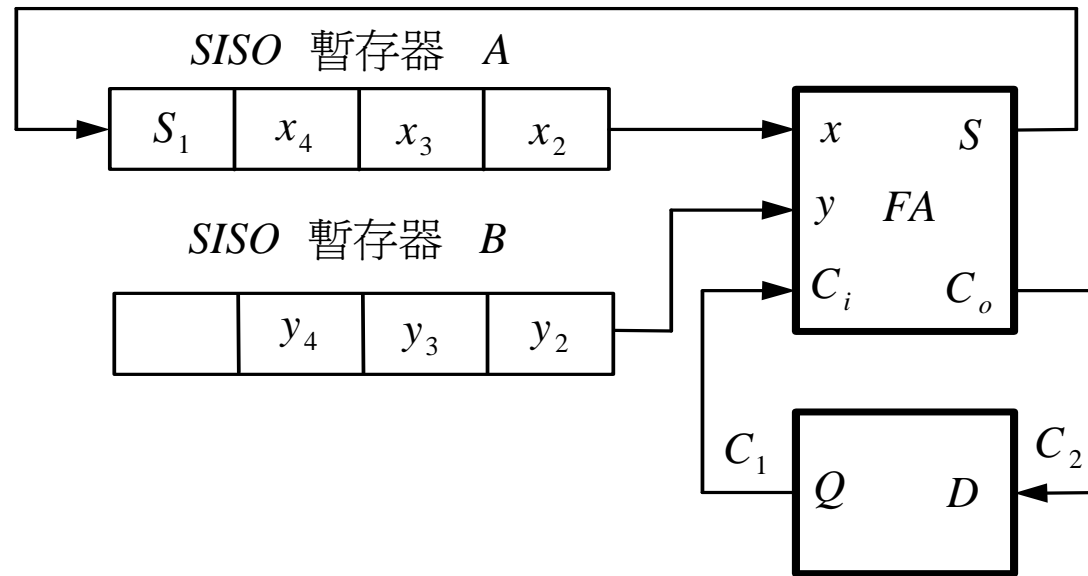
$C_4$	$C_3$	$C_2$	$C_1$	$C_0$	← 進位	
	$x_4$	$x_3$	$x_2$	$x_1$	← 被加數	
+		$y_4$	$y_3$	$y_2$	$y_1$	← 加數
<hr/>						
$C_4$	$S_4$	$S_3$	$S_2$	$S_1$	← 和	



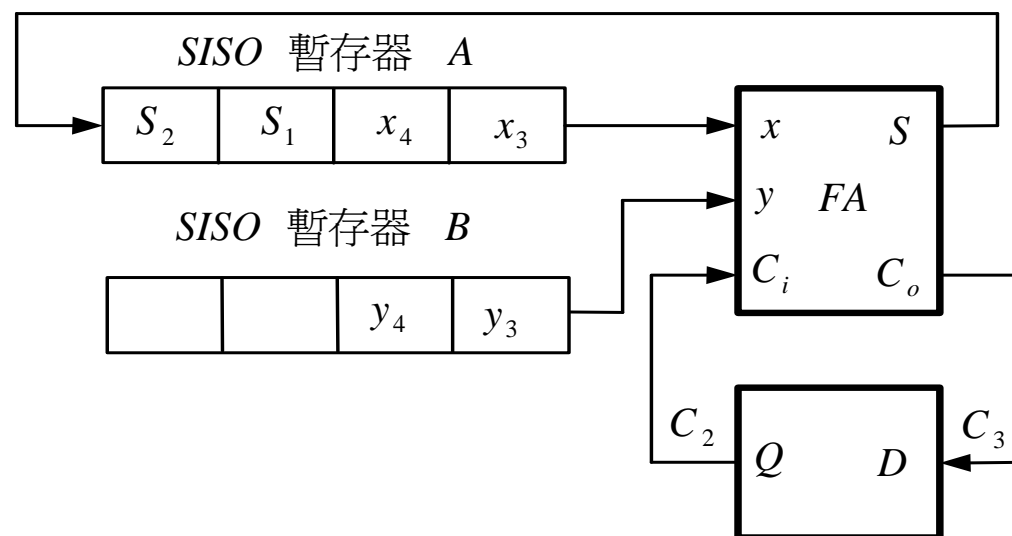
當經過 8 個時序脈波後，便可將被加數  $x = x_4x_3x_2x_1$  與加數  $y = y_4y_3y_2y_1$ ，依序由外部輸入端 (SI)，以串列輸入方式分別移入暫存器 A 與 B 中，如下圖所示(為簡化複雜度，將以方塊圖來表示，並將時序脈波省略)。



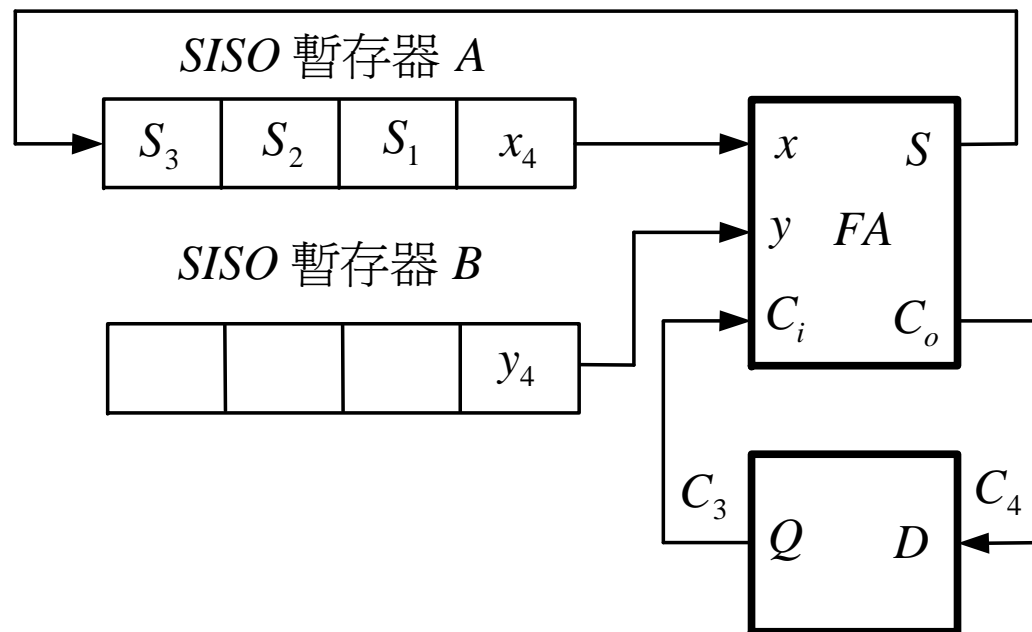
當第 9 個時序脈波出現時，可將全加法器執行  $x_1 + y_1$  之和 ( $S_1$ ) 移入暫存器 A 中，同時將相加後可能之進位 ( $C_1$ ) 傳送至 D 型正反器之輸入端，如下圖所示。



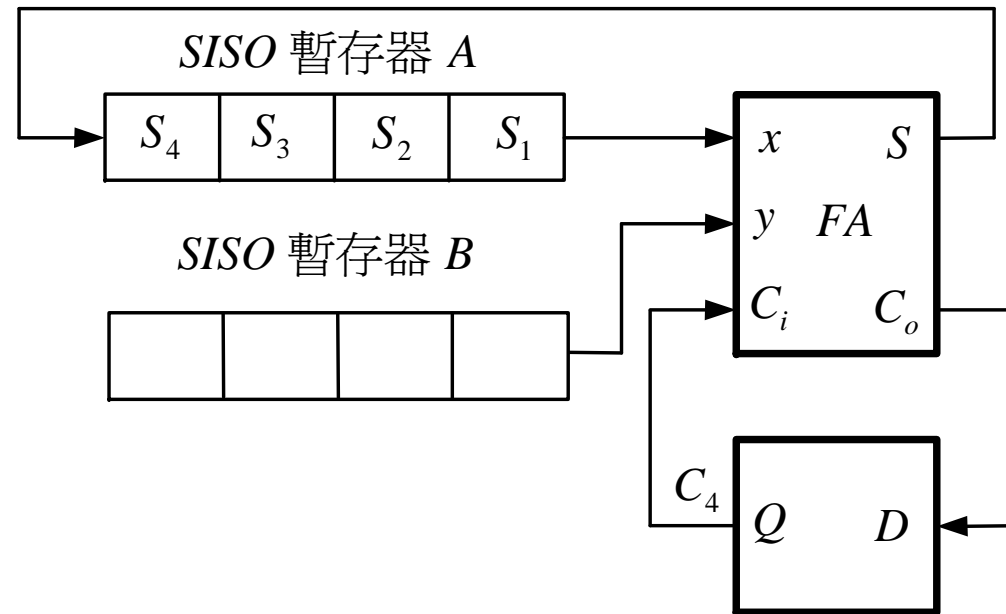
第 10 個時序脈波出現時，可將全加法器執行  $x_2 + y_2 + C_1$  之和 ( $S_2$ ) 移入暫存器 A 中，同時將相加後可能之進位 ( $C_2$ ) 傳送至 D 型正反器之輸入端，如下圖所示。



第 11 個時序脈波出現時，全加法器執行  $x_3 + y_3 + C_2$  之和 ( $S_3$ ) 移入暫存器  $A$  中，同時將相加後可能之進位 ( $C_3$ ) 傳送至  $D$  型正反器之輸入端，如下圖所示。



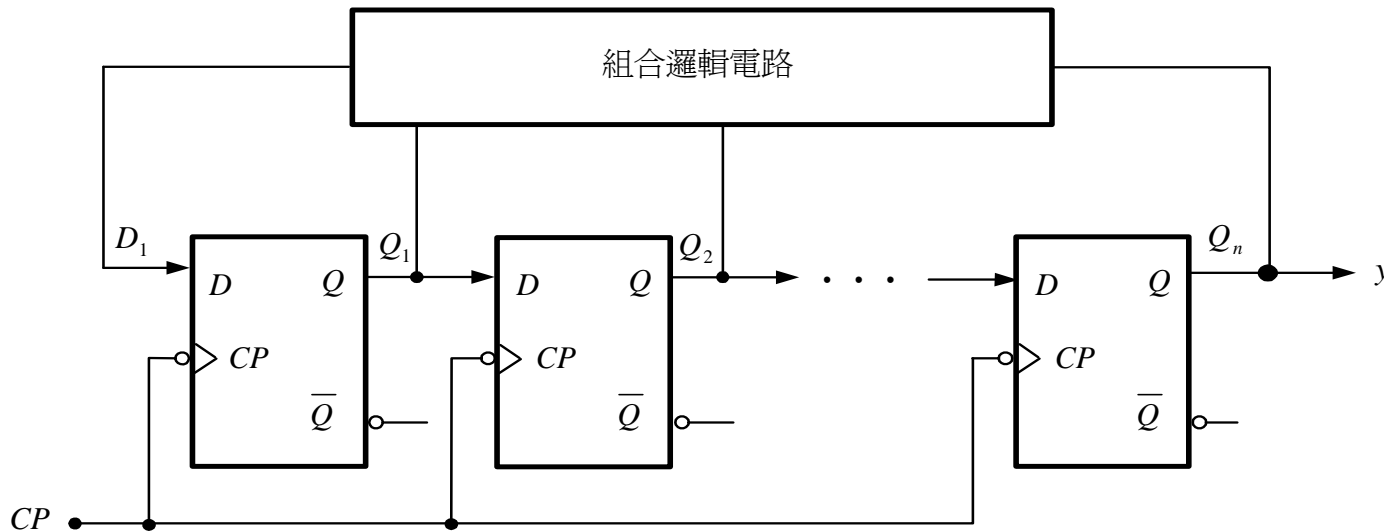
最後第 12 個時序脈波出現時，全加法器執行  $x_4 + y_4 + C_3$  之和 ( $S_4$ ) 移入暫存器 A 中，同時將相加後可能之進位 ( $C_4$ ) 傳送至 D 型正反器之輸出端，如下圖所示。



經過 12 個時序脈波後，便可將 2 個 4 位元之二進位數，由外部輸入移入暫存器中，並對兩數進行加法運算後，將所得之和 ( $S_i$ ) 存放於暫存器 A 中，而將末端進位 ( $C_4$ ) 至於 D 型正反器之輸出端。

## 暫存器之應用(序列產生器)

- ◆ **移位暫存器** (Shift Register)可配合外加**時序脈波**( $CLK$ )，以同步產生**特定 0 與 1 之二進位序列**，而此種可產生指定之二進位序列訊號之電路稱為**序列產生器** (Sequence Generator)。若經過適當設計，序列產生器亦可用來取代**計數器**(Counter)，故此種電路亦可視為**特殊用途之計數器**。
- ◆ 序列產生器可用  $n$  個  **$D$  型正反器**所組成之移位暫存器與一個可產生實際所需之**右移串列輸入訊號** $D_1$ 的**組合邏輯電路**所組成，而實際所需之**二進位序列**可依序由  **$D$  型正反器**之輸出端取得，如下圖所示。



- ◆ 序列產生器的序列**長度** (Length)  $S$  (所求二進位序列之位元數)，必須滿足所求序列沒有**重複前面所包括之連續位元數**的條件，即  $n$  個  $D$  型正反器所組成之序列產生器，**最多可產生位元長度**  $S = 2^n - 1$  個，即  $S \leq 2^n - 1$ 。反過來說，欲得到**序列長度為**  $S$  之序列產生器，至少需要之**正反器數目**  $n = \lceil \log_2 (S + 1) \rceil$ 。

### 例題 10-7

試設計一個可產生 **100111001110001** 之**非週期性序列**產生器。

解

由題意可知，所欲產生之**非週期性序列長度**  $S = 15$ ，故最少需使用 **4 個** ( $n = \lceil \log_2 (15 + 1) \rceil = 4$ )  $D$  型正反器來實現。首先設定移位暫存器之**初始狀態**  $S_0$  為  $Q_1Q_2Q_3Q_4 = 0001$  ( 所求非週期性序列之**最低 4 個位元** )，接著依據移位暫存器之原理，即可得**串列輸入**  $D_1$  之**真值表**，如下表所示。

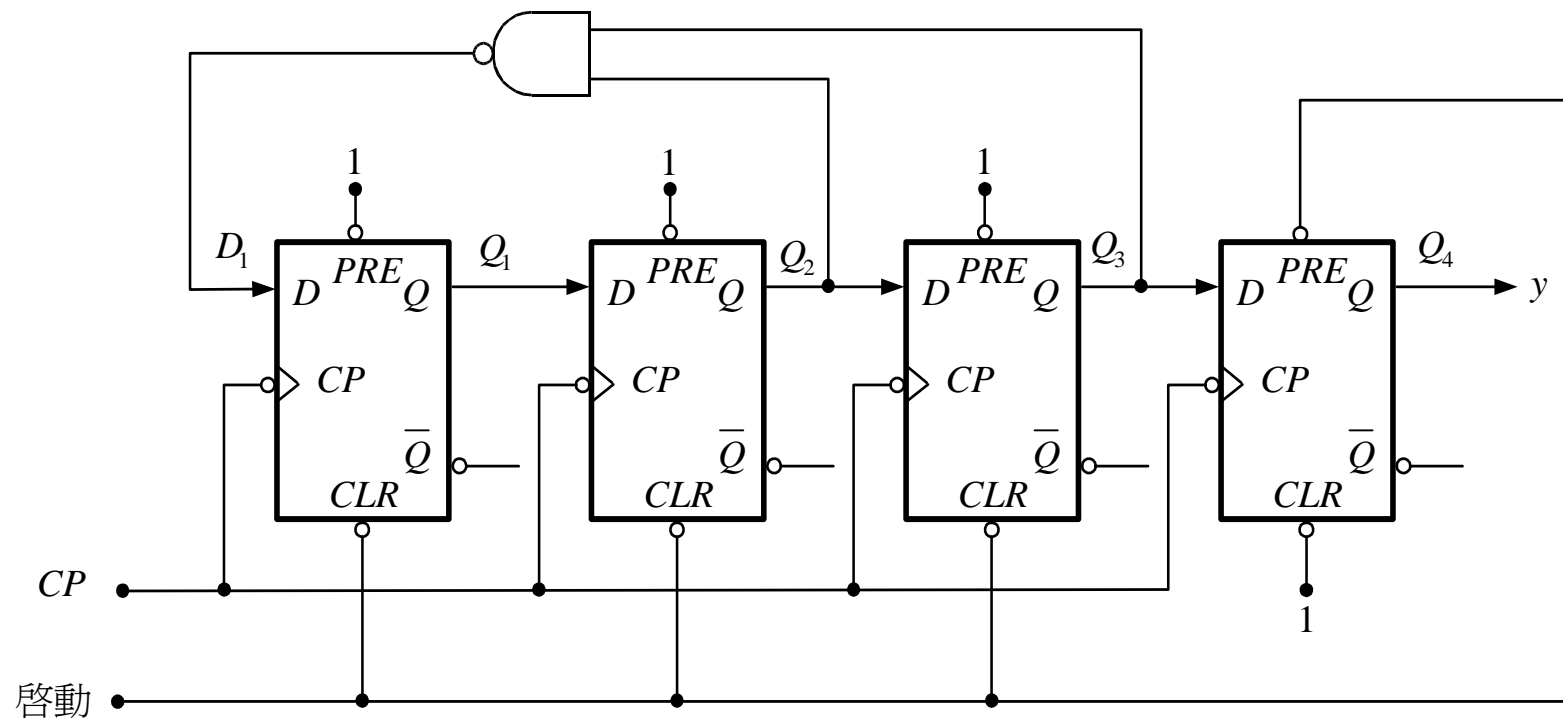
狀 態	$D_1$	$Q_1$	$Q_2$	$Q_3$	$Q_4$
$S_0$	1	0	0	0	1
$S_1$	1	1	0	0	0
$S_2$	1	1	1	0	0
$S_3$	0	1	1	1	0
$S_4$	0	0	1	1	1
$S_5$	1	0	0	1	1
$S_6$	1	1	0	0	1
$S_7$	1	1	1	0	0
$S_8$	0	1	1	1	0
$S_9$	0	0	1	1	1
$S_{10}$	1	0	0	1	1

將上表之 $Q_1Q_2Q_3Q_4$ 視為輸入，而將串列輸入 $D_1$ 視為輸出，使用卡諾圖化簡，如下圖所示便可求得串列輸入 $D_1$ 之最簡布林代數 $D_1 = \overline{Q_2} + \overline{Q_3} = \overline{Q_2 \cdot Q_3}$ ，即可產生所求二進位序列之組合邏輯電路。

		$Q_3Q_4$			
		00	01	11	10
$Q_1Q_2$	00	×	1	1	×
	01	×	×		×
	11	1	×	×	
	10	1	1	×	×



最後使用預置 ( $PRE$ ) 與清除 ( $CLR$ ) 來設定4個  $D$  型正反器之輸出  $Q_1Q_2Q_3Q_4 = 0001$  為初始狀態後(設定「啟動」輸入為邏輯 0 後，接著再將「啟動」輸入設定為邏輯 1，且將其它不用之  $PRE$  與  $CLR$  皆設定為邏輯 1)，便可繪出可產生 100111001110001 之非週期性序列產生器，如下圖所示。



## 例題 10-8

試設計一個可產生 **110001001** 之週期性序列產生器。

解

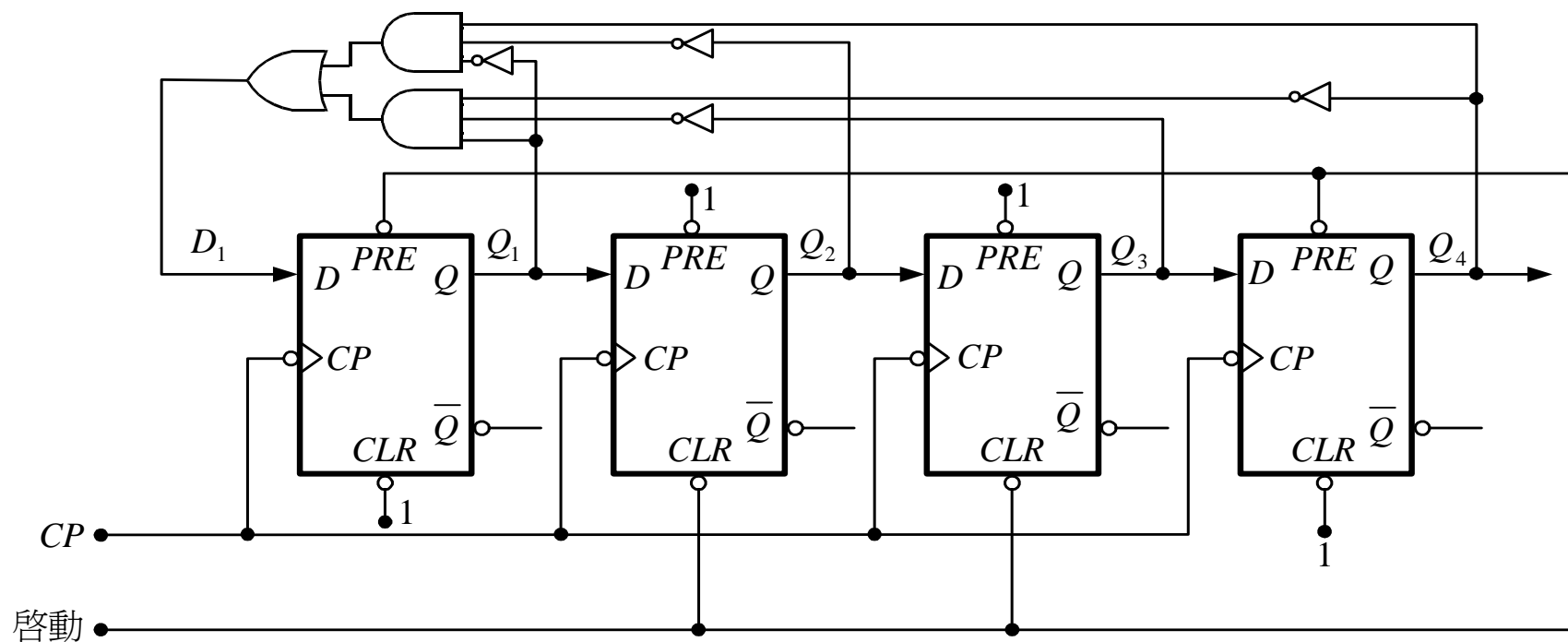
欲產生之週期性序列長度  $S = 9$ ，若使用 3 個  $D$  型正反器來實現。首先設定初始狀態  $S_0$  為  $Q_1Q_2Q_3 = 001$ ，接著依據移位暫存器之原理，即可得串列輸入  $D_1$  之真值表，如下表所示(電路需產生週期性序列，故串列輸入  $D_1$  之真值表，必須考慮一個循環之狀態)。

狀 態	$D_1$	$Q_1$	$Q_2$	$Q_3$
$S_0$	1	0	0	1
$S_1$	0	1	0	0
$S_2$	0	0	1	0
$S_3$	0	0	0	1
$S_4$	1	0	0	0
$S_5$	1	1	0	0
$S_6$	1	1	1	0
$S_7$	0	1	1	1
$S_8$	0	0	1	1
$S_0$	1	0	0	1

觀察上表可知，狀態  $S_0$  與  $S_3$  之輸入皆為  $Q_1Q_2Q_3 = 001$ ，但產生不同之輸出  $D_1$ ，另外  $S_1$  與  $S_5$  之輸入亦皆為  $Q_1Q_2Q_3 = 100$ ，亦產生不同之輸出  $D_1$ ，此為一種矛盾現象，故無法求得控制  $D_1$  之組合邏輯電路，以滿足所求之週期性序列。為解決上述之矛盾現象，通常可增加正反器之數量，首先嘗試增加 1 個正反器後，再設定移位暫存器之初始狀態  $S_0$  為  $Q_1Q_2Q_3Q_4 = 1001$ ，接著依據移位暫存器之原理，即可得新的串列輸入  $D_1$  之真值表，如下表所示。

狀 態	$D_1$	$Q_1$	$Q_2$	$Q_3$	$Q_4$
$S_0$	0	1	0	0	1
$S_1$	0	0	1	0	0
$S_2$	0	0	0	1	0
$S_3$	1	0	0	0	1
$S_4$	1	1	0	0	0
$S_5$	1	1	1	0	0
$S_6$	0	1	1	1	0
$S_7$	0	0	1	1	1
$S_8$	1	0	0	1	1
$S_0$	0	1	0	0	1

觀察上表可知，再也沒有相同輸入狀態，產生不同輸出值 ( $D_1$ ) 之矛盾現象發生。若將串列輸入  $D_1$ ，依上表之順序加入暫存器之輸入端，隨著時序脈波之變動，即可在暫存器之輸出  $Q_1Q_2Q_3Q_4$  得到所求之週期性序列。接著可將上表之  $Q_1Q_2Q_3Q_4$  視為輸入，而將串列輸入  $D_1$  視為輸出，並使用卡諾圖化簡，便可得到串列輸入  $D_1$  之最簡布林代數  $D_1 = Q_1 \cdot \bar{Q}_3 \cdot \bar{Q}_4 + \bar{Q}_1 \cdot \bar{Q}_2 \cdot Q_4$ ，最後配合 4 個  $D$  型正反器與  $D_1$  之最簡布林代數，即可繪出滿足所求週期性序列產生器之邏輯電路，如下圖所示。



註：因週期性序列長度  $S = 9$ ，故最少需使用 4 個 ( $n = \lceil \log_2(9 + 1) \rceil = 4$ )  $D$  型正反器來實現。

## 例題 10-9

試設計一個可產生 11110000 之週期性序列的序列產生器(此期性序列為強生計數器)。

解

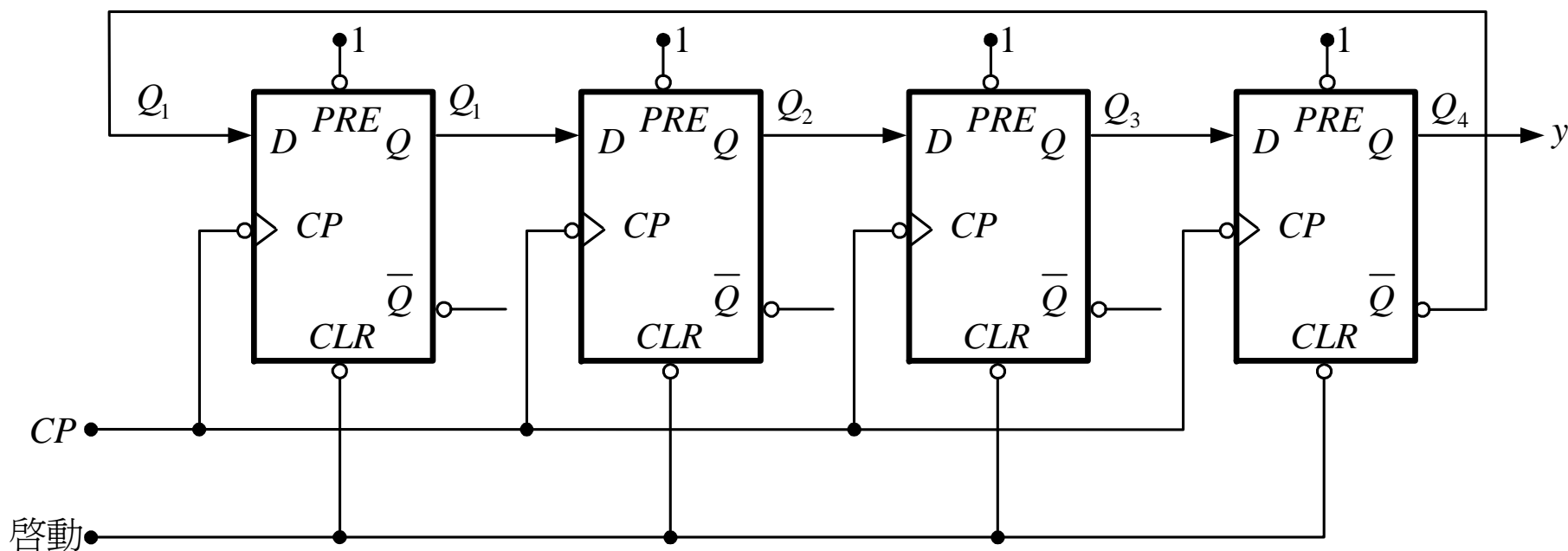
所欲產生之週期性序列長度  $S = 8$ ，若使用 3 個  $D$  型正反器來實現。首先設定移位暫存器之初始狀態  $S_0$  為  $Q_1Q_2Q_3 = 000$  ( 所求週期性序列之最低 3 個位元 )，接著依據移位暫存器之原理，可得串列輸入  $D_1$  之真值表，如下表所示。

狀 態	$D_1$	$Q_1$	$Q_2$	$Q_3$
$S_0$	0	0	0	0
$S_1$	1	0	0	0
$S_2$	1	1	0	0
$S_3$	1	1	1	0
$S_4$	1	1	1	1
$S_5$	0	1	1	1
$S_6$	0	0	1	1
$S_7$	0	0	0	1
$S_0$	0	0	0	0

觀察上表可知，狀態  $S_0$  與  $S_1$  之輸入皆為  $Q_1Q_2Q_3 = 000$ ，但產生不同之輸出  $D_1$ ，另外  $S_4$  與  $S_5$  之輸入亦皆為  $Q_1Q_2Q_3 = 111$ ，亦產生之不同輸出  $D_1$ ，因上述之輸出的矛盾現象，故無法求得控制  $D_1$  組合邏輯電路，以滿足所求之週期性序列。為解決上述之矛盾現象，首先嘗試增加 1 個正反器後，再設定移位暫存器之初始狀態  $S_0$  為  $Q_1Q_2Q_3Q_4 = 0000$ （所求週期性序列之最低 4 個位元），接著依據移位暫存器之原理，即可得新的串列輸入  $D_1$  之真值表，如下表所示。

狀 態	$D_1$	$Q_1$	$Q_2$	$Q_3$	$Q_4$
$S_0$	1	0	0	0	0
$S_1$	1	1	0	0	0
$S_2$	1	1	1	0	0
$S_3$	1	1	1	1	0
$S_4$	0	1	1	1	1
$S_5$	0	0	1	1	1
$S_6$	0	0	0	1	1
$S_7$	0	0	0	0	1
$S_0$	1	0	0	0	0

觀察上表可知，再也沒有相同輸入狀態，產生不同輸出值( $D_1$ )之矛盾現象發生。接著將左表之 $Q_1Q_2Q_3Q_4$ 視為輸入，而將串列輸入 $D_1$ 視為輸出，使用卡諾圖化簡，可得輸出 $D_1$ 之最簡布林代數 $D_1 = \bar{Q}_4$ ，最後配合 4 個  $D$  型正反器與 $D_1$ 之最簡布林代數，即可繪出滿足所求週期性序列產生器之邏輯電路，如下圖所示。



註：因週期性序列長度  $S = 8$ ，故最少需使用 4 個 ( $n = \lceil \log_2(8 + 1) \rceil = 4$ )  $D$  型正反器來實現。

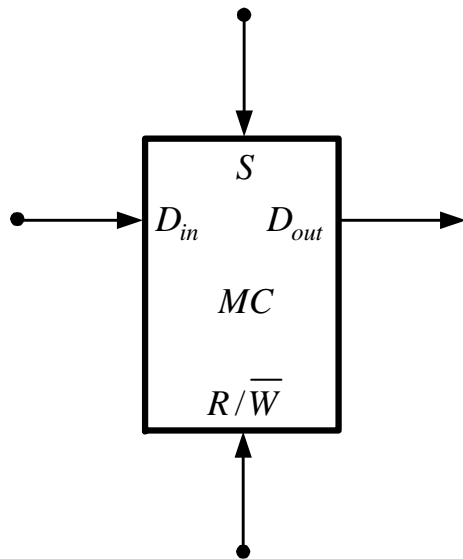
# 隨機存取記憶體(概述)

- ◆ **隨機存取記憶體** (Random Access Memory; **RAM**) 可以隨時**儲存**與**讀取**二進位資料，以做為轉移與儲存二進位資料之數位電路。在數位系統中，*RAM* 主要用來暫時儲存二進位資料之用，而當**電源中斷**時，儲存於 *RAM* 之資料便會隨之**消失**。
- ◆ *RAM* 是由一些**基本記憶單元** (Memory Cell; MC) 與**位址解碼器**所組成的，即任何位址之二進位資料皆可隨時**寫入** (Write) *RAM* 或由 *RAM* **讀出** (Read)。當資料**寫入**指定 *RAM* 之位址時，儲存於該位址之資料將會被**新的資料取代**，而當資料由指定 *RAM* 之位址**讀出**時，則**不會改變**該位址所儲存之資料。
- ◆ *RAM* 可分**靜態隨機存取記憶體** (Static RAM; *SRAM*) 與**動態隨機存取記憶體** (Dynamic RAM; *DRAM*) 兩大類。***SRAM*** 是將二進位資料儲存於**正反器** (Flip-Flop) 中，故只要**電源不斷**或**寫入新二進位資料**，則儲存於 *SRAM* 之資料**永遠不會消失**。***DRAM*** 是將二進位資料儲存於**電容** (Capacitor) 中，為了保持儲存於 *DRAM* 之資料，必需**定期執行充電**，以**更新** (Refreshing)所儲存在電容之二進位資料。

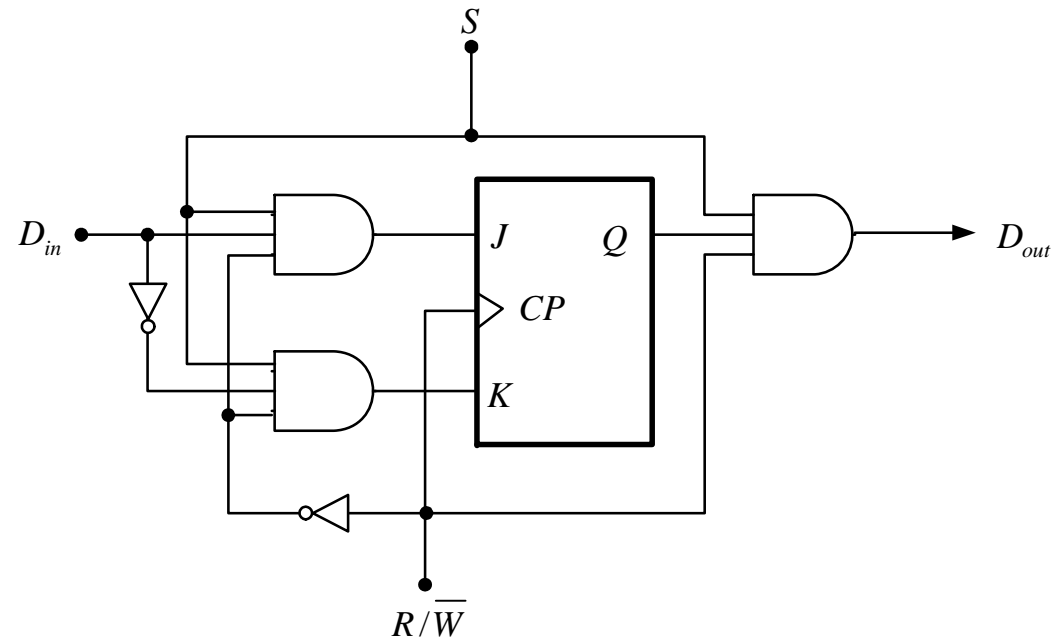


# 靜態隨機存取記憶體

- ◆ 靜態隨機存取記憶體 (SRAM) 之基本記憶單元 (MC) 是由 1 個正反器與控制二進位資料存取 (Access ; 即具二進位資料之寫入與讀取功能 ) 之組合邏輯電路所組成，如下圖所示。



(a) 邏輯符號



(b) 邏輯電路圖

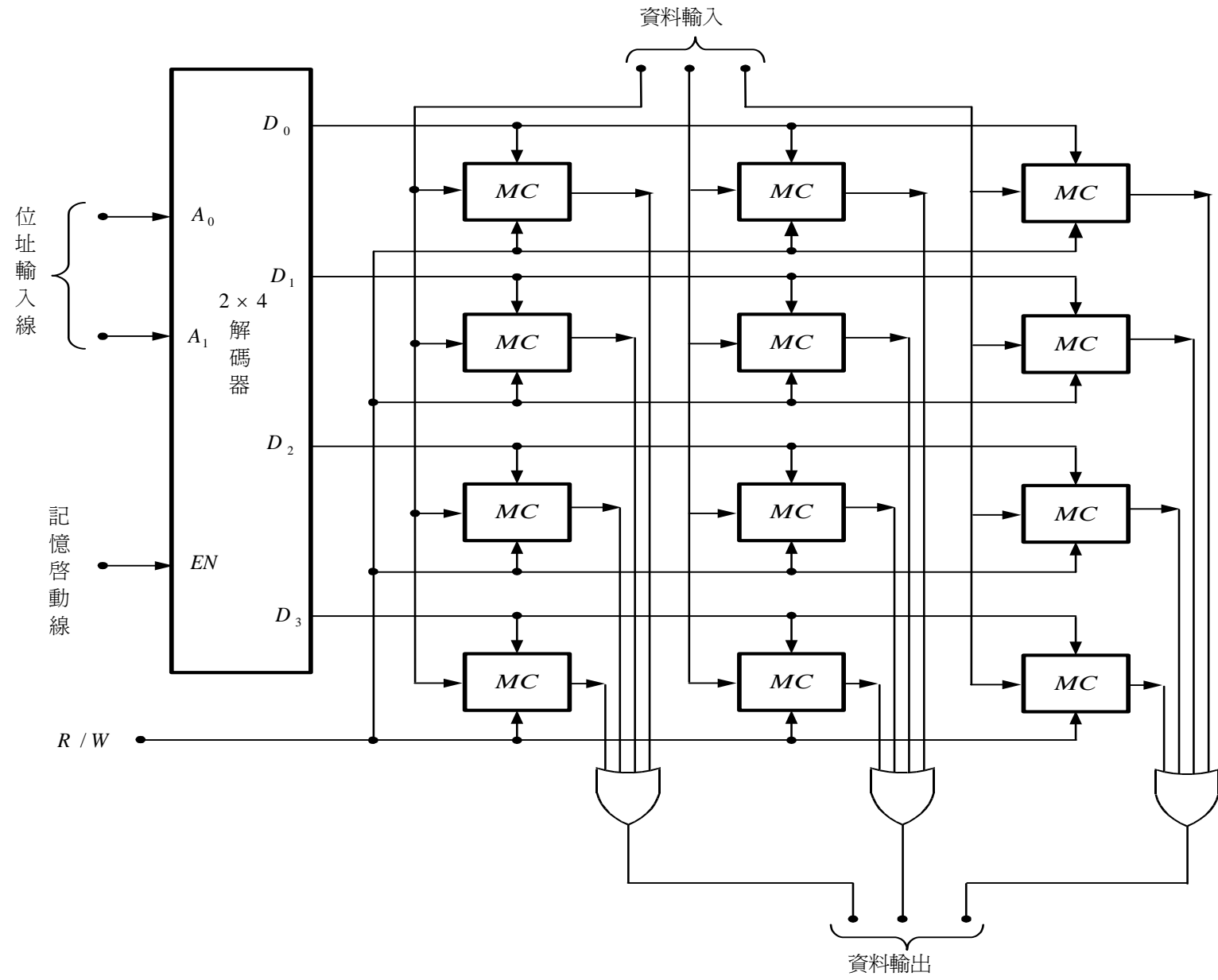
◆ 觀察  $MC$  可知，此電路可用來存取 1 個位元之二進位資料，即當位址選擇線  $S = 0$  時， $MC$  不執行任何存取運算；而當位址選擇線  $S = 1$  時， $MC$  可執行下列運算：

1. 當  $R/\overline{W} = 1$  時， $MC$  可將儲存於正反器之資料轉移至輸出  $D_{out}$ ，即執行讀取 (Read) 之運算。

2. 當  $R/\overline{W} = 0$  時， $MC$  可將資料輸入  $D_{in}$  轉移至正反器，即執行寫入 (Write) 之運算。

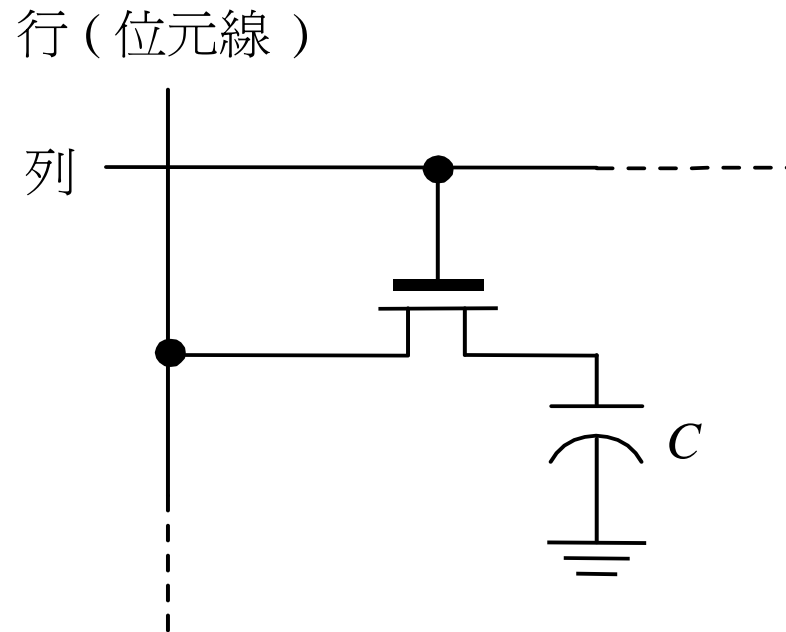
◆ 為使記憶體可用來存取更多位元之二進位資料，可將多個  $MC$  並列連接，以形成一個較大規格之  $RAM$ ，如下圖所示之  $4 \times 3 RAM$  的結構圖，可存取 4 個 3 位元之字組，總共有 12 個二進位儲存格，故需使用 12 個記憶單元 ( $MC$ )。

◆  $4 \times 3 RAM$  使用 3 條輸入與 1 條輸出代表 1 個位元組，另外 4 個位組之記憶體，需有 2 條位址線，故使用  $2 \times 4$  解碼器，以選取 4 個字組中之 1 個，而被選取之字組，可在  $R/\overline{W}$  之控制下進行二進位資料的存取運算。



# 動態隨機存取記憶體

- ◆ 動態隨機存取記憶體(*DRAM*)之二進位資料儲存在 1 個小電容 ( $C$ ) 上，再加上 1 個電晶體控制開關，即使用 *MOS* 電晶體與電容 (Capacitor) 來組成 *DRAM* 的基本記憶單元，如下圖所示。

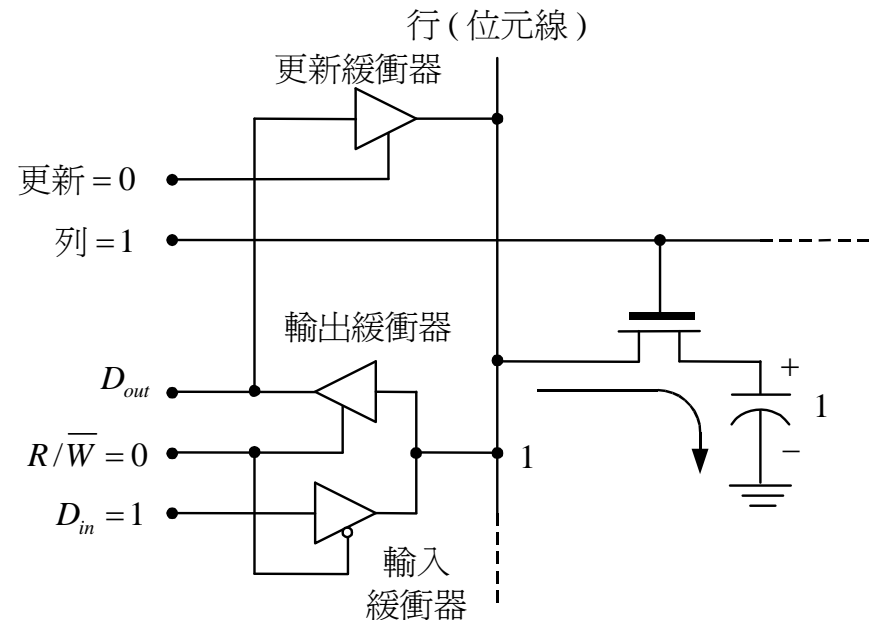


◆ 比較 *SRAM* 與 *DRAM* 之電路圖，可知 *DRAM* 之優、缺點如下：

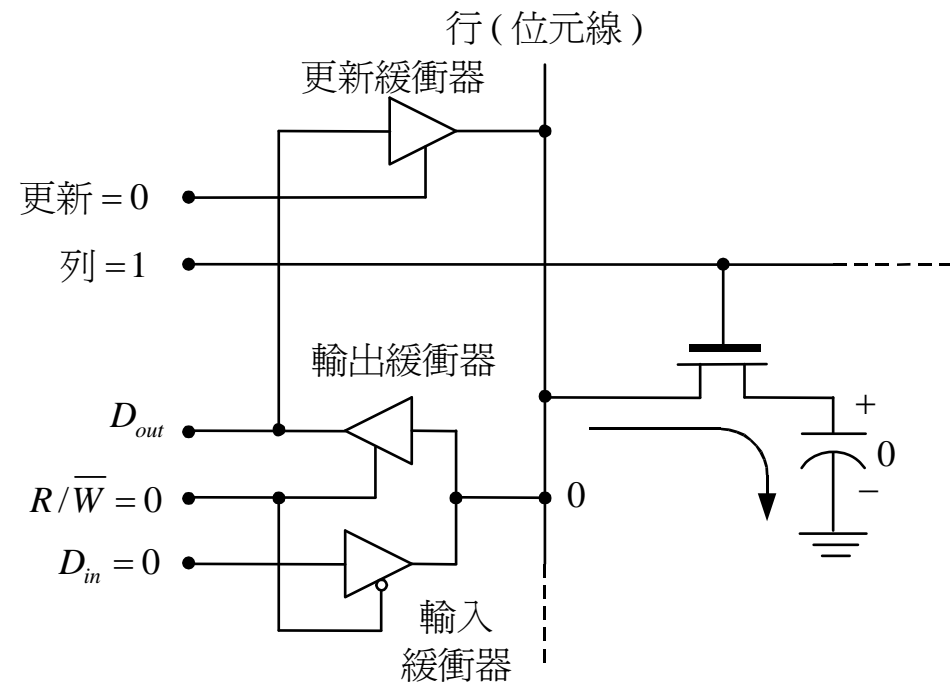
1. 優點：*DRAM* 之電路結構比 *SRAM* 簡單相當多，相對的 *DRAM* 之單位成本會比 *SRAM* 少了相當多，因此可在很小面積之晶片上，組成相當大容量的儲存陣列。
2. 缺點：*DRAM* 之資料儲存於無法長時間保持電荷之電容上，因此所儲存之二進位資料，往往會隨時間而逐漸消失，必須週期性更新(Refreshing)電容之電荷，導致增加電路之複雜度。

◆ 首先討論 *DRAM* 執行**寫入** (Write) 方法，即將二進位資料**儲存於電容**之方法，當  $R/\overline{W} = 0$  時，則輸出緩衝器被**禁能** (Disable)，而輸入緩衝器被**致能** (Enable)，此時 *MOS* 電晶體將會**導通**，即可將  $D_{in}$  **儲存** (寫入) 在電容上，接著分別討論**邏輯 1** 與**邏輯 0** 寫入 *DRAM* 之原理如下：

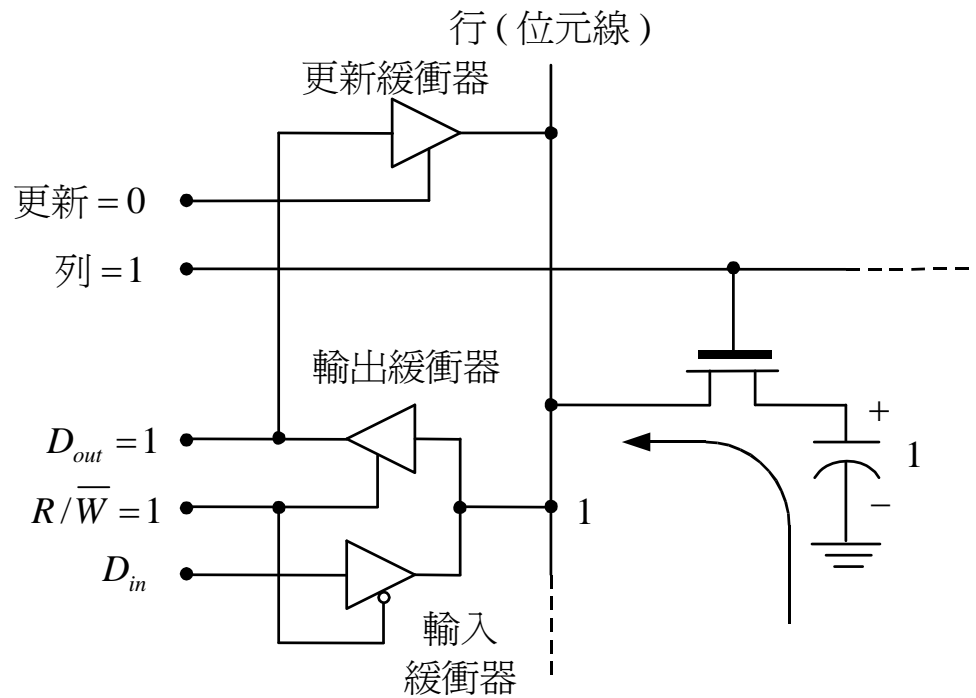
1. 當  $D_{in} = 1$  時，即**邏輯 1**(高電位)會通過電晶體，向電容充電至**高電位** (邏輯 1)，即可將邏輯 1 (輸入資料  $D_{in}$ ) **儲存** (寫入) 基本記憶單元之**電容**上，如下圖所示。



2. 當  $D_{in} = 0$  時，即邏輯 0 ( 低電位 ) 會通過電晶體，使電容放電至低電位 ( 邏輯 0 )，即可將邏輯 0 ( 輸入資料  $D_{in}$  ) 儲存 ( 寫入 ) 基本記憶單元之電容上，如下圖所示。



◆ 接著討論基本記憶單元**讀取** (Read) 二進位資料之方法，即將所儲存之二進位資料從電容**取出**的方法，即當  $R/\overline{W} = 1$  (同時設定「**更新**」為 0 與「**列**」為 1) 時，則輸出緩衝器被**致能** (Enable，而輸入緩衝器被**禁能** (Disable)，此時 MOS 電晶體亦會**導通**，即可將**電容**所儲存之電荷 (邏輯 1；高電位 )**轉移** (讀取)  $D_{out}$ ，如下圖所示。





- ◆ 當電容上所儲存之二進位資料為**邏輯 1** ( 高電位 ) 時，必需隨時**更新** (Refreshing) 之方法。當設定**更新**=1 ( 同時設定「 $R/\overline{W}$ 」與「列」為**邏輯 1**) 時，則輸出緩衝器與更新緩衝器被**致能** (Enable)，而輸入緩衝器被**禁能** (Disable)，即可將輸出緩衝器之**高電位**，透過更新緩衝器連接至行 ( 位元線 )，而此時 MOS 電晶體亦會**導通**，故此高電位可再次對電容**充電**，以**保持電容所儲存之高電位**，不會隨時間而逐漸消失，如下圖所示。

