

# BÁO CÁO LAB 4

Lớp L04 - nhóm 7

STT	Họ và tên	MSSV
1	Nguyễn Trường Thịnh	2110564
2	Phạm Hồng My Sa	2112173
3	Nguyễn Tấn Hào	2013053
4	Danh Sơn Hà	2013037

## 1. Setup

*Step 1&2:* Create and change directory to “layout\_env” folder. Copy Sample Environment Kit from Cadence to each of your synthesis working folder

```
[l04group7@ktmt ~]$ cd vlsi/2013053/work/layout_env  
[l04group7@ktmt layout_env]$ cd -rf /home/share_file/cadence/pdk pdk
```

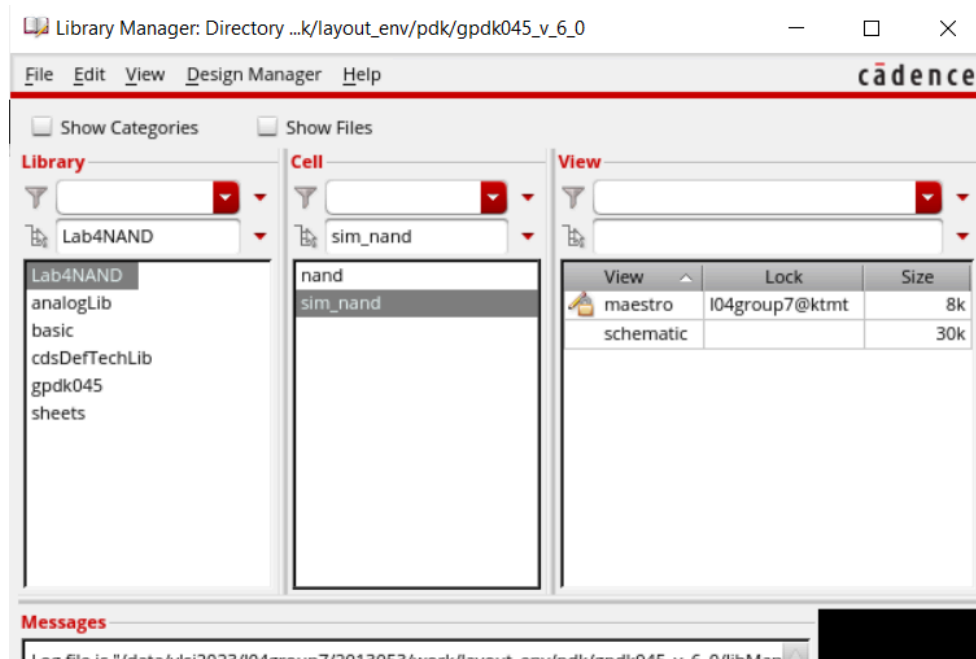
```
[l04group7@ktmt layout_env]$ ls  
go_vir  pdk  
[l04group7@ktmt layout_env]$ vi go_vir
```

*Step 3:* Get license and start virtuoso with a executable file go\_vir:

```
#!/bin/bash -f  
  
cd pdk/gpdk045_v_6_0/  
cd /home/share_file/cadence/  
source add_path  
source add_license  
cd -  
virtuoso &
```

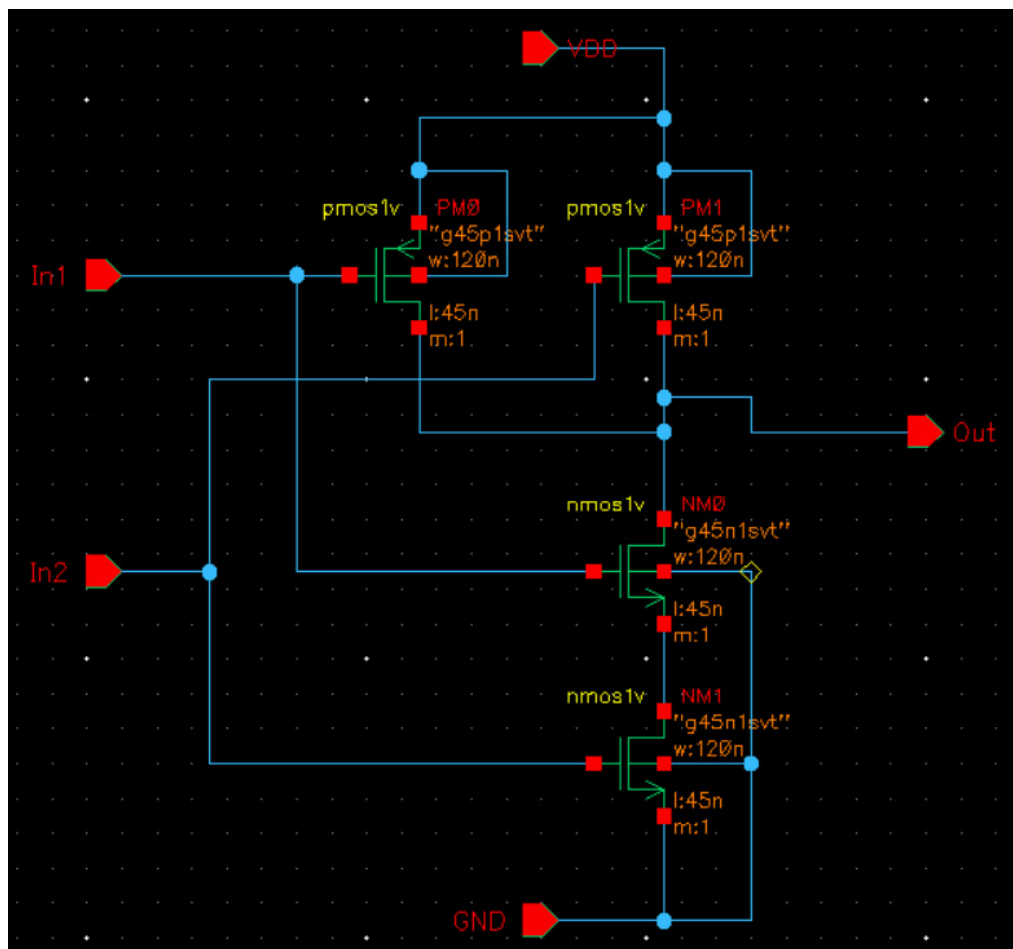
## 2. Create Library

### Library Manager View:

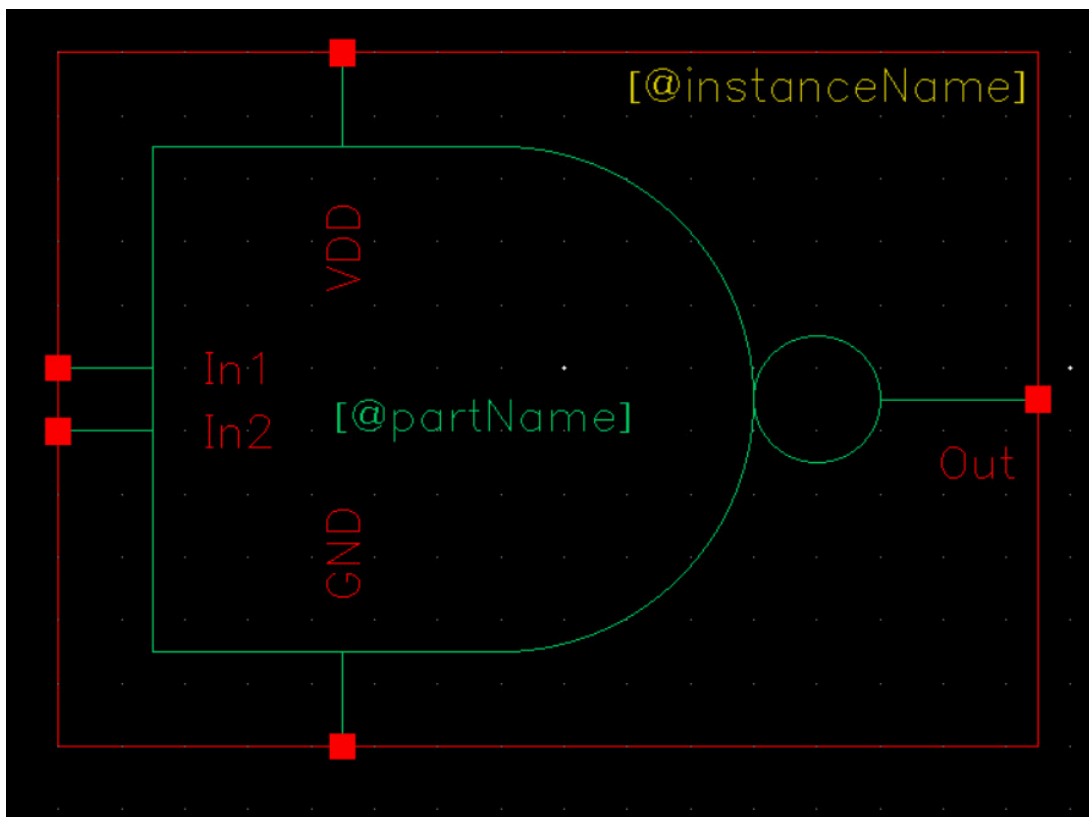


### 3. Schematic

Cell Schematic:

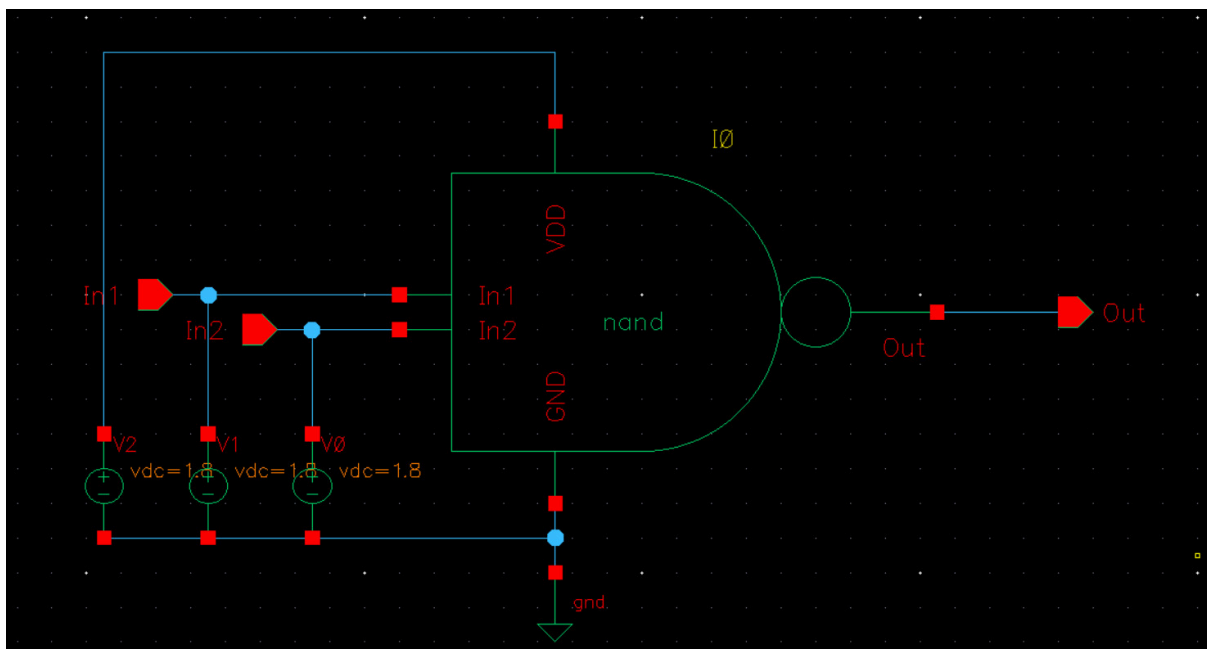


Cell symbol:

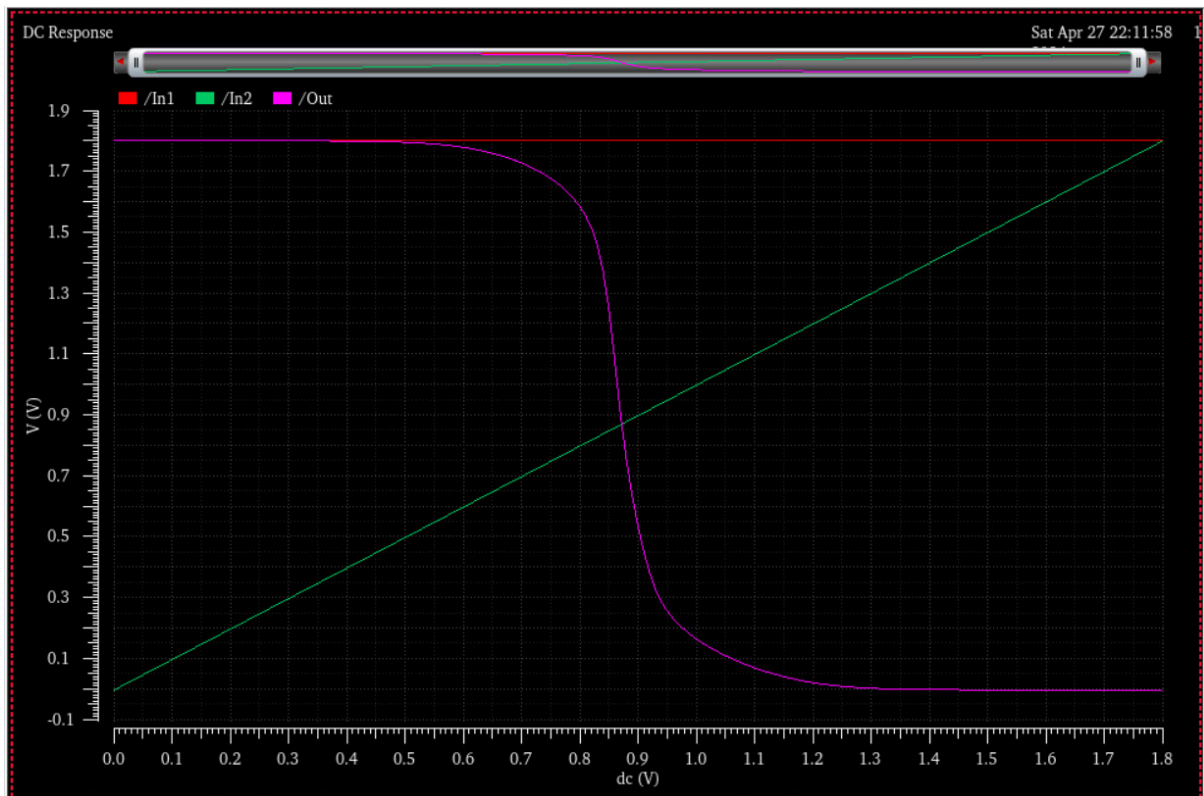


#### 4. Run Spectre simulation

Schematic to simulate the circuit:

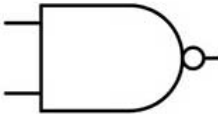


Result of running the simulation:



**Explain:** Với input chỉ cần có một trong hai là high logic level (ở phần bên trái hình là In1 có giá trị input là 1.8V tương ứng với mức logic 1, In2 có giá trị input là 0V tương ứng với mức logic 0) thì output tương ứng là high logic level (Out có giá trị 1.8V tương ứng mức logic 1); còn nếu cả hai input In1 và In2 đều ở high logic level (ở phần bên phải hình là cả In1 và In2 có giá trị input là 1.8V, tương ứng mức logic 1) thì output tương ứng là low logic level (Out có giá trị 0V tương ứng mức logic 0); tức là tương tự với nội dung của cổng logic NAND, được thể hiện bằng bảng chân trị của cổng NAND như sau:

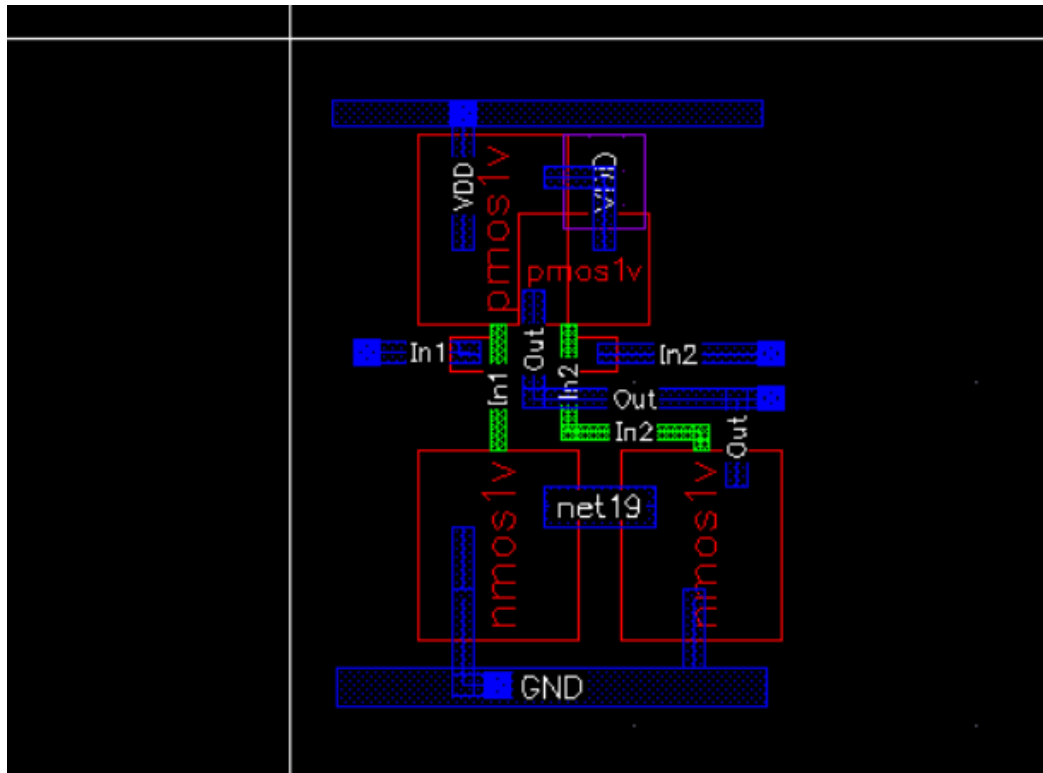
## NAND



A	B	Output
0	0	1
1	0	1
0	1	1
1	1	0

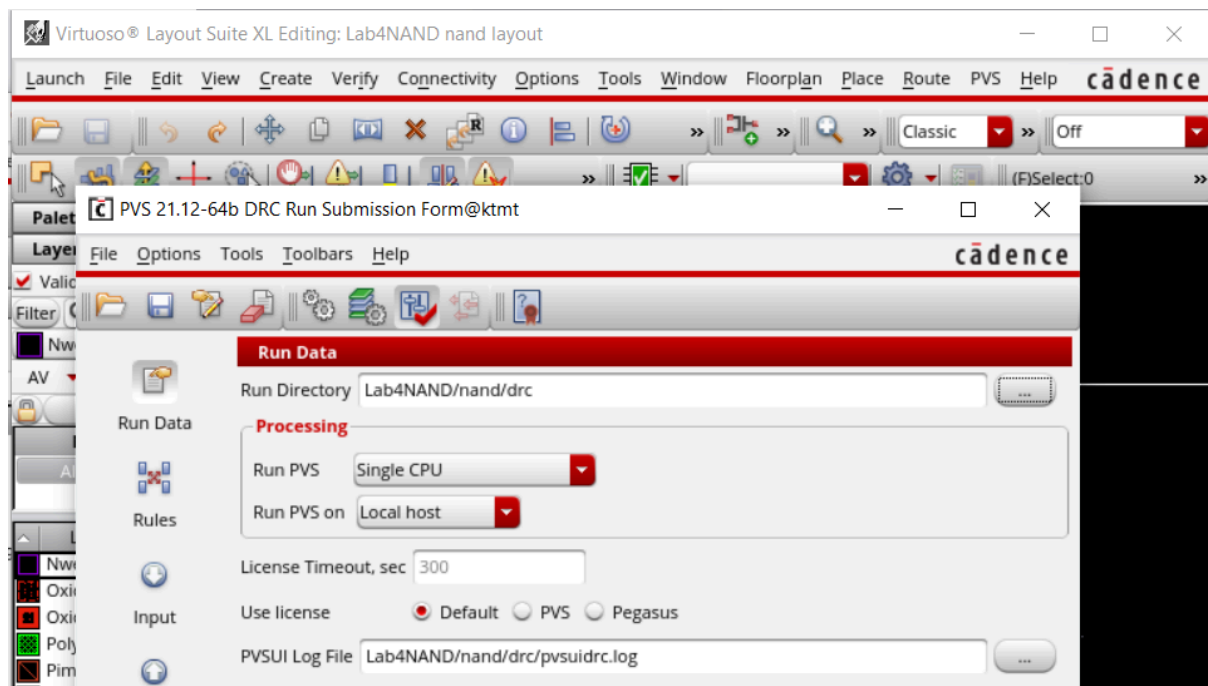
## 5. Layout

Layout of cell:

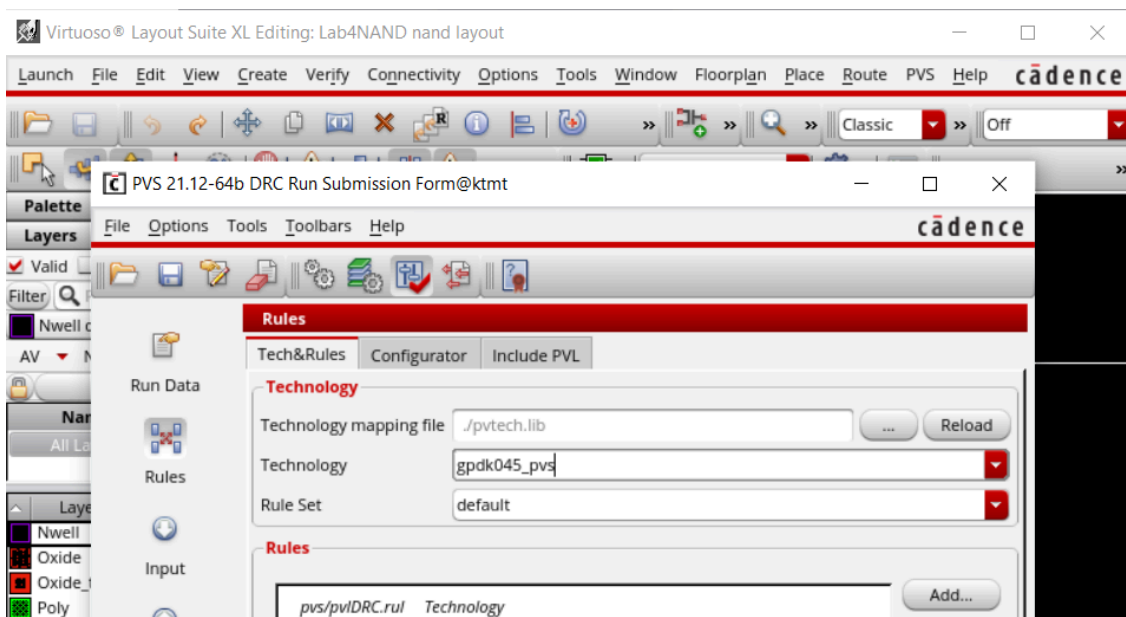


## 6. DRC

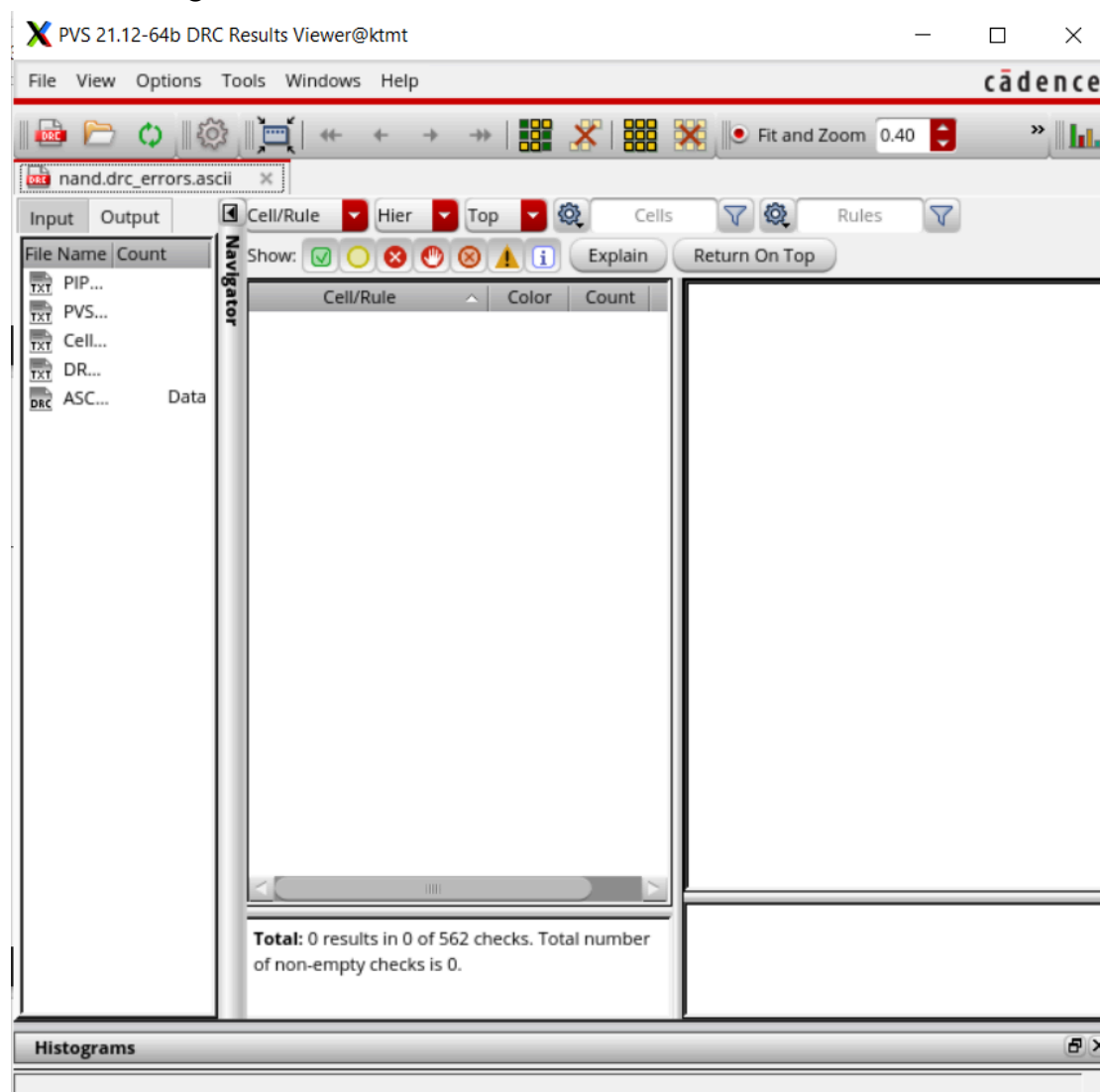
Run DRC:



Rules tab:



Result of running DRC:



## 6. LVS

Result of running LVS:

