

实验报告

开课学期： 2022秋季

课程名称： 计算机体系结构(实验)

实验名称：实验4：层次存储系统分析

学生班级： 6班

学生学号： 200110625

学生姓名： 柯炽炜

实验与创新实践教育中心印制

2022年11月

# 1. 题目分析

Cache容量：

申请一个数组size小于Cache容量，在循环中不断访问该数组。首次循环结束后，由于数组size小于Cache容量，因此整个数组将被存放在Cache中，后续访问都将命中，平均访存时间短。因此当出现平均访存时间较大变化时便找到Cache的容量大小。

Cache块大小：

发生Cache缺失时，会将主存中的某个数据块将被读取并填充到发生缺失的Cache块中。

因此不断增大访问间隔直到访问间隔大于Cache块大小时，每次访问都将调入新的数据块，找到该突变点即找到了Cache块大小。

Cache相联度：

由于组相联映射规则所限，当数组被均分到某个临界值时，将无法将Cache块中所有的空间利用上，而这个临界值对应的相联度即为。

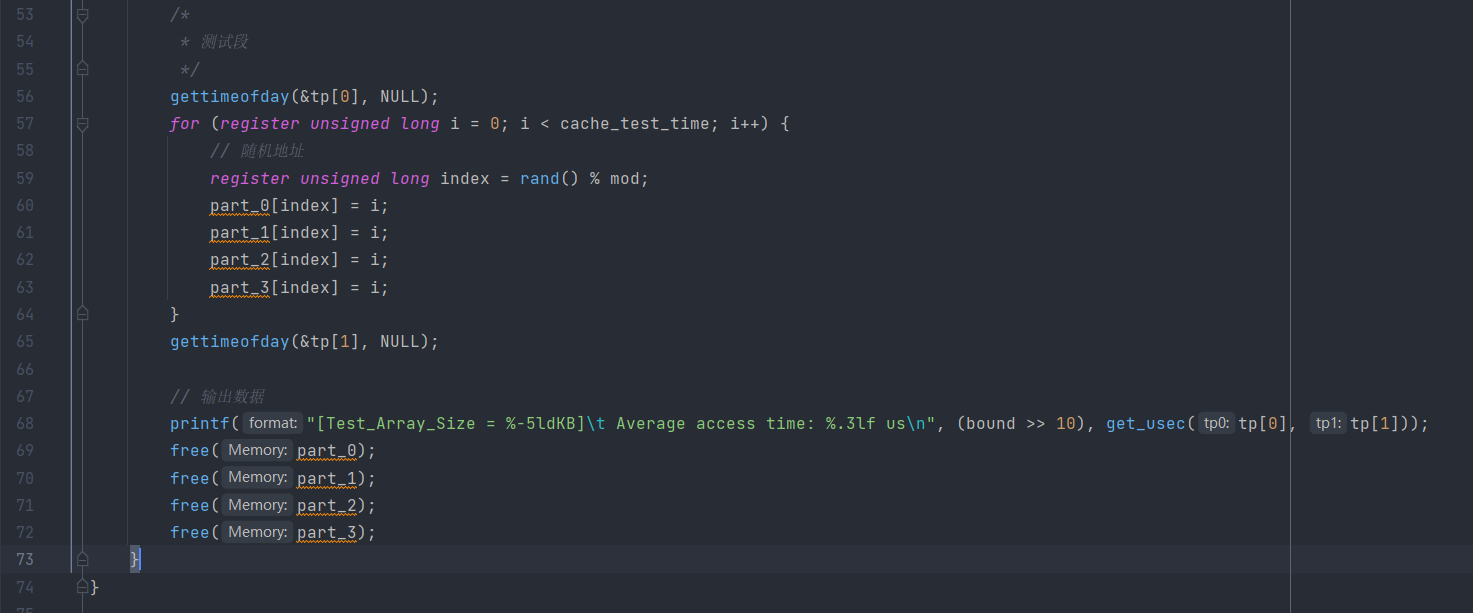
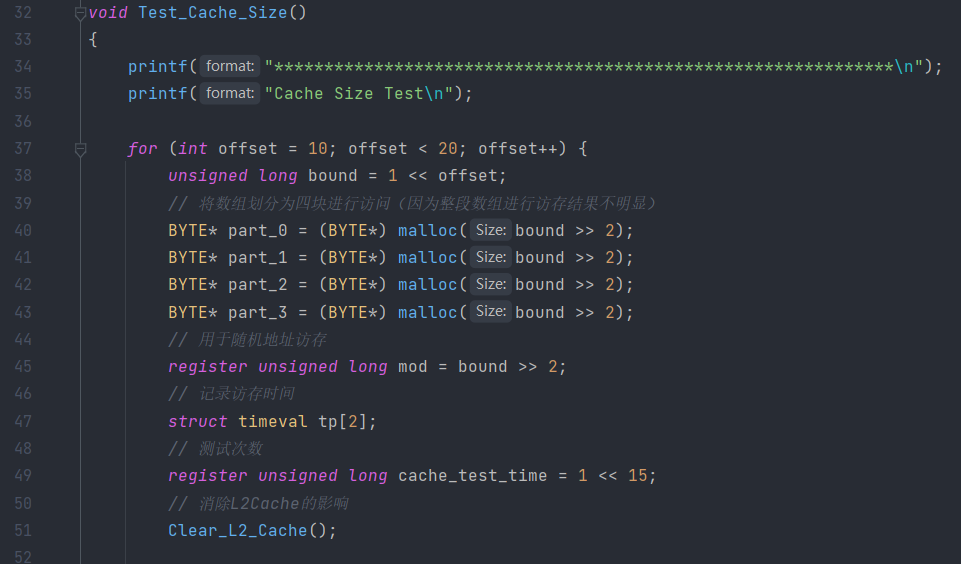
TLB条数：

访存页数超过TLB的entry数时，会出现缺失导致平均访存时间增加。因此找到该临界值就是找到了TLB的entry数。

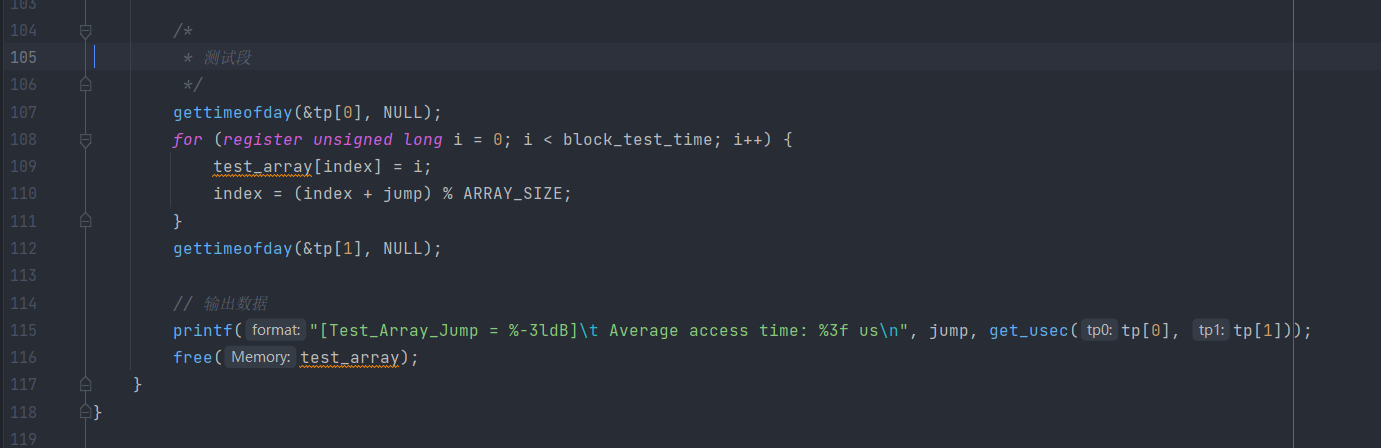
# 2. 设计与实现

## 2.1 方案设计

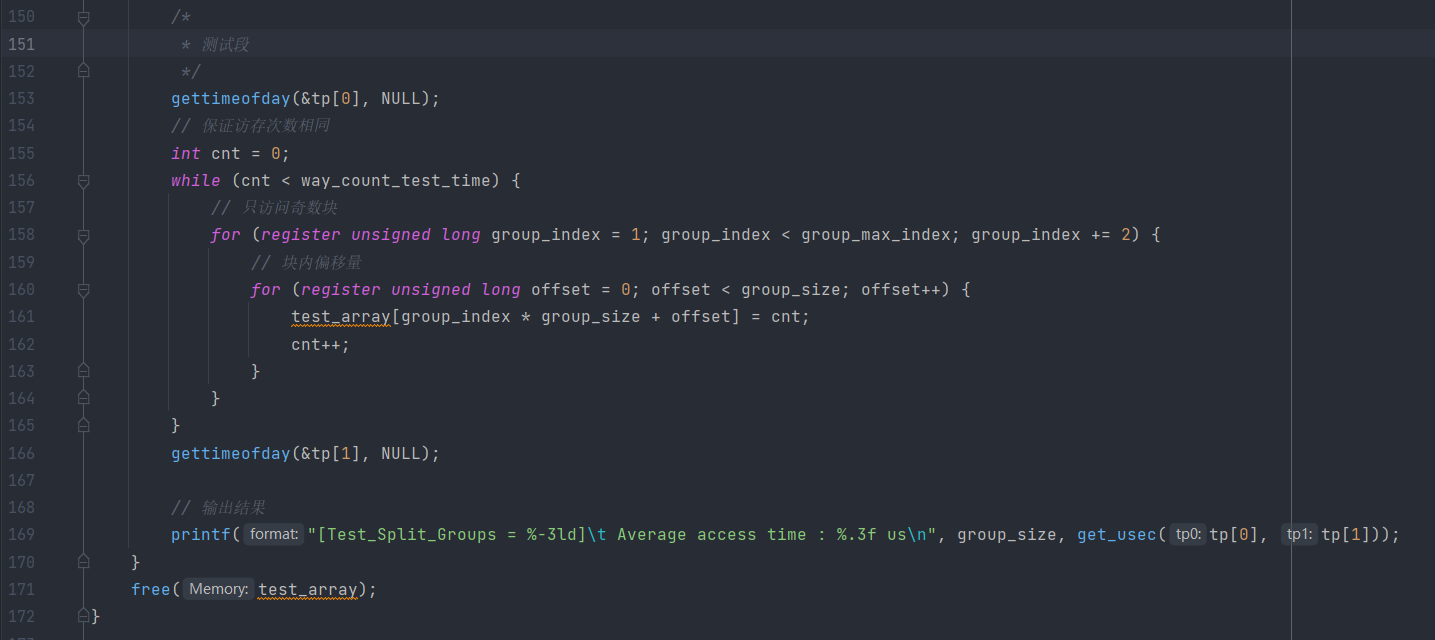
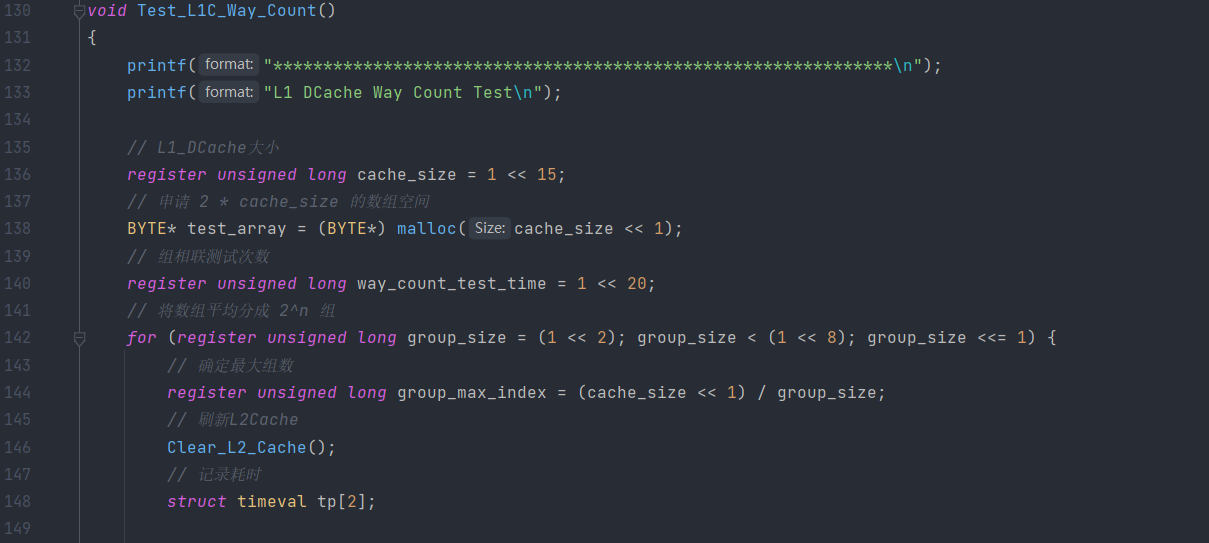
测试Cache大小函数



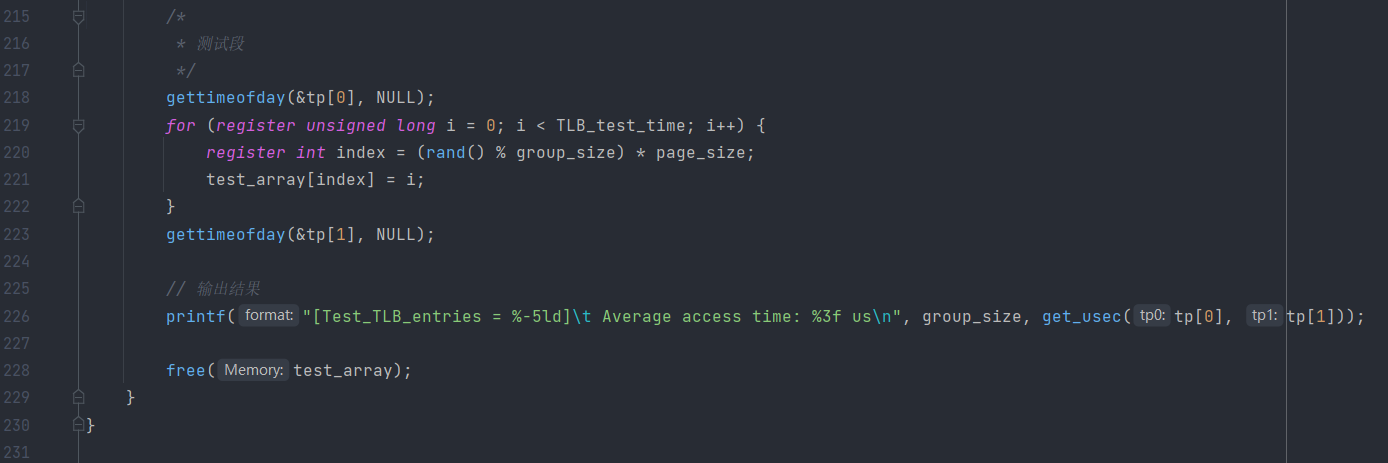
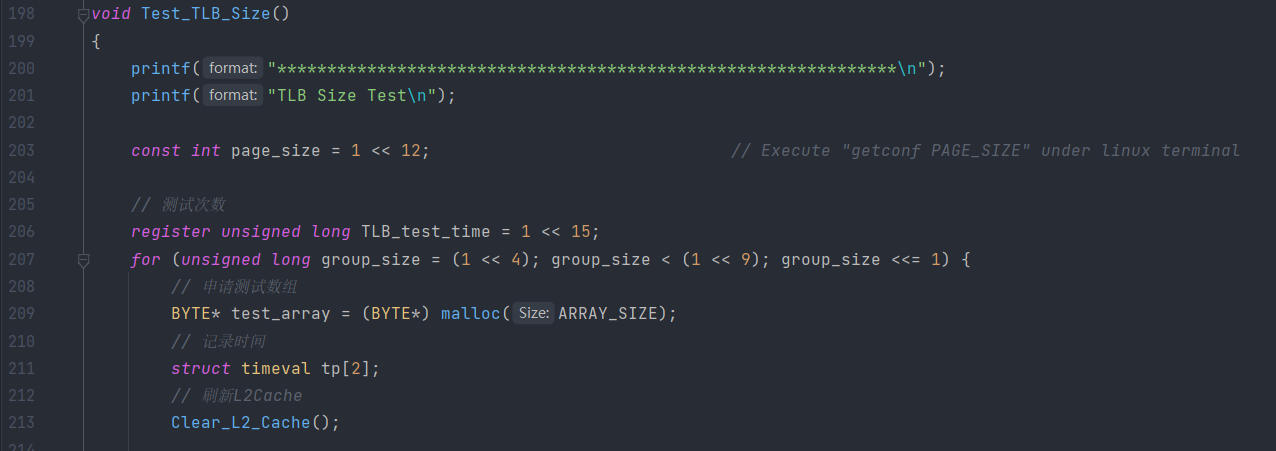
测试Cache块大小函数



测试相联度函数

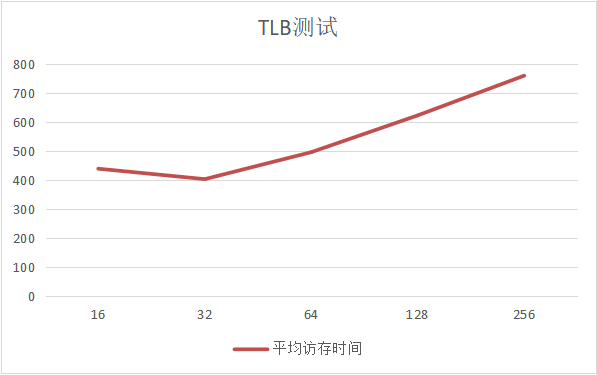
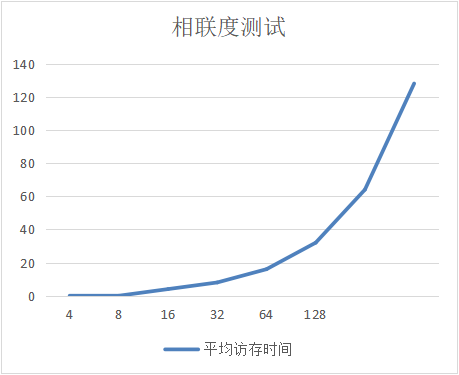
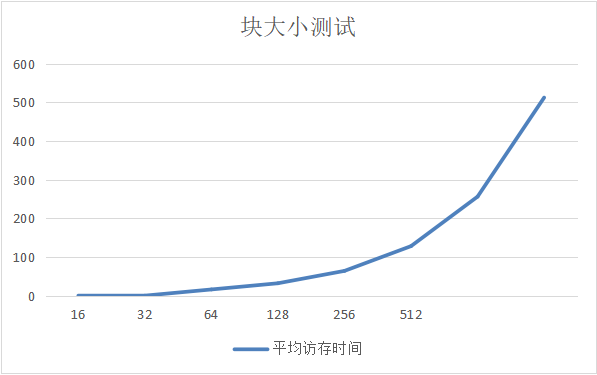
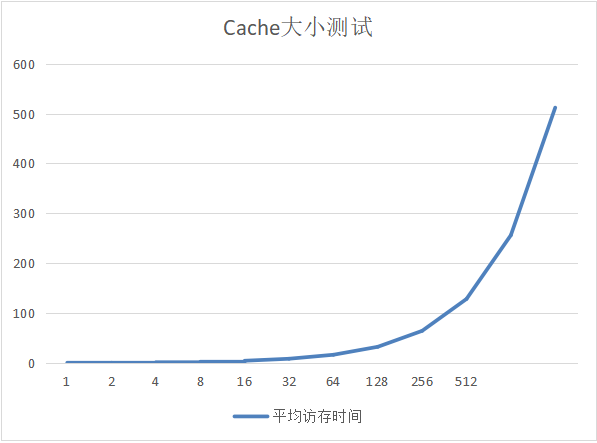
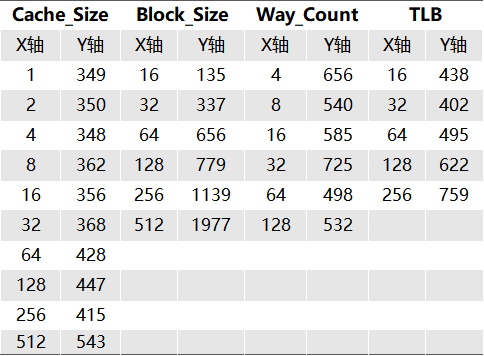


测试TLB大小函数



## 2.2 实验结果及分析

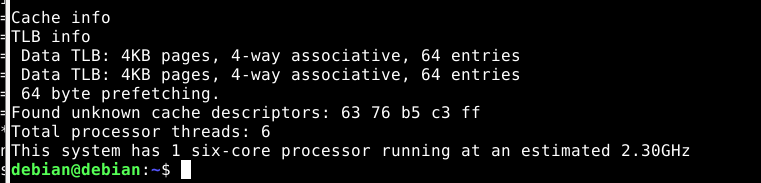
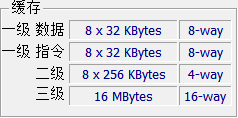
原始数据：



结论如下：

1. 本机Cache大小为64KB
2. Cache块大小为64B
3. 相联度为8路组相联
4. TLB条数为64条

实测数据：



实验所得结果与实际相符。

# 3. 回答问题

## 3.1 为了进一步提高访存性能，现代处理器往往利用时间局部性和空间局部性，将所访问数据块相邻的数据块预取到Cache中。试分析数据预取将给实验结果带来什么影响？

将相邻数据块提前预取到Cache中，会影响对Cache大小和Cache块大小的测量，因为这种机制提高了Cache的命中率，进一步使得实验结果出现误差。

## 3.2 试分析Cache对测量TLB造成何种影响？如何排除Cache的干扰？

影响：若需要调入的数据块已经存在Cache中，则可以无需访问TLB，使得未命中与命中的差距不那么明显，导致TLB平均访存时间误差增大。

排除干扰的方式：每次读之前刷新Cache。

## 3.3 测量TLB前，是否需要遍历访问一次全部空间？为什么？

需要。

因为需要更新TLB中的数据为所需要读取的页表地址，保证TLB的有效性。

## 3.4 要写出高效的程序，必须对底层硬件有足够的了解。请谈谈如何利用Cache或TLB提高程序性能。

利用程序的局部性原理，提高所编写程序的局部性。

访问数据时，尽量重复使用已读取出的数据。

读取数据时，尽量采用顺序读取。

# 4. 总结

本学期的体系结构实验对我来说难度有些过高。很多时候我并不能很好的掌握实验指导书所要表达的意思，导致无法将理论课上学到的知识转化为代码实践。

我希望老师们可以优化一下对应的实验指导书，加入一定的框架代码解释，框架代码提供合理的注释，这样可能对我来说体系结构实验可以不那么磕磕绊绊。

最后，十分感谢江老师一学期的辛苦付出，老师辛苦了！