

# Latches & Flip Flops

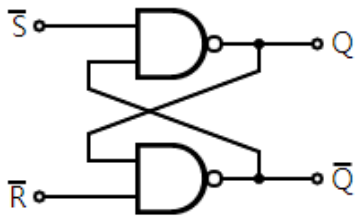
이름: 곽영혜

학번: 21700034

## ◆ 문제

1. 다음 그림과 같이 두개의 NAND 를 이용하여 SR Latch 를 만든다. 이 회로는 Active-Low 회로가 된다. 이 회로가 어떤 동작을 하는지 다음 빈칸을 적당한 말로 채워라.

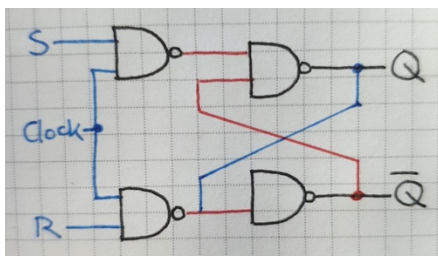
2-input NAND 2 개로 이루어진 아래의 SR Latch 는 (1)  $\bar{R}=1, \bar{S}=1$  일 때 출력값은 (No Change)이다. (2)  $\bar{R}=0, \bar{S}=1$  일때는 출력 Q 는 논리값( 0 )이 되고 (3)  $\bar{R}=1, \bar{S}=0$  일 때는 Q 는 논리값 ( 1 )이 된다. (4)  $\bar{R}=0, \bar{S}=0$  일때 Q 는 논리값 (이 Not allowed 되며 입력값을 사용할 수 없으며), Q'는 논리값 (이 Not allowed 입력값을 사용할 수 없는 상태)가 되고,  $\bar{R}$ 과  $\bar{S}$ 둘을 동시에 1 로 복귀시키면 결과는 (No Change 이면서 상태 유지)가 된다. 따라서, NAND gate 로 구성된 RS Latch 는  $\bar{R}$ 과  $\bar{S}$ 의 입력값이 ( 0 ) ( 0 )가 되는 상황을 피해야 한다.



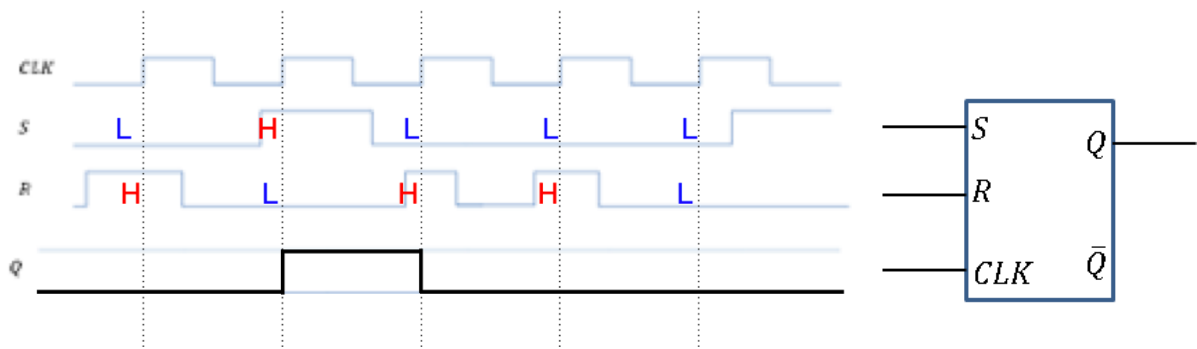
2. 1 개의 7400 을 이용하여 다음의 Enable 기능(심볼에서 CLK 핀)을 가지는 SR Latch 회로를 그리고, 동작 표 작성 및 아래 입력에 대한 Q 파형을 그리시오.

[Enabled SR Latch 회로 - 4 개 NAND 로 구현]

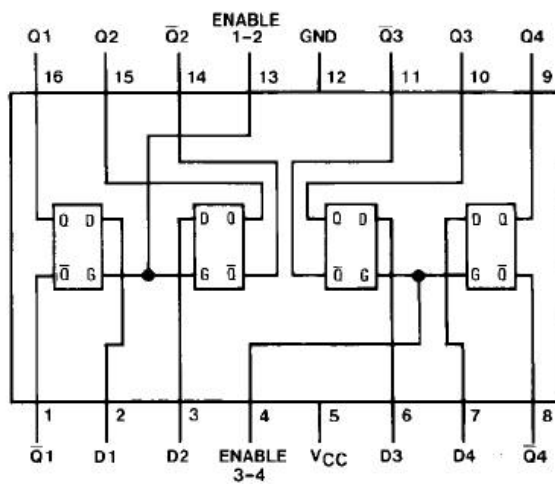
[동작 표]



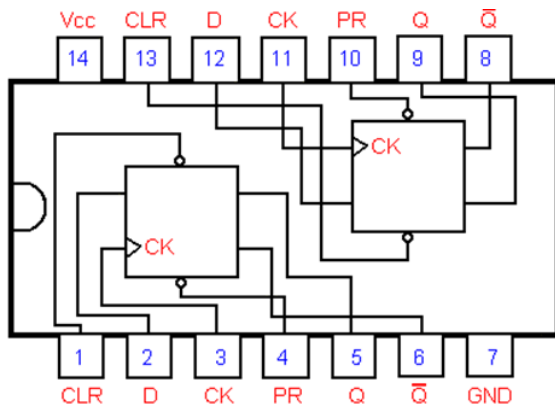
CLK(EN)	S	R	Q(t+1)
L	X	X	L
H	L	L	L
H	L	H	L
H	H	L	H
H	H	H	H



2. 각 IC 에 대하여 표를 작성하시오.

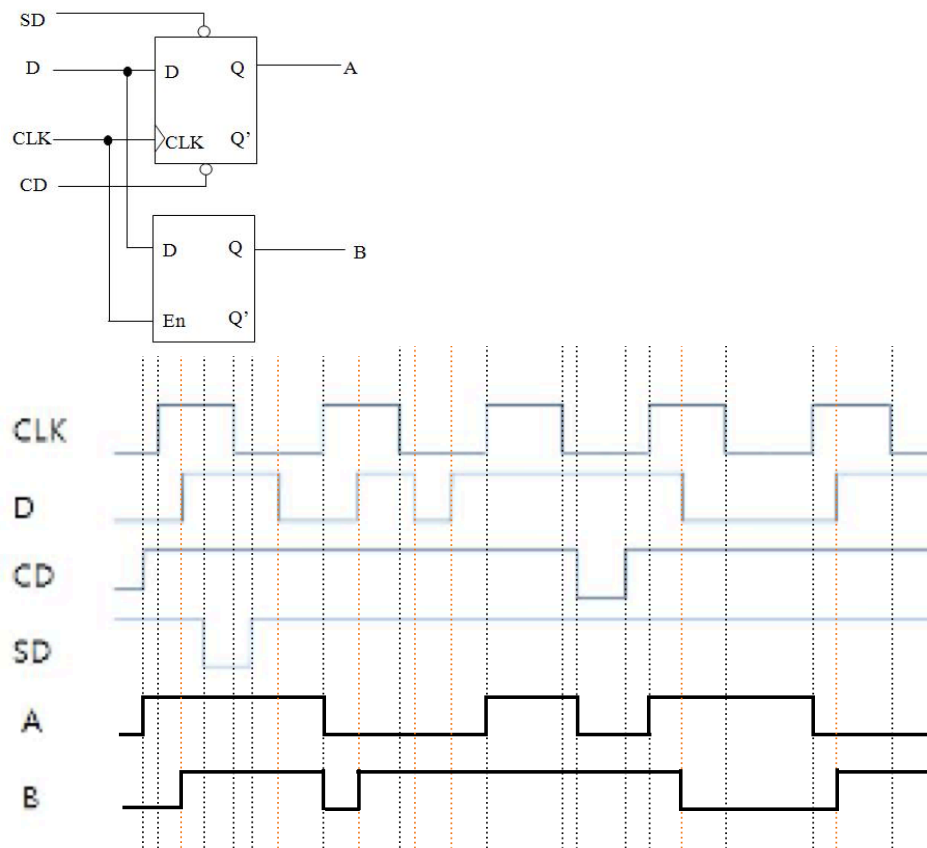


D1	EN1-2	Q(t+1)
X	L	Q(t)
L	H	L
H	H	H

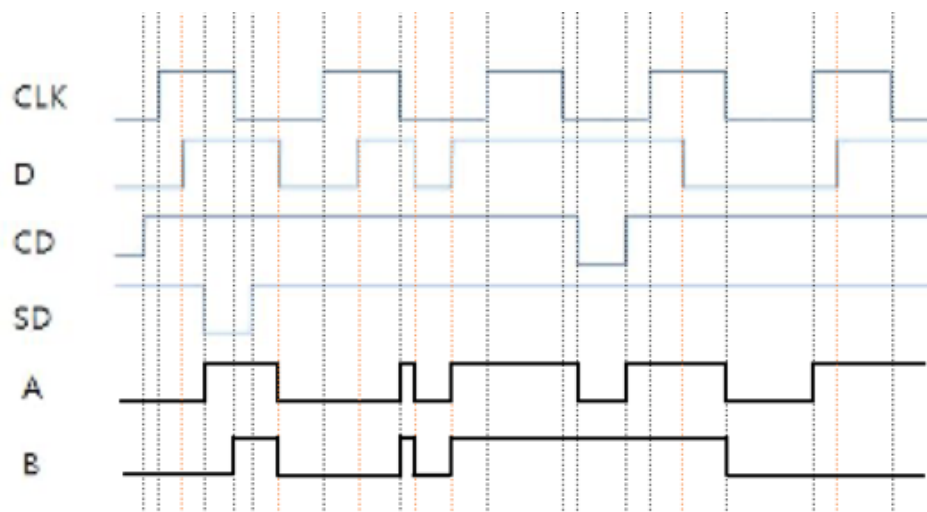


PR	CLR	D	CK	Q(t+1)
L	H	X	X	H
H	L	X	X	L
L	L	X	X	H
H	H	H	0->1	H
H	H	L	0->1	L
H	H	X	L	Q(t)

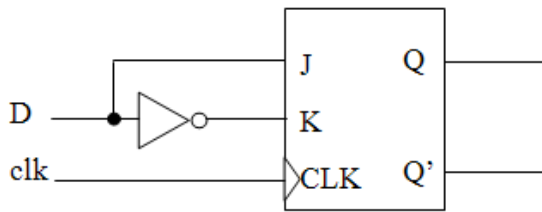
3. 다음 wave form 과 같은 입력에 의한 대한 Flip-Flop 과 Latch 의 출력(A,B)을 각각 그려라. (propagation delay 와 setup/hold time 은 고려하지 않아도 된다.)(3tp)



4. 위 3 번 문제에서 D FlipFlop 의 CLK 로직이 falling-edge-triggered logic 이고, D Latch 의 En 신호가 active low 일 경우, A, B 의 출력신호를 그려라.

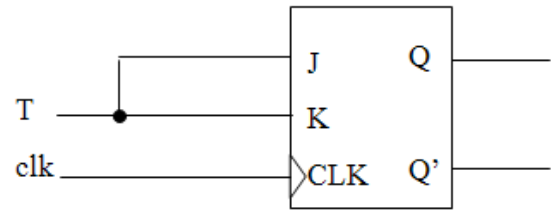


5. 다음과 회로들의 동작에 대하여 기술하여라.



D	CLK	Q(t+1)
X	0,1,1-→0	Q(t)
0	0-→1	0
1	0-→1	1

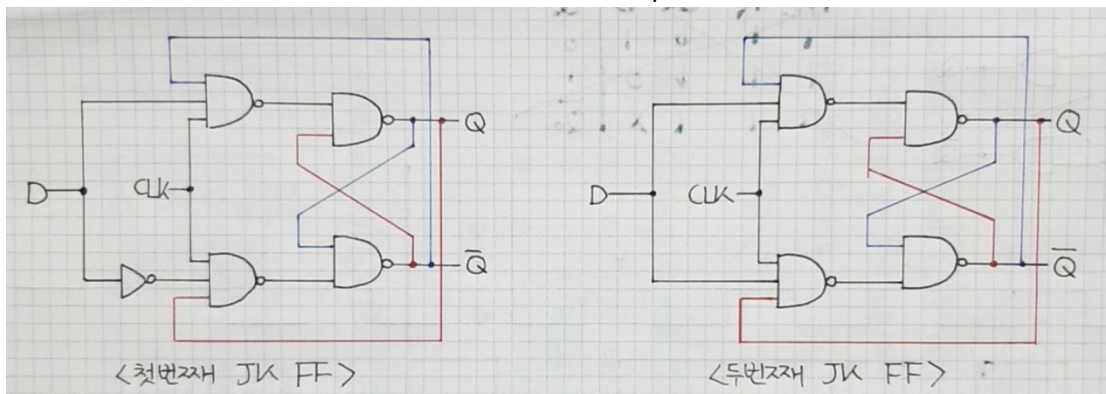
[설명]



T	CLK	Q(t+1)
X	0,1,1-→0	Q(t)
0	0-→1	Q(t)
1	0-→1	Q'(t)

[설명]

두 회로들은 JK 플립플롭의 회로들이며 첫번째 회로는 D의 값과 D의 반전된 값이, 두번째 회로는 J와 K에 동일한 값들이 input으로 들어가게 됩니다.



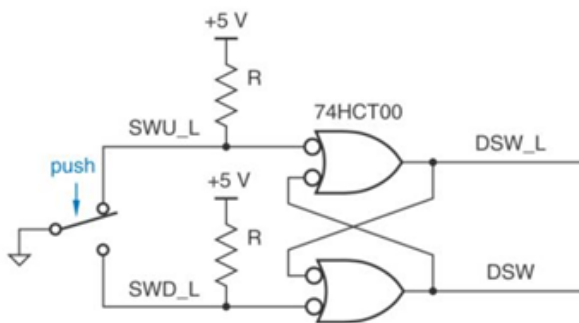
두 회로들 다 CLK 신호에서 Positive edge-triggered JK FF이며 우측에 SR Latch가 있음을 확인할 수 있습니다.

첫번째 회로에서 CLK 신호가 rising이 아닌 경우, NAND 게이트로 인해 D의 값에 상관없이 이전의 상태를 유지하는 출력을 보내게 됩니다. 그러나 CLK 신호가 rising이며 D 값이 0인 경우, 0 값과 clk 신호값인 1이 좌측 상단의 NAND 게이트로 들어가 1로 출력됩니다. 또한, 좌측 하단의 NAND 게이트의 경우, 1 값과 clk 신호값인 1이 input으로 들어오게 되면서 0 값이 출력됩니다. 결국 SR Latch에 1과 0이 들어오게 되면서 Q 값으로 0이 출력되게 됩니다. D 값이 1인 경우 또한 마찬가지로 좌측 NAND에서 계산된 0과 1 값이 SR Latch로 들어와 Q 값이 1로 출력됨을 확인할 수 있습니다.

두번째 회로에서 CLK 신호가 rising 이 아닌 경우, NAND 게이트로 인해 D 의 값에 상관없이 이전의 상태를 유지하는 출력을 보내게 됩니다. 또한, 첫번째 회로와 다르게 NOT gate 가 없어 좌측 상하단의 NAND 에 같은 값이 input 으로 들어가게 됨을 확인할 수 있습니다. T 값이 0 일 경우, 좌측 NAND 게이트들에 0 값과 clk 신호값인 1 이 input 으로 들어오게 되며 출력으로 1 을 내보내게 됩니다. 그렇게 되면 SR Latch 에 1 값들이 input 으로 들어오게 되며 이때의 출력 결과값은 이전의 결과값으로 값에서의 변화가 없음을 확인할 수 있습니다.

T 값이 1 인 경우, input 값으로 1 과 clk 신호값인 1, 그리고 이전값들인  $Q(t)$ 와  $Q'(t)$ 가 들어오며 이전값에 따라 그 반대의 값이 출력으로 나오게 됩니다. 좌측 상단에 input 값으로 1 과 clk 신호값인 1, 그리고 이전값인  $Q'(t)$ (1 이라 가정)가 들어오게 되면 출력값으로 이전값의 반대인  $(Q'(t))' = Q(t)(=0)$ 를 주며 이 값은 좌측 상단의 NAND 게이트에 이전값  $Q'(t)(=1)$ 와 같이 input 으로 들어가 output 으로  $Q(t+1) = (Q(t)*Q'(t))' = Q(t) (=0)$ 이 출력됩니다. 이 값은 이전값  $Q'(t)$ 의 반대값이 되므로 성립이 됨을 확인할 수 있습니다.

6. switch 를 통해서 임의의 clock 신호를 만들려고 하면 bouncing 때문에 정확한 clock 의 동작을 만들기가 쉽지 않다. 따라서 이러한 경우 debouncing switch 를 만들어야 한다. SPDT debouncing switch 는 다음 회로와 같이 구현할 수가 있다. 이 회로가 어떻게 debouncing switch 로써 동작하는 가를 설명하여라.



NAND gate 2 개로 구성된 SR Latch 로 구현된 debouncing switch 가 사진과 같이 상단 와이어와 연결되어 있을 경우, 그라운드와 연결되어 있어 위쪽 NAND gate 의 input 으로 0 이 들어가게 됩니다. 그러나, 하단의 NAND gate 의 경우 5V 와 연결되어 있으므로 input 으로 1 이 들어가게 됩니다. 그 결과, 상단의 NAND gate 에서는 High 값이 output 으로 나오게 되며 이 값이 하단의 NAND gate 의 input 으로 들어가 Low 값이 output 으로 출력되게 됩니다. 스위치가 아래에 연결된 경우, 위의 NAND gate 들의 output 출력값들이 위아래 순서가 바뀌어 나오게 됩니다.

그러나 스위치가 회로에 연결되지 않은 bouncing 상태일 경우, 두 NAND gate 에 High 값이 input 으로 들어가게 되는데, SR Latch 에서 두 input 들의 값이 High 인 경우, output 값의 변화가 없이 이전 상태의 출력 결과값을 유지하는 특성으로 인해 스위치가 완전히 반대쪽 회로도에 연결되지 않는 경우를 제외하고는 이전에 연결되었던 회로도의 결과값을 계속 유지할 수 있습니다. 이런 특성으로 인해 Debouncing Switch 가 구현되는 것을 확인할 수 있습니다.