

Latch and Flip-Flop

이름 : 곽영혜

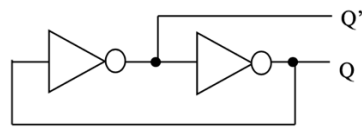
학번 : 21700034

실험 날짜 : 2020/06/12

I. 서론(5 pts)

- Latch 에 대한 일반적인 동작 기술.

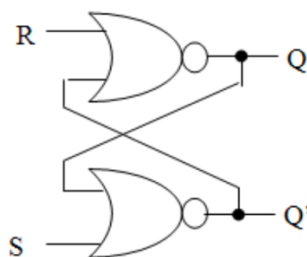
두 개의 인버터로 구성된 회로에서는 한번 저장된 이진 값을 영속적으로 유지하게 됩니다. 즉, 외부 입력 없이 Q 는 항상 0(또는 1) 이고 Q' 는 항상 1(또는 0)이 됩니다.



그러나, 위와 형태의 회로에서는 저장된 값을 변경할 수 없는 문제점이 있습니다.

- S-R Latch 와 D Latch 에 대한 동작 기술.

위의 문제점을 해결하기 위해 NOR gate 로 (또는 NAND gate 로) 인버터를 대체하여 회로를 구성하여 메모리 소자를 만들면 사용자의 의도에 따라 저장하는 값을 결정할 수 있습니다. 이를 S-R Latch 라고 부릅니다.

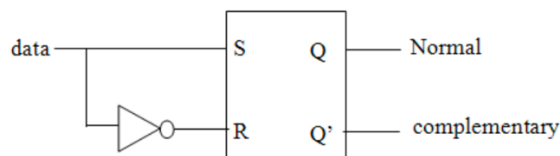


S 와 R 이 제어 신호가 되어 기존의 값($Q(t)$ 와 $Q'(t)$)을 계속 유지할지 아니면 새로운 값으로 변경할지를 결정하게 됩니다. Q 와 Q'는 항상 반대 논리값을 출력하도록 되어있습니다.

S 와 R 의 입력이 모두 '0' 이면 인버터링과 같은 논리가 되어 Q 와 Q'는 과거의 값을 계속 유지하게 됩니다. S='0'인 상태에서 R='1'이 되면 Q 는 0 (reset) 이 되고 Q'는 Q 의 반대값인 1 이 됩니다. R='0'인 상태에서 S='1'이되면 반대 로 Q 는 '1' (set)이 되고 Q'는 Q 의 반대값인 0 이 됩니다. 따라서, 만약 $Q=1, Q'=0$ 으로 만들고 싶으면 입력을 $S=R=0$ 에서 $S=1, R=0$ 으로 했다가 $S=R=0$ 으로 복귀하면 됩니다. 이 출력은 $S=0, R=1$ 의 입력이 가해지기 전까지는 계속 유지됩니다.

SR latch 의 사용에서 주의할 점은 S 와 R 이 동시에 '1'이 되는 경우는 허용되지 않는다는 것입니다. 두 제어 신호가 동시에 1 이 되면 Q 와 Q'는 모두 '0'이 된다. 이것은 Q 와 Q'는 반대논리값을 가진다는 SR latch 정의에 위배됩니다. 그러나, 더 큰 문제는 이 두 신호가 모두 '0'으로 복귀했을 때, Q 와 Q'가 어떤 값을 가지게 될지는 알 수 없다는 것입니다. Race condition 에 의해서 Q 와 Q'가 임의로 1 과 0 의 값을 가지게 됩니다. 따라서, S 와 R 이 동시에 '1'되는 상황은 반드시 금지해야 합니다.

D Latch 의 경우, SR latch 에 다음과 같이 하나의 인버터를 추가해서 회로를 변경하면 동시에 S 와 R 이 '1'이 되는 상황을 피할 수 있습니다.



그러나, 이 경우는 $S=R=0$ 이 될 수 없기 때문에 과거의 값을 계속 기억할 수 있다는 memory 소자의 특성이 없어져버립니다.

▫ Flip-Flop 에 대한 일반적인 동작 기술

S-R latch 나 D Latch 의 경우는 CLK 신호(enable 신호) 가 '1'인 동안에는 입력 신호 의 변화에 따라 출력 신호가 영향을 받게 됩니다. 그러나 synchronous 회로를 구성하려고 할 때에는 CLK 신호가 변화하는 한 순간에만 입력 신호에 따라 출력 신호가 결정되도록 할 필요가 있을 수 있습니다. 이러한 특성을 가진 메모리 소자를 Flip-Flop 이라고 합니다.

Flip-Flop 은 두개의 안정된 출력 상태 중에서 하나의 상태를 가질 수 있고, 그 출력을 바꿀 수 있게 하는 하나 혹은 그 이상의 입력을 가지는 기억 소자입니다. 대체로 클럭이라는 펄스에 의해 상태를 바꿀 수 있고 데이터 입력에 반응해서가 아닌, 클럭 입력에 반응해서 출력의 상태를 바꾸는 소자입니다.

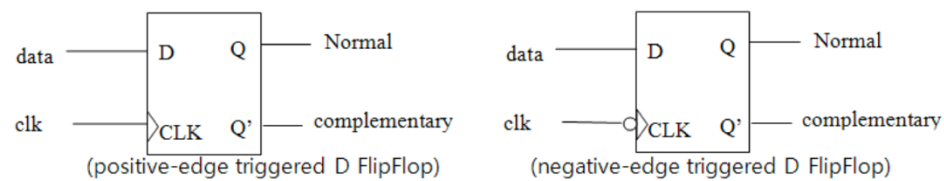
- D FF 과 J-K FF 에 대한 동작 기술.

1. D FF

입력 D 의 값을 클럭의 엣지(edge)에서 캡처해서 Q 에 반영합니다. 엣지가 발생하지 않는 시간에는 Q 가 변하지 않고 유지됩니다.

clock 이 1 에서 0 으로 하강할 때 출력이 변하는 로직을 negative-edge-triggered logic 이라고 하며, 반대로 clock 이 0 에서 1 로 상승할 때 출력이 변하는 로직을 positive-edge-triggered logic 이라고 합니다.

이러한 D-type Flip-Flop 들을 심볼로써 나타내면 다음 그림과 같게 됩니다.

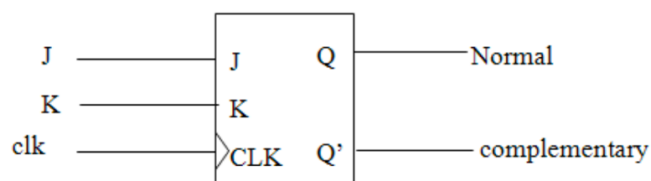


2. J-K FF

Flip-Flop 의 입력이 D 가 아닌 J 와 K 의 두개로 주어지는 Flip-Flop 이며, D flip-flop 보다 더 다양한 동작을 수행합니다.

J=k=0 이면 출력이 변하지 않고, J=1,K=0 이면 Q=1 이 되고, J=0, K=1 이면 출력 Q=0 이 됩니다.

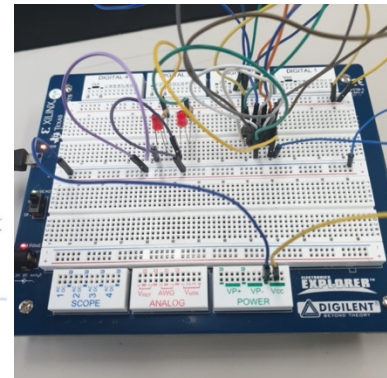
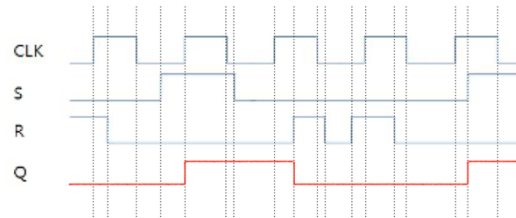
J=K=1 이면 출력 Q 는 과거 Q 값의 반대 논리값을 가지게 됩니다.



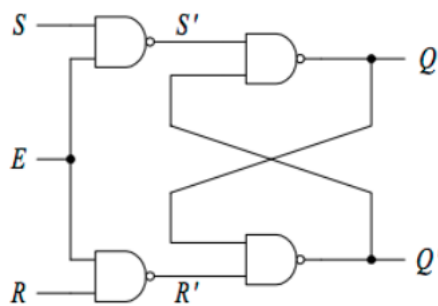
II. 실험과정 및 결과 (10 pts)

▣ SR latch with enable 에 대한 실험 결과 요약 및 설명 (실험내용 1)

NAND 게이트로 구성되는 SR Latch 를 breadboard 상에서 7400 TTL IC 를 이용하여 구현하라. 주변 입출력은 아래 그림에서와 같이 LED 를 이용하여 표시한다. 주어진 신호들에 대하여 회로를 이용하여 실험한 결과를 그려라. 입력과 출력은 Digital I/O 를 활용한다 (CLK 로 표시된 신호는 실질적으로는 EN 신호임.)



<실제 SR Latch 회로로 측정된 결과와 회로 실험의 사진>



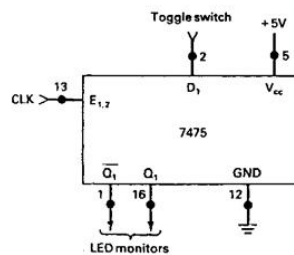
E	S	R	Q	Q_{next}	Q_{next}'
0	x	x	0	0	1
0	x	x	1	1	0
1	0	0	0	0	1
1	0	0	1	1	0
1	0	1	x	0	1
1	1	0	x	1	0
1	1	1	x	1	1

<Enable 신호가 있는 NAND gate 들로 이루어진 S-R Latch 회로도 와 진리표>
초기 SR-Latch 를 실행시킬 경우, 이전 결과값이 존재하지 않는 상태이고 Enable 신호값도 0 인 상태였기에 S,R 의 값에 관계없이 0 으로 출력하였지만 Enable 이 1 로 바뀌었을 때 S 와 R 값으로 다음 출력값을 결정하며 특히 둘다 0 값일 경우 이전 결과값이 무엇이였는지에 따라 다음 출력값이 결정되는 결과를 확인할 수 있습니다.

- D latch with enable (7475) 에 대한 실험 결과 요약 및 설명 (실험내용

2)

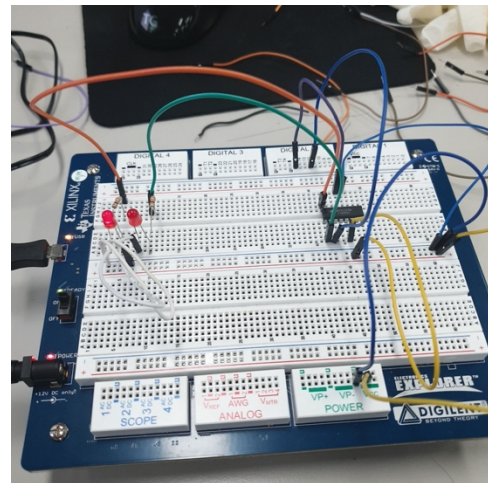
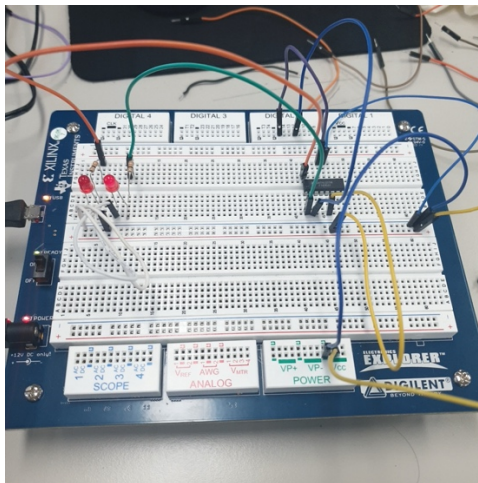
74LS75 에는 4 개의 D Latch 가 포함되어 있다. 이 IC에는 Latch 의 C 입력 (Enable 신호)들은 두 개씩 짝을 지어 묶여 있어서 두 개의 2 비트 D Latch 효과를 낸다. 이번 실험에서는 하나의 Latch 만을 사용한다. 실험에 필요한 올바른 회로 구성을 위해서 다음 그림을 주의해서 보라.



74LS75 IC 를 breadboard 상에 삽입하고 위 그림에서 보여주는 대로 연결을 하라.

D1 과 CLK 입력 신호에 EE-board 의 Digital 입력을 연결하라.

Q1 과 /Q1 신호는 Digital 출력을 통해 확인한다.



<위의 D Latch 회로를 74LS75 IC 를 사용하여 구현한 회로 실험의 사진>
준비가 되었으면 다음과 같은 절차를 따라 실험을 진행한다.

1) CLK input 을 LOW 로 설정하고, D input switch 의 값을 '0' -> '1' -> '0' -> '1' 로 몇 번 바꾸어 보라. 출력 Q1 에 어떤 변화가 있는가?

계속 켜진 상태로 변화가 없음을 확인할 수 있습니다.

2) D1 = 0 로 설정하고, CLK input 을 HIGH 로 설정하라. Q1의 출력이 어떻게 되는가?

Q1의 출력이 Low가 되면서 /Q1의 출력이 High가 됨을 확인할 수 있습니다.

3) D1 의 값을 '0' -> '1' -> '0' 로 몇 번 바꾸어 보라. 출력 Q에 어떤 변화가 있는가?

D1값이 1로 줄 경우, Q1의 출력이 1, /Q1의 출력이 0으로 바뀜을 확인할 수 있습니다.

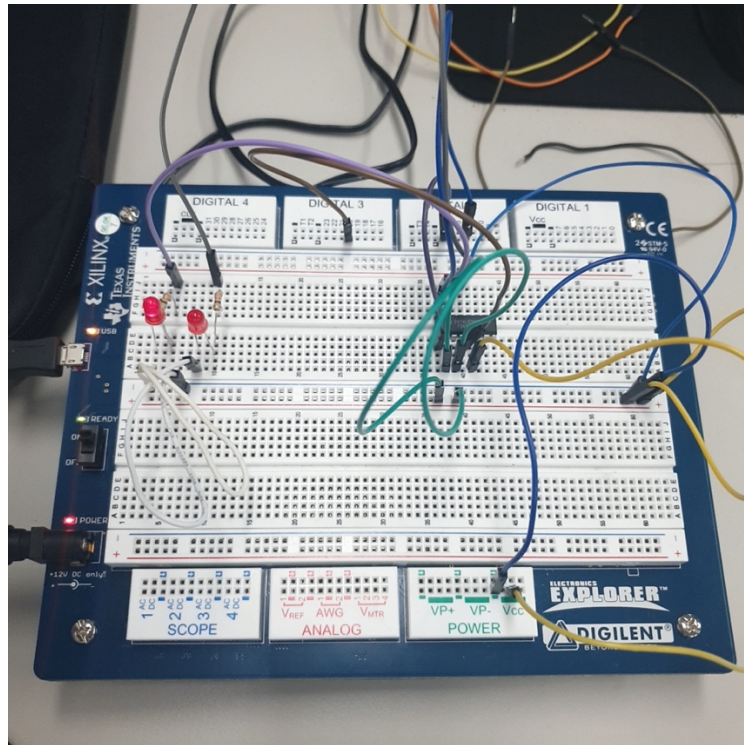
그러나 D1의 값이 0이 될 경우, Q1의 출력이 0, /Q1의 출력이 1로 바뀜을 확인할 수 있습니다.

4) 이제 D1 = 1 로 설정하고 CLK input 을 LOW 로 설정하라. 출력 Q1 에 어떤 변화가 있는가? D1 의 값을 계속 변화시키면서 Q1 의 변화를 관찰하라.

Q1의 출력이 1이 되며 D1의 값을 계속 변화시켜도 Q1의 출력값은 계속 1로 유지됨을 확인할 수 있습니다.

▣ D FF (7474)에 대한 실험 결과 요약 및 설명 (실험내용 3)

74LS74 D-flip Flop 의 동작에 대한 실험이다. D 와 CLK 입력 신호에 EE-board 의 Digital 입력을 연결하라. Q1 과 /Q1 신호는 Digital 출력을 통해 확인한다.



<74LS74 을 사용하여 D-Flip Flop 을 구현한 회로 실험의 사진>

1). clear 동작: /CLR 의 값을 LOW 로 한 다음, /CLR 의 값을 다시 HIGH 로 설정한다. 이때, /PRE 의 값은 HIGH 로 둔다.

Answer:

/CLR 의 값이 LOW 일 경우, Q1 신호는 Low, /Q1 신호 High 가 되는데 /CLR 의 값을 HIGH 로 변경하여도 값의 변화가 없음을 확인할 수 있습니다.

2). input D 값 변화: CLK 의 값을 LOW 로 유지하고 D 입력스위치를 움직여서 HIGH/LOW 의 값을 반복하여 가한다. 이때 출력 Q 의 값의 변화를 관찰한다.

Answer:

CLK 값이 Low 인 상태에서 D 의 값이 High/Low 로 변화하여도 출력 Q 의 값은 변화없이 Low,출력 /Q 의 값은 변화없이 High 임을 확인할 수 있습니다.

3). D 값을 LOW 로 유지한다.

4). input D 값 변화: CLK 의 값을 HIGH 로 유지한 상태에서 D 의 입력 스위치를 움직여서 HIGH/LOW 의 값을 반복하여 가한다. 이때 출력 Q 의 값의 변화를 관찰한다.

Answer:

CLK 값이 High 인 상태에서 D 의 값이 High/Low 로 변화하여도 출력 Q 의 값은 변화없이 Low,출력 /Q 의 값은 변화없이 High 임을 확인할 수 있습니다.

5). clear 동작: /CLR 입력에 LOW 값을 입력하여 Q 를 '0'으로 출력되도록 한 뒤 다시 /CLR 을 HIGH 로 설정한다.

6). edge transition 동작: D 에 HIGH 를 가한다. 이 상태에서 CLK 입력을 HIGH 에서 LOW 로 변화시킴으로써 CLK 에 negative edge transition 을 발생시킨다. Q 값에 변화를 관찰하라. 이제 D 에 LOW 를 가한 뒤에 CLK 를 LOW 에서 HIGH 로 변환시킴으로써 CLK 에 positive edge transition 을 발생시킨다. 이때 Q 의 값을 관찰하라. 이제 D 에 HIGH 를 가한 뒤에 CLK 를 LOW 에서 HIGH 로 변환시킴으로써 CLK 에 positive edge transition 을 발생시킨다. 이때 Q 의 값을 관찰하라.

Answer:

D 가 HIGH 인 상태에서 CLK 입력을 HIGH 에서 LOW 로 변화하였을 때, Q 값은 여전히 Low 인 상태로 변화가 없음을 확인할 수 있습니다.

D 에 LOW 인 상태에서 CLK 를 LOW 에서 HIGH 로 변환시킬 때, Q 의 값은 여전히 Low 인 상태로 변화가 없음을 확인할 수 있습니다.

D 에 HIGH 를 가한 뒤, CLK 를 LOW 에서 HIGH 로 변환시킬 때, Q 의 값이 Low 에서 High 로 바뀌면서 /Q 의 값이 High 에서 Low 로 바뀜을 확인할 수 있습니다.

7). /CLR 을 LOW 로 고정하고 /PRE 를 HIGH 로 뒤에 6) 의 실험을 반복하라. 결과가 어떻게 달라지는가?

Answer:

D 가 HIGH 인 상태에서 CLK 입력을 HIGH 에서 LOW 로 변화하였을 때, Q 값은 여전히 Low 인 상태로 변화가 없음을 확인할 수 있습니다.

D 에 LOW 인 상태에서 CLK 를 LOW 에서 HIGH 로 변환시킬 때, Q 의 값은 여전히 Low 인 상태로 변화가 없음을 확인할 수 있습니다.

D 에 HIGH 를 가한 뒤, CLK 를 LOW 에서 HIGH 로 변환시킬 때, Q 의 값은 여전히 Low 인 상태로 변화가 없음을 확인할 수 있습니다.

8). /CLR 을 HIGH 로 고정하고, /PRE 를 LOW 로 고정하고 6)의 실험을 반복하라. 결과가 어떻게 달라지는가?

Answer:

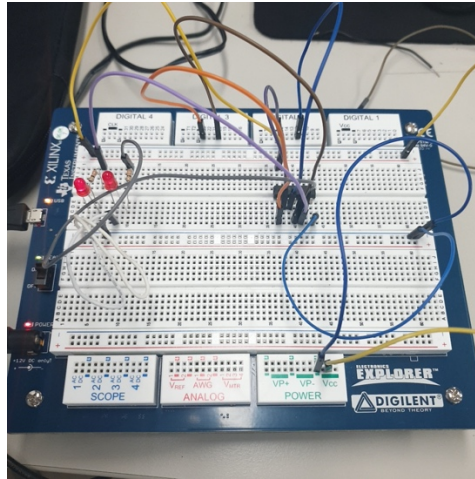
D 가 HIGH 인 상태에서 CLK 입력을 HIGH 에서 LOW 로 변화하였을 때, Q 값은 여전히 High 인 상태로 변화가 없음을 확인할 수 있습니다.

D 에 LOW 인 상태에서 CLK 를 LOW 에서 HIGH 로 변환시킬 때, Q 의 값은 여전히 High 인 상태로 변화가 없음을 확인할 수 있습니다.

D 에 HIGH 를 가한 뒤, CLK 를 LOW 에서 HIGH 로 변환시킬 때, Q 의 값은 여전히 High 인 상태로 변화가 없음을 확인할 수 있습니다.

▣ J-K FF (7476)에 대한 실험 결과 요약 및 설명 (실험내용 4)

Edge-triggered J-K flip-flop (74LS76 IC)의 data sheet 를 읽어보고 특성을 파악한다.
74LS76 IC 를 bread board 에 장착하고 /PRE 및 /CLR 를 VCC 에 연결하여 HIGH 로 고정시켜라. J 와 K 신호, 그리고 CLK 입력 신호에 EE-board 의 Digital 입력을 연결하라. Q1 과 /Q1 신호는 Digital 출력을 통해 확인한다.



<74LS76 을 사용하여 J-K-Flip Flop 을 구현한 회로 실험의 사진>

- 1). 전원을 가하고 /CLR 에 잠깐 LOW 를 가해서 $Q=0$ 이 되게 한다.
- 2). 74LS76 synchronous operation 을 J, K, CLK 를 다음 지시에 따라 변화시킴으로써 관찰한다. 먼저, CLK 를 LOW 로 설정하고, J 와 K input 을 변화시킨다. 출력에 변화가 있는가?

Answer:

J,K 값을 다르게 인가하여도 Q 값은 Low 인 상태로 변화가 없음을 확인할 수 있습니다.

- 3). J=1, K=1 로 설정하고, CLK 에 positive-going transition 을 발생시킨다. 출력 Q 에 변화가 있는가?

Answer:

Q 값은 Low 인 상태로 변화가 없음을 확인할 수 있습니다.

4). $J=1$, $K=1$ 로 설정하고 CLK 에 negative-going transition 을 발생시킨다. 출력 Q 에 변화가 있는가? CLK 입력을 몇 번 더 변화시켜서 펄스 신호를 입력시켜보라. 어떤 변화가 있는가?

Answer:

CLK 값이 High->Low 로 변환시킬 때, Q 값은 Low->High 인 상태로 변화가 나타남을 확인할 수 있습니다.

5). Q 의 상태가 LOW 라면 CLK 펄스를 한번 더 주어서 Q 를 HIGH 상태가 되게 한 뒤, $J = K = 0$ 으로 설정한 후 CLK 펄스 입력을 주는 실험을 반복하라. 출력 Q 에 어떤 변화가 발생하는지 관찰하라.

Answer:

CLK 값이 High->Low 로 변환시킬 때, Q 값은 High 인 상태로 변화가 없음을 확인할 수 있습니다.

6). $J = 0$, $K = 1$ 로 설정한 뒤에 CLK 에 펄스를 가하라. 어떤 변화가 있는가? 이 상태에서 CLK 에 펄스를 계속 인가하면 어떻게 되는가?

Answer:

CLK 값이 0->1 로 변화할 때는 Q 값은 High 인 상태로 변화가 없었지만 CLK 값이 1->0 으로 변화시킬 때, Q 값이 Low 인 상태로 변화됨을 확인할 수 있습니다.

7). $J = 1$, $K = 0$ 로 설정한 뒤에 CLK 에 펄스를 가하라 어떤 변화가 있는가? 이 상태에서 CLK 에 펄스를 계속 인가하면 어떻게 되는가?

Answer:

CLK 값이 0->1 로 변화할 때는 Q 값은 Low 인 상태로 변화가 없었지만 CLK 값이 1->0 으로 변화시킬 때, Q 값이 High 인 상태로 변화됨을 확인할 수 있습니다.

III. 결론 및 토의 (5 pts)

"bouncing"이란 무엇이며, FF 실험에서 debouncing switch 가 필요한 이유를 설명하시오.

Bouncing 이란 스위치가 접점이 붙고 떨어지는 순간의 짧은 시간 동안 스위치가 고속으로 접점이 붙고 떨어져서 on/off 가 반복되는 현상입니다.

이로 인해 노이즈가 심한 신호값이 발생되게 되는데 FF 에서 이러한 문제는 이전 값의 저장을 저해하기 때문에 이를 해결하기 위해 Debouncing Switch 을 사용하게 됩니다.

실험을 통하여 확인한 D latch 와 D FF 의 동작에서 차이점이 무엇인지 설명하시오.

Latch 와 FF 의 동작에서 가장 큰 차이점은 CLK 의 유무에 따라 출력이 변하게 된다는 점입니다.

D Latch 는 enable 신호값에 따라 입력값 D 의 변화가 적용될지 안될지 결정이 됩니다. D FF 은 이전값을 저장하는데 입력이 다음 활성 클럭이 나타날 때까지 지연된 후 출력됨을 확인할 수 있습니다.

D Latch 와 달리 D FF 은 입력 D 값이 아닌 CLK 값에 반응하며 출력이 변하게 됩니다.

실험을 통하여 확인한 J-K FF 의 동작에 대해서 요약하여 설명하시오.

Edge Triggerd J-K FF 이여서 CLK 이 LOW 인 상태에서 입력 J, K 를 변화하여도 출력값 Q 에는 변화가 없음을 확인할 수 있습니다.

그러나 J, K 가 1 인 상태에서 CLK 에 negative-going transition 을 발생시키면 Q 값은 Low->High 인 상태로 변화가 나타남을 확인할 수 있습니다.

Q 가 HIGH 상태이며 $J = K = 0$ 인 상태에서 CLK 에 펄스 입력을 줄 경우, Q 값에 변화는 일어나지 않지만, $J = 0, K = 1$ 로 설정하고 CLK 에 펄스 입력을 줄 경우, CLK 값이 falling edge 일 때, Q 값이 High->Low 인 상태로 변화됨을, $J = 1, K = 0$ 로 설정하고 CLK 에 펄스 입력을 줄 경우, CLK 값이 falling edge 일 때, Q 값이 Low->High 인 상태로 변화함을 확인할 수 있었습니다.