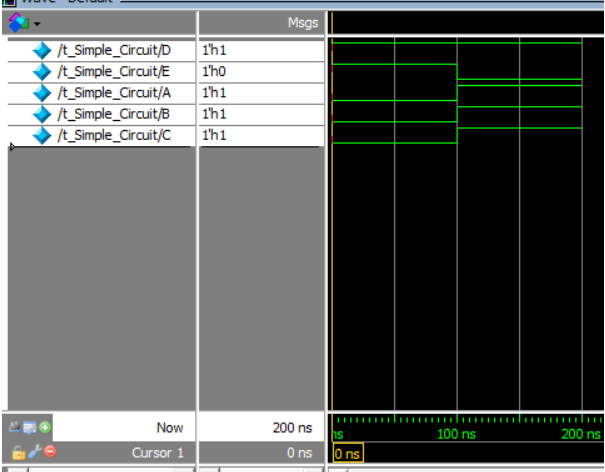
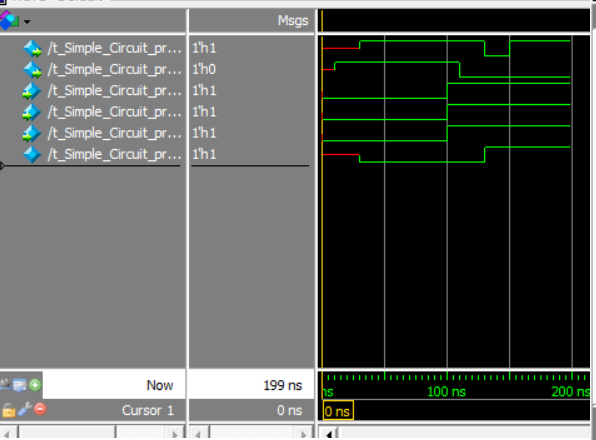
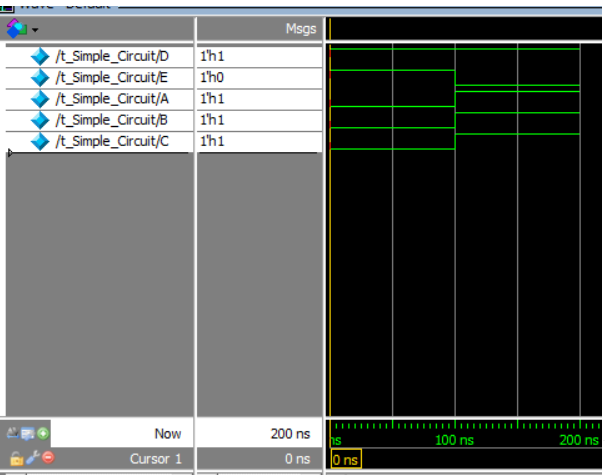
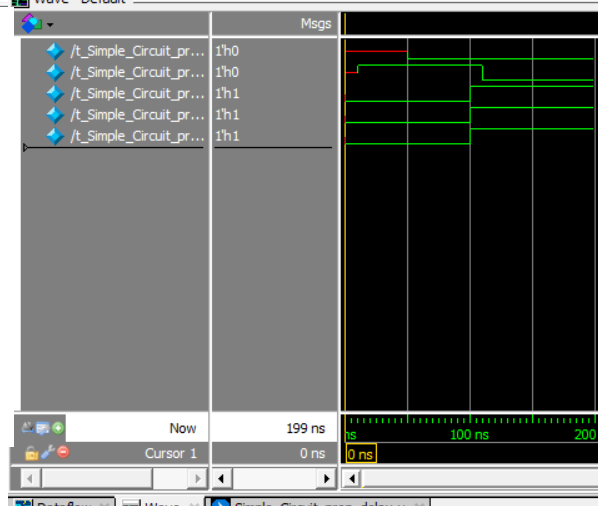
1. 因為增加了gate delay的影響，跟simple circuit比起來，電路波形圖很明顯的有延遲，其中在150ns附近D output 有資料不穩的現象，那應該是因為 E output 有資料延遲的關係，連帶影響D output ，因為 E 是 D 的 input。





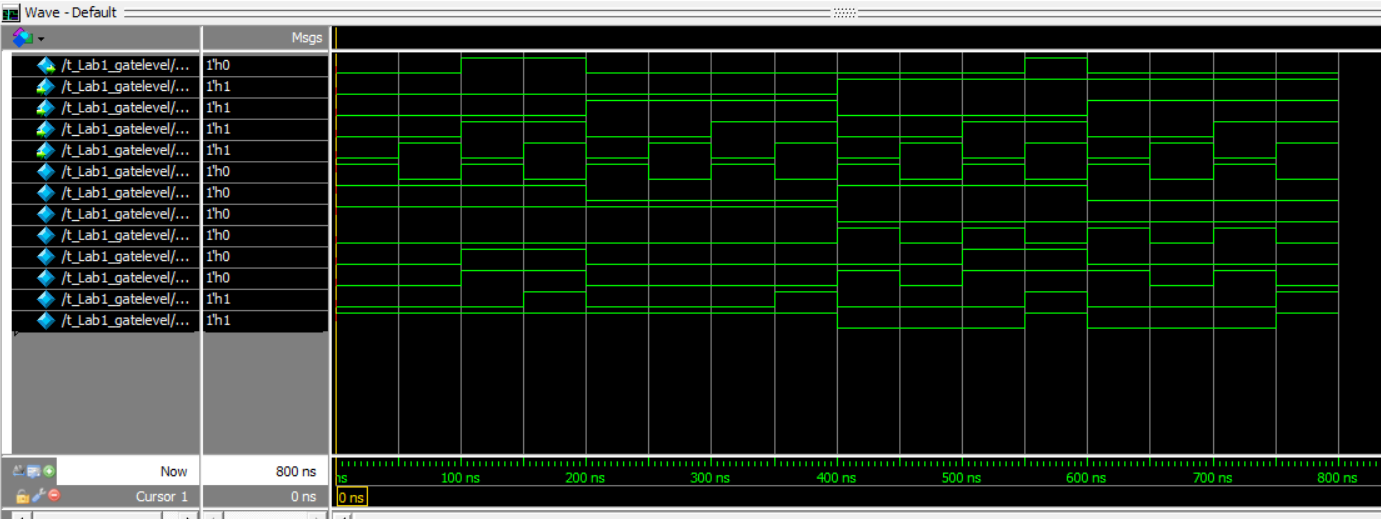
1. 同樣也有資料不穩的問題，發生在 D output 的前 50 ns ，因為gate delay 的關係， 所以無法像 simple circuit 一樣穩定，而且D output 在此測資計算下，剛好是simple circuit 的 invert。

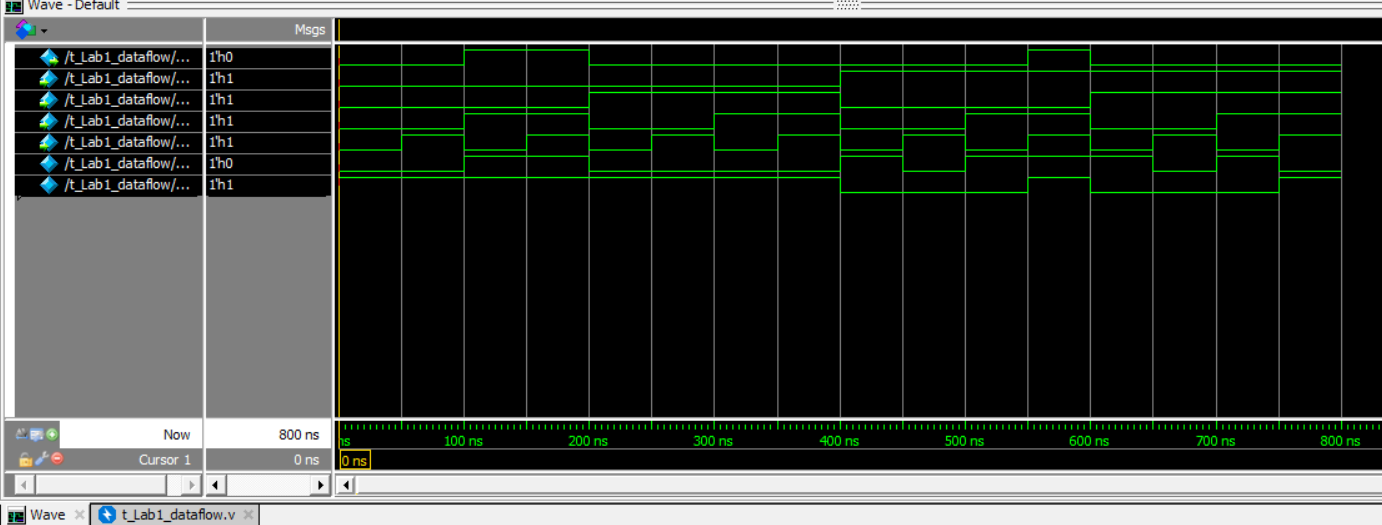


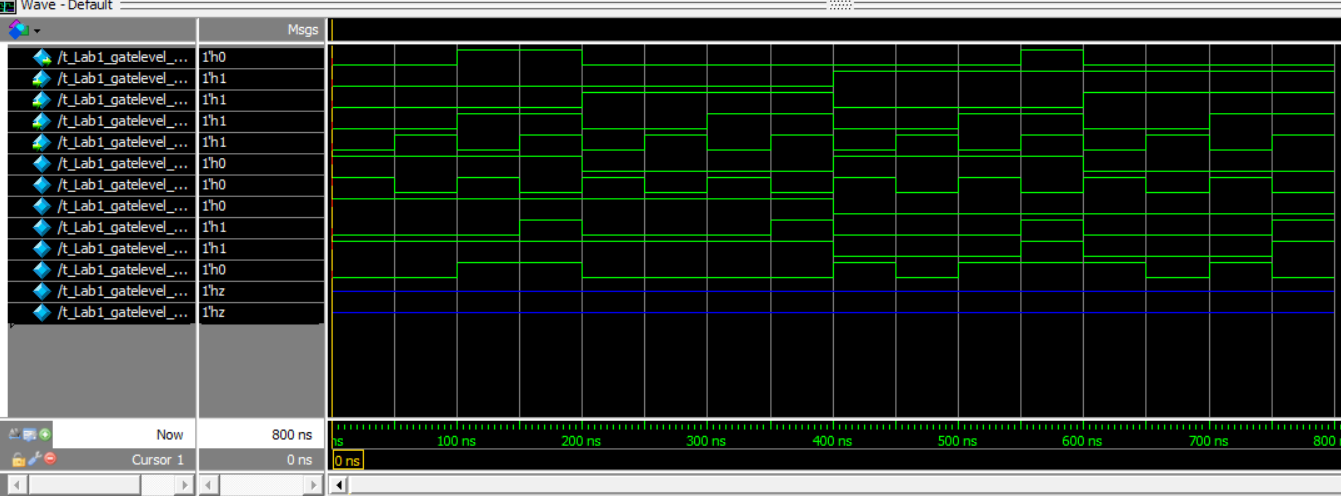


3.

在測試完16種可能的測資後，F都呈現相同結果，故三個程式應該沒錯，



4.

5.

6.不是，

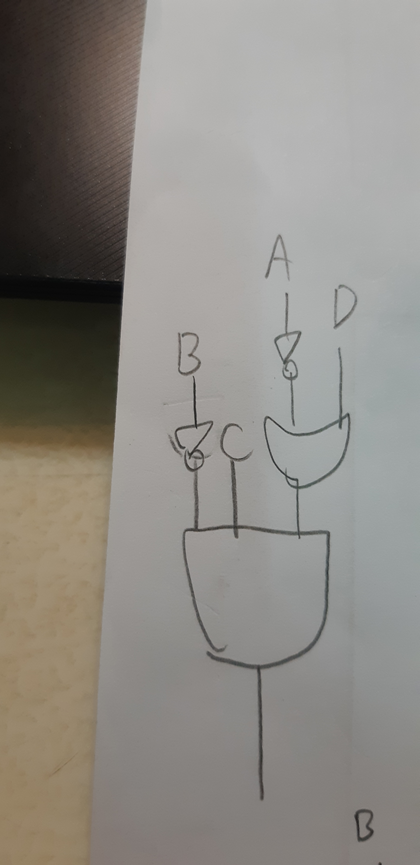
推導:

(AD’+B’C)(CD+A’)

=B’CD+A’B’C

=B’C(A’+D)

777



7.這個實驗中，我所面臨最大的困難是我對MODELSIM的熟悉度不夠，如果能夠提升對MODELSIM的熟悉度，那我完成這個LAB的時間一定會比預期的還要快上許多，此外我覺得VERILOG這類硬體描述語言很酷，用程式接線的概念真的很創新、很有趣。